

Interner Bericht
DESY F58-71/2
April 1971

DESY-Bibliothek
14. MAI 1971

DESY - PDP5/PDP8/PDP81 - Datenerfassungssystem

MODIFIKATIONEN AN DER PDP-8/1

H. Dilcher, G. Hochweller, W. Lenkeit

Inhaltsverzeichnis

=====

1 Modifikationen an der Zentraleinheit

- 1.1 Vorbereitung der PDP-8/1 für zusätzliche Einbauten
- 1.2 Laden des 'DF'- und des 'IB'-Registers aus dem AC
- 1.3 Anpassung des DATA-BREAK-Multiplexers DM01
- 1.4 Hardware Loader
- 1.5 Address Stop

2 Modifikationen am DATA-BREAK-Multiplexer DM01

3 Modifikationen an der DECTape-Steuerung TC01

- 3.1 Automatischer Stop des Bandes bei 'PARITY ERROR'
- 3.2 Änderung der Bedingung für einen 'SELECT ERROR'

4 Abbildungen

- 4.1 AC6-11 → IB, DF (IOT 6004)
- 4.2 Load 'Break Field'
- 4.3 Load 'Field Enable'
- 4.4 Hardware Loader I
- 4.5 Hardware Loader II
- 4.6 Kodierkarte für Hardware Loader
- 4.7 Hardware Loader Timing
- 4.8 MA Stop
- 4.9 Digital Komparator F002
- 4.10 UML der Modifikationen
- 4.11 DECTape Error Stop
- 4.12 DECTape Select Error

1 Modifikationen an der Zentraleinheit

=====

1.1 Vorbereitung der PDP-8/I für zusätzliche Einbauten

Für die späteren Modifikationen werden in der Zentraleinheit der PDP-8/I die folgenden Positionen benötigt:

J22, J33 - J40, H22, H35 - H40

Diese Positionen sind in der Originalmaschine frei bzw. werden durch Schaltungen belegt, die von uns nicht benötigt werden, da sie zur Steuerung von bei uns nicht vorhandenen Zusatzgeräten (z.B. KB81A) dienen. Die angegebenen Positionen müssen also eventuell freigedrahtet werden. Dabei ist darauf zu achten, daß keine Signalschleifen unterbrochen werden.

Benötigt werden weiterhin die Positionen 'J6T2' und 'J6V2' (allgemeine Ein/Ausgabe-Leitungen). Entfernt werden müssen daher die Verbindungen

H19K2 -- J06T2 (B TT INST)
J06V2 -- J15K2 (LINE(O))

Beide Signale werden in unserem System nicht verwendet.
Auf den Positionen H40 und J40 müssen die bussing-strips für die Stromzuführung (A2, B2, C2, T1) entfernt werden.

1.2 Laden des 'DF'- und des 'IB'-Registers aus dem AC

Bei den Ausgaberroutinen im Supervisor ist einer der anzugebenden Parameter die Speicherbank ('DATA FIELD'), in der sich die auszugebende Information befindet. Das Umschalten zwischen den verschiedenen 'DATA FIELDS' erfolgt normalerweise durch die IOT-Instruktion 'CDFn', wobei 'n' die gewünschte Speicherbank angibt. Diese Art der Umschaltung ist jedoch in diesen Fällen unzweckmäßig, da sie aus Gründen der 'reenterability' nur unter 'IOF' (Interrupt gesperrt) vorgenommen werden kann. Um dies zu vermeiden, wurde durch einen Zusatz (siehe Abb. 1) die Möglichkeit geschaffen, das 'DATA FIELD REG' (DF) und das 'INSTRUCTION BUFFER REG' (IB) aus dem AC zu laden. Als IOT-Instruktion wurde hierfür der Code '6004' festgelegt; der AC wird nach Ausführung der Instruktion automatisch gelöscht. DF und IB werden vorher nicht gelöscht; der IOT 6004 hat also folgende Funktion:

```
AC(6) + IB0 → IB0  )
AC(7) + IB1 → IB1  )
AC(8) + IB2 → IB2  )
                                ) dann 0 → AC
AC(9) + DF0 → DF0  )
AC(10) + DF1 → DF1 )
AC(11) + DF2 → DF2 )
```

1.3 Anpassung des DATA-BREAK-Multiplexers DM01

Verwendet man den Data-Break-Multiplexer DM01 in Verbindung mit einer PDP-8/1, so liegen die für die Auswahl der gewünschten Speicherbank entscheidenden Signale 'EXT DATA ADD 0-2' nicht statisch an, sondern werden erst in dem Zyklus, der dem eigentlichen Break-Zyklus vorausgeht, vom DM01 durchgeschaltet. Die Übernahme in das 'BREAK FIELD REG' (BF) erfolgt mit dem Puls 'LOAD BF', der durch den 'TP3'-Puls erzeugt wird.

Unter bestimmten Bedingungen (zeitliches Überlappen der Anforderungen an den DM01, längere Kabelverbindungen, etc.) ist die Information über die gewünschte Speicherbank auf den 'EXT DATA ADD'-Leitungen zu spät verfügbar, so daß noch der vorhergehende Zustand in das BF-Register übernommen wird. Die Folge davon ist, daß eine falsche Speicherbank angewählt wird. Diese Fehlerquelle wurde dadurch beseitigt, daß zur Erzeugung des 'LOAD BF'-Pulses der Puls 'TP3' um 100 ns verzögert wurde (TP3D, Abb. 2).

Ähnliches gilt für den Puls, durch den die 'FIELD ENABLE'-Flip-Flops gesetzt werden. Das in diesem Falle unter den oben erwähnten Umständen zu spät erscheinende Signal ist das 'CYCLE SELECT' (in der Zentraleinheit '3 CYCLE' genannt). Schaltet der DM01 unmittelbar von einem 1-Cycle-Break auf einen 3-Cycle-Break um, so erscheint das Signal 'WC SET' zu spät. Das hat zur Folge, daß das Signal 'B SET' nicht früh genug verschwindet und der 'BF ENABLE'-Flip-Flop erneut gesetzt wird. Für den folgenden Word-Count-Zyklus, der ja immer in Bank 0 stattfinden muß, wird somit unter Umständen eine falsche Speicherbank angewählt.

An dieser Stelle ließ sich der verwendete Puls ('TS4(0)') ebenfalls durch den (invertierten) Puls 'TP3D' ersetzen (siehe Abb. 3).

1.4 Hardware Loader

Mit dem Hardware Loader ist es möglich, eine (durch eine auswechselbare Kodierkarte) festgelegte Folge von max. 24 Worten an eine beliebige Stelle des Speichers zu laden. Dazu ist folgendes zu tun:

- a. Einstellen des 'SWITCH REG' (SR) bzw. der IF-Schalter auf die gewünschte Anfangsadresse und Speicherbank (normalerweise 7600 in Bank 0)
- b. Drücken der Taste 'LOAD ADD'
- c. Zurücksetzen des SR auf Null
- d. Starten des Ladevorgangs durch Drücken der mit 'LOAD' bezeichneten grünen Taste am zusätzlichen Bedienungsfeld.

Die Logik (Abb. 4, 5) besteht aus einem 24-Bit-Schieberegister, von dem bei uns nur 20 Bits benutzt werden. Von jedem dieser Flip-Flops werden jeweils 12 Bits auf der Kodierkarte (Abb. 6) angesteuert; die Ausgänge der Kodierkarte sind parallel zum SR geschaltet. Durch eine zyklisch ablaufende Pulsfolge wird nun über das Schieberegister ein Wort der Kodierkarte nach dem anderen auf die SR-Leitungen gegeben. In jeder der so angewählten Stellungen wird dann noch ein 'DEPOSIT'-Signal simuliert und somit die anstehende Information in den Speicher übertragen. Nachdem 20 Worte (max. 24) übertragen worden sind, wird die Pulsfolge unterbrochen und der Ladevorgang beendet. Den zeitlichen Ablauf zeigt Abb. 7.

1.5 Address Stop

Das Einschalten des 'MA STOP' am zusätzlichen Bedienungsfeld (gelbe Lampe) bewirkt, daß das laufende Programm gestoppt wird, sobald der Befehl ausgeführt werden soll, der auf der im SR eingestellten Adresse steht. Die Speicherbank wird dabei nicht berücksichtigt. Das Anhalten erfolgt nach Ausführung des betreffenden 'FETCH'-Zyklus.

Mit Hilfe einer speziellen Karte (Digitaler Komparator F002, Abb. 9) wird das SR mit dem 'MEMORY ADDRESS-REG' (MA) verglichen. Stimmen beide überein, so wird - falls 'MA STOP' eingeschaltet ist - ein 'STOP'-Puls simuliert (Abb. 8). Das Programm kann dann durch Drücken der Taste 'CONT' wieder in Gang gesetzt werden.

2 Modifikationen am DATA-BREAK-Multiplexer DM01

=====

Für die Verbindung zwischen dem DM01 und den einzelnen externen Geräten werden jeweils fünf Kabel benötigt. Auf dem 5. Kabel sind für uns jedoch nur die ersten beiden Signale interessant (DAEX 1, DAEX 2). Im 4. Kabel werden die drei untersten Positionen nicht belegt; verwendet man zwei von diesen drei freien Adern für die beiden wichtigen Signale aus dem 5. Kabel, so kommt man mit nur vier Kabeln zwischen DM01 und den externen Geräten aus.

Folgende Verbindungen müssen dafür im DM01 zusätzlich hergestellt werden:

I/O DEVICE 0	DAEX 1-0	D10S — D11D
	DAEX 2-0	D10T — D11E
I/O DEVICE 1	DAEX 1-1	D15S — D16D
	DAEX 2-1	D15T — D16E
I/O DEVICE 2	DAEX 1-2	D20S — D21D
	DAEX 2-2	D20T — D21E
I/O DEVICE 3	DAEX 1-3	D25S — D26D
	DAEX 2-3	D25T — D26E
I/O DEVICE 4	DAEX 1-4	D30S — D31D
	DAEX 2-4	D30T — D31E
I/O DEVICE 5	DAEX 1-5	A26S — A27D
	DAEX 2-5	A26T — A27E
I/O DEVICE 6	DAEX 1-6	A31S — A32D
	DAEX 2-6	A31T — A32E

Die normalerweise fehlenden Verbindungen

A6T — D6T und A6V — D6V

sind ebenfalls herzustellen.

Abschlußwiderstände (ca. 100Ω) müssen an den Punkten

A8S (ADDRESS ACCEPTED) und

A10P (WORD COUNT OVERFLOW)

angebracht werden.

3 Modifikationen an der DECTape-Steuerung TC01

=====

3.1 Automatischer Stop des Bandes bei 'PARITY ERROR'

In der Originalversion der DECTape-Steuerung TC01 führen folgende Fehler zum Anhalten des Bandes:

MARK TRACK, SELECT, TIMING, END.

Nicht angehalten wird das Band jedoch im Falle eines PARITY-Fehlers.

In den DECTape-Routinen werden zwei verschiedene Sorten von Fehlern unterschieden:

- a. Fehler, die nur durch einen Operatoreingriff beseitigt werden können (SELECT)
- b. Fehler, bei denen eine Wiederholung der gewünschten Operation versucht werden kann (MARK TRACK, TIMING, PARITY).

Um bei einem Wiederholungsversuch aber nicht mehr zwischen den drei möglichen Fehlerursachen unterscheiden zu müssen, wurde durch eine kleine Änderung in der Steuerung dafür gesorgt, daß das Band auch im Falle eines PARITY-Fehlers angehalten wird (siehe Abb. 11). Auf der Position F25 wird ein zusätzlicher Modul R001 benötigt.

3.2 Änderung der Bedingung für einen 'SELECT ERROR'

Beim Auftreten eines 'SELECT ERROR' (SE) (keine oder mehr als eine Einheit auf der gewählten Nummer, 'WRITE LOCK' bei einer Schreiboperation, etc.) ist auf jeden Fall ein Operatoreingriff erforderlich. Signalisiert wird ein solcher Fehler durch eine rote Blinklampe.

Um die SE-Flag zu löschen, muß der IOT 'DTXA' mit AC10=0 gegeben werden. Hierdurch wird jedoch (nach ca. 5 μ s) auch der Puls 'XSA DY' erzeugt, der die SE-Flag wieder setzt, falls die Fehlerursache in der Zwischenzeit nicht behoben wurde. Da sich die SE-Flag also nicht auf einfache Weise löschen läßt, besteht bei Verwendung des Supervisors die Gefahr einer toten Programmschleife. Um diese Schwierigkeit nicht durch relativ hohen Programmaufwand auf der Supervisorebene umgehen zu müssen, wurde die TCO1-Steuerung an einer weiteren Stelle modifiziert (siehe Abb. 12).

In der geänderten Form führt der 'XSA DY'-Puls bei vorliegender SE-Bedingung nur dann zum Setzen der SE-Flag, wenn das Signal 'MR1(1)' ebenfalls vorhanden ist, d.h. wenn das Band sich 'bewegt'. Für die Registrierung des SE beim Auftreten der Fehlerbedingung hat das keine Folgen, da hierbei die Bedingung MR1(1) immer gegeben ist. Beim Löschen der Error-Flag jedoch ist die Fehlerbedingung dann nicht mehr vorhanden, da beim ersten Auftreten des Fehlers der MR1-FF zurückgesetzt wurde (durch das Signal 'ERROR STOP'). Auf diese Weise ist es möglich, die Error-Flag zu löschen, bevor die eigentliche Fehlerursache beseitigt wurde.

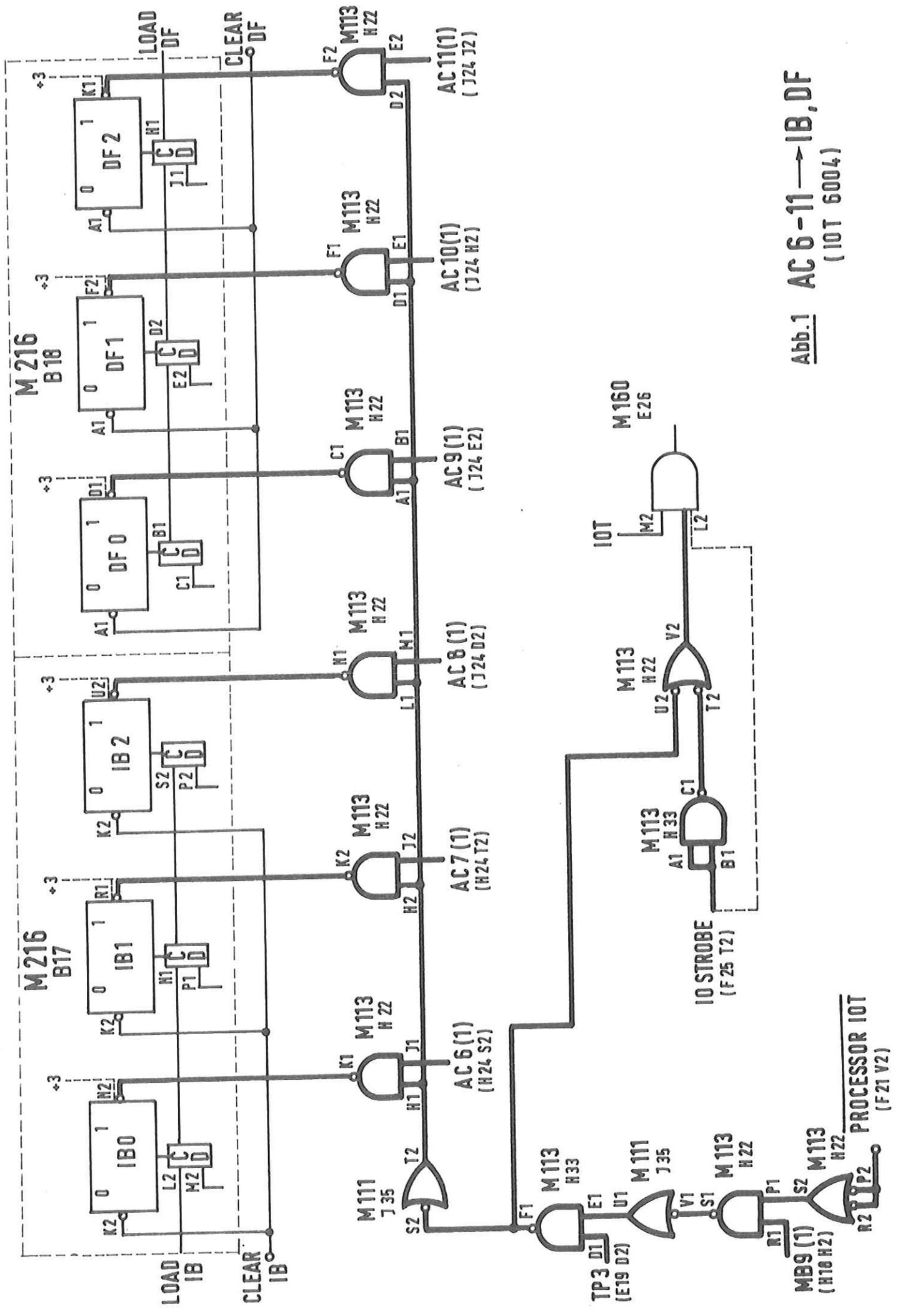


Abb.1 AC 6-11 → IB, DF
(10T 6004)

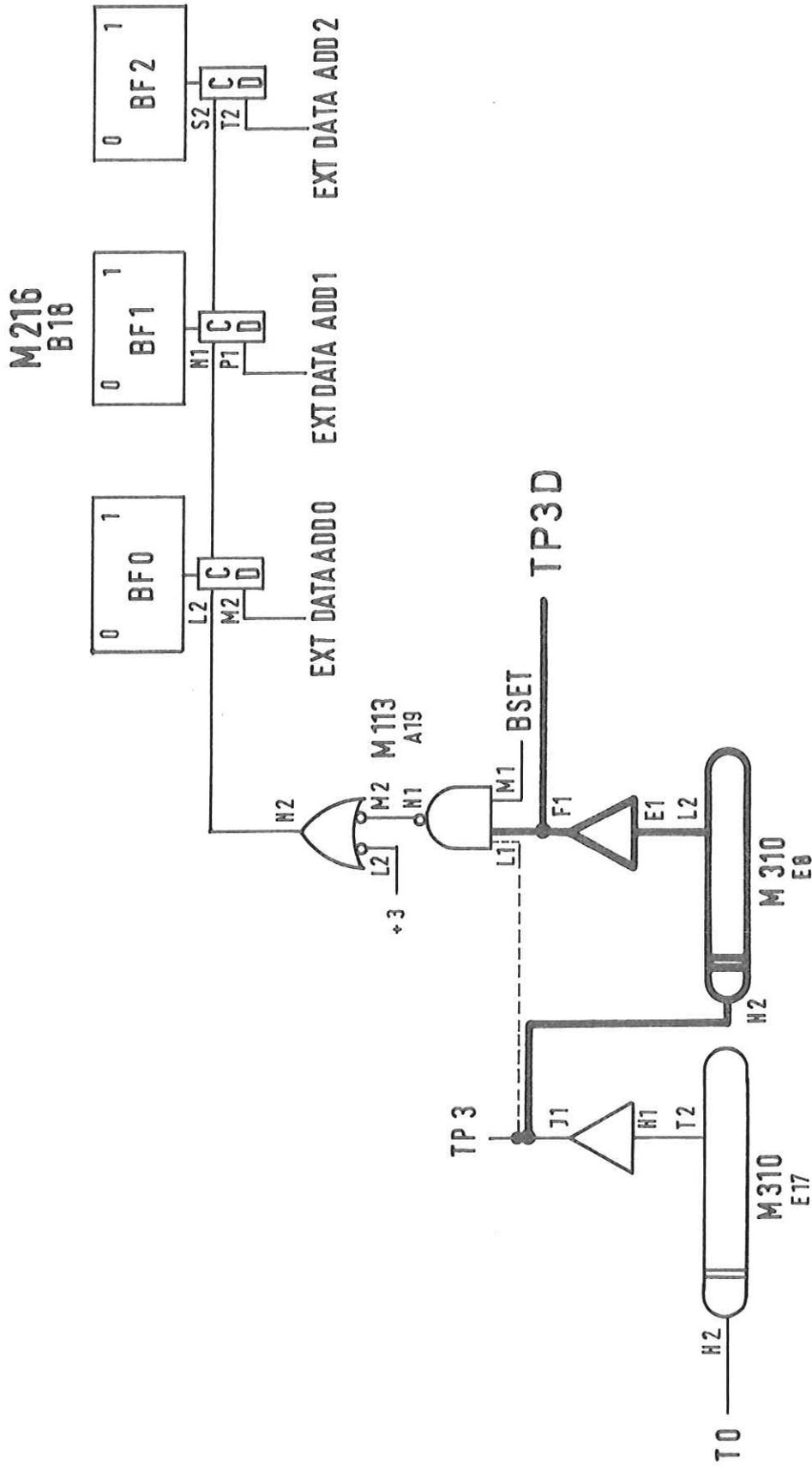


Abb.2 LOAD BREAK FIELD

M 216
B11

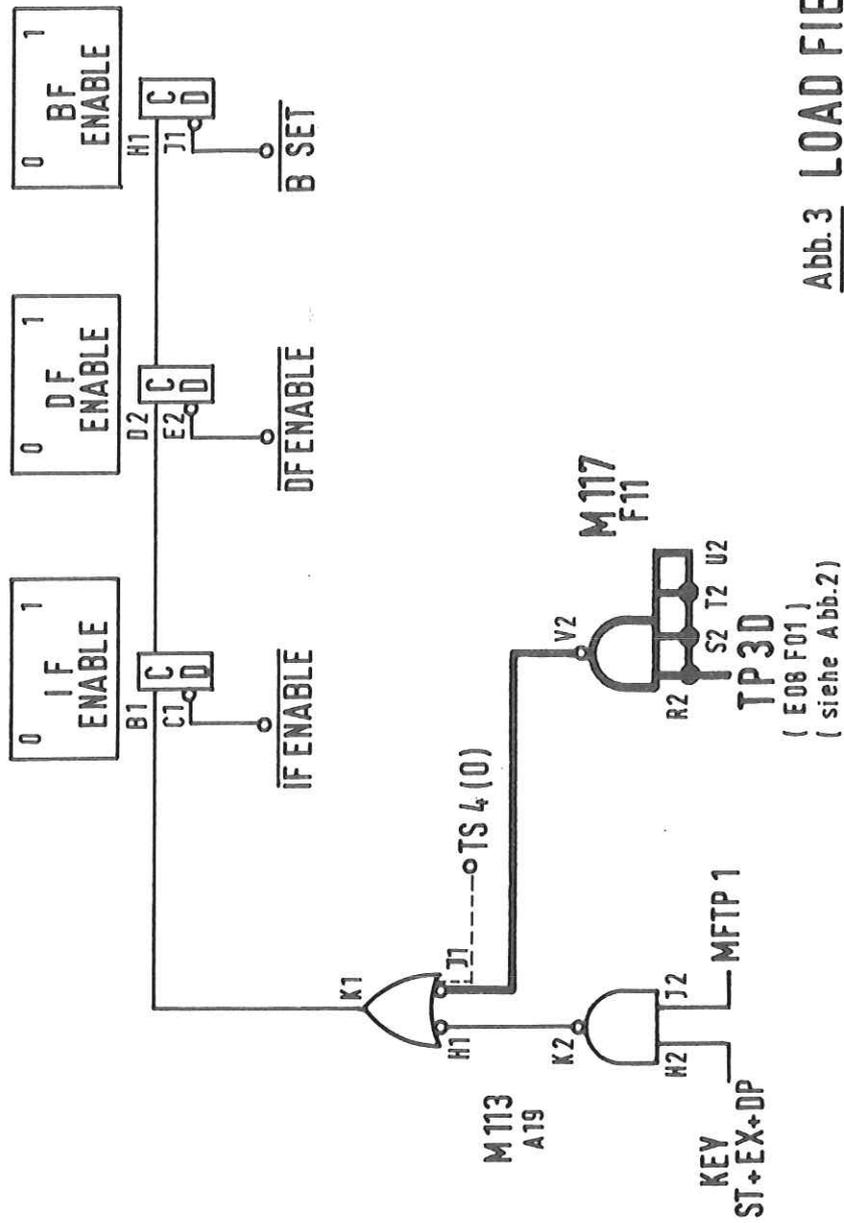


Abb. 3 LOAD FIELD ENABLE

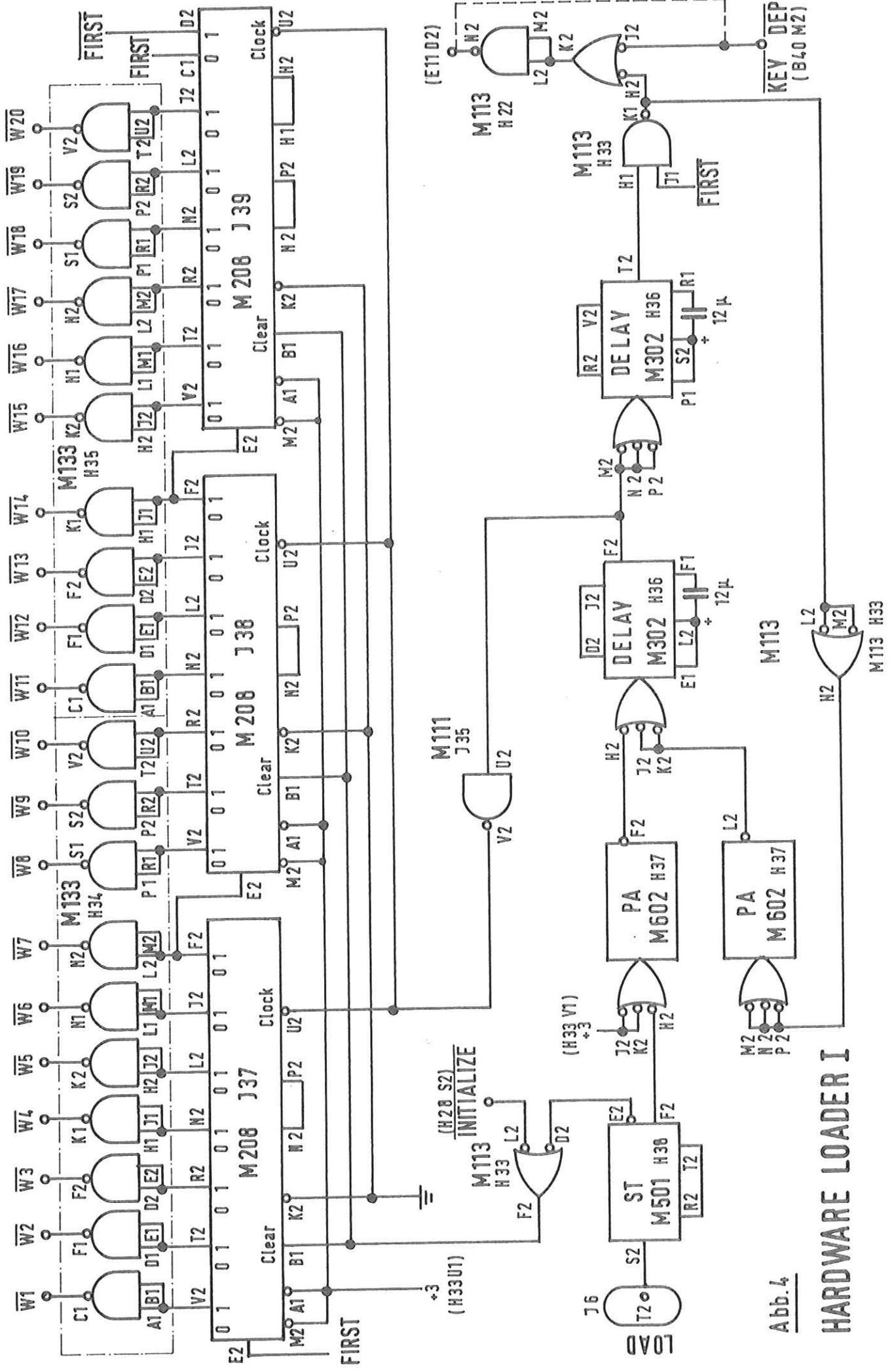
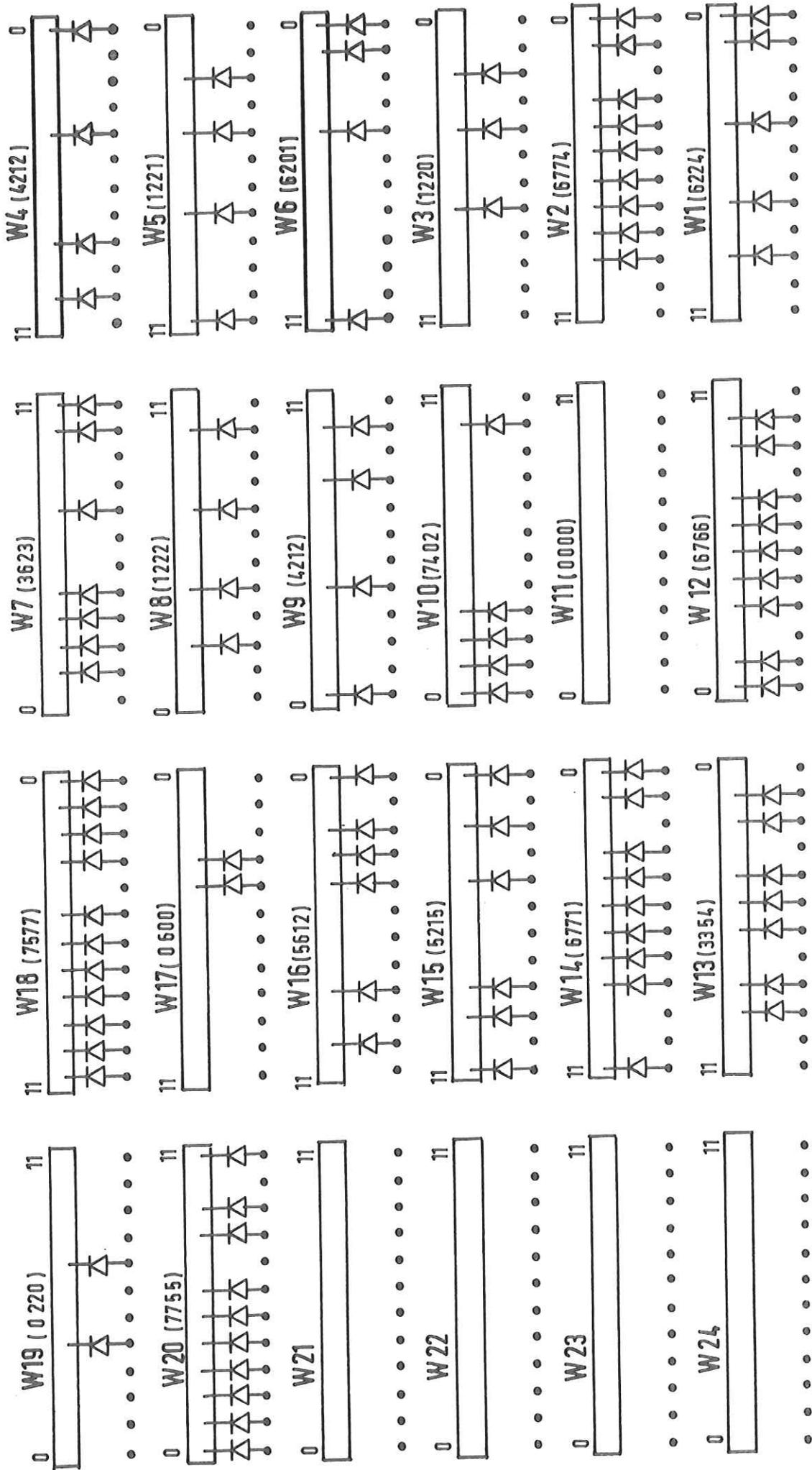


Abb. 4

HARDWARE LOADER I



Dioden 1N4148

Abb.6 Kodierkarte für Hardware Loader
Bestückungsplan (Bootstrap Loader Rel.5)

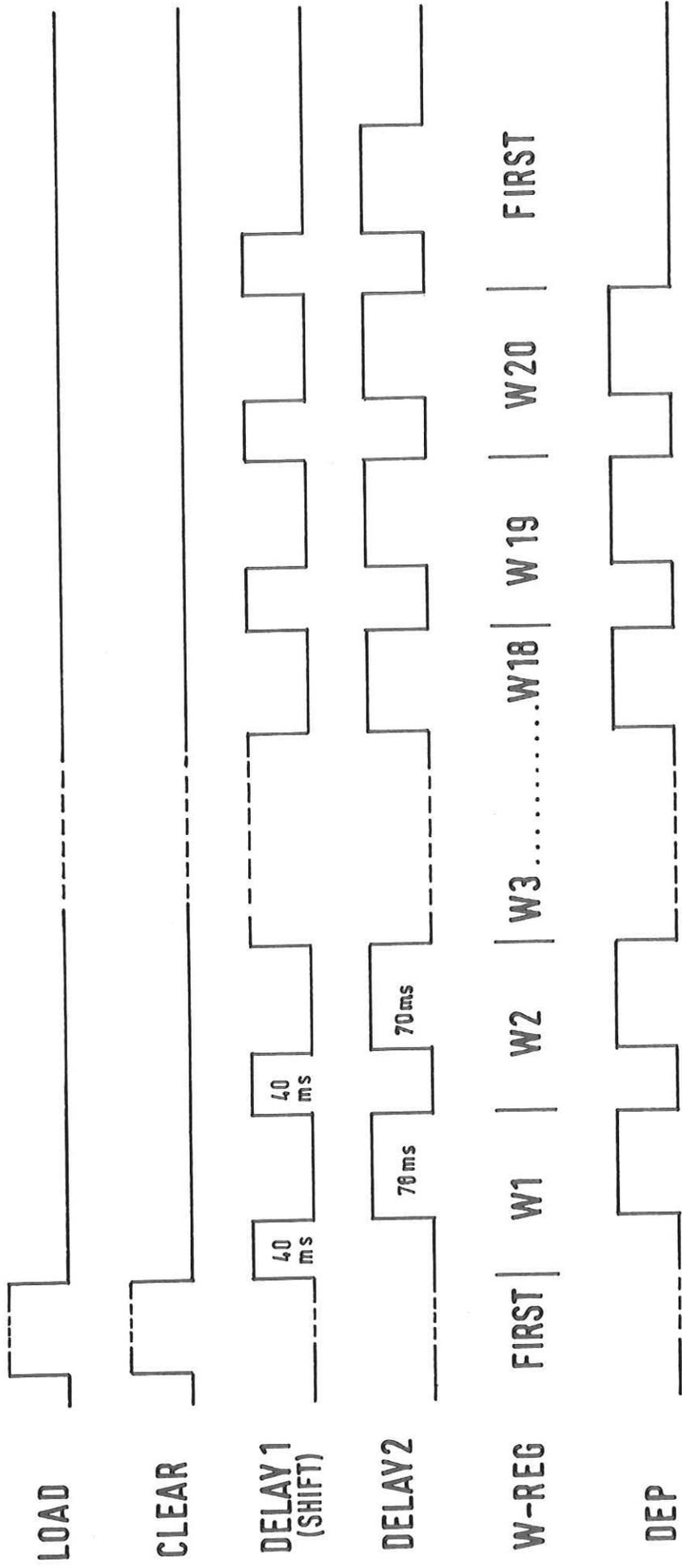
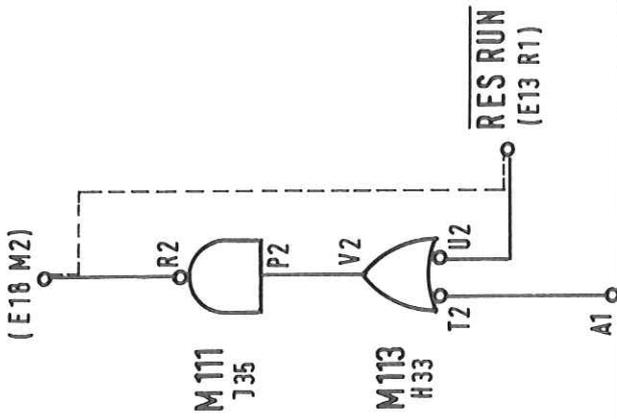


Abb.7 **HARDWARE LOADER**
Timing



DIGITAL COMPARATOR F002, J22

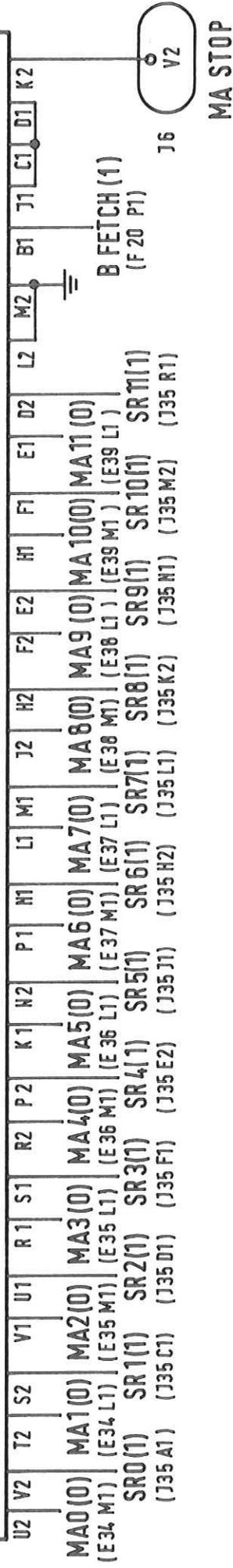


Abb. 8 MA STOP

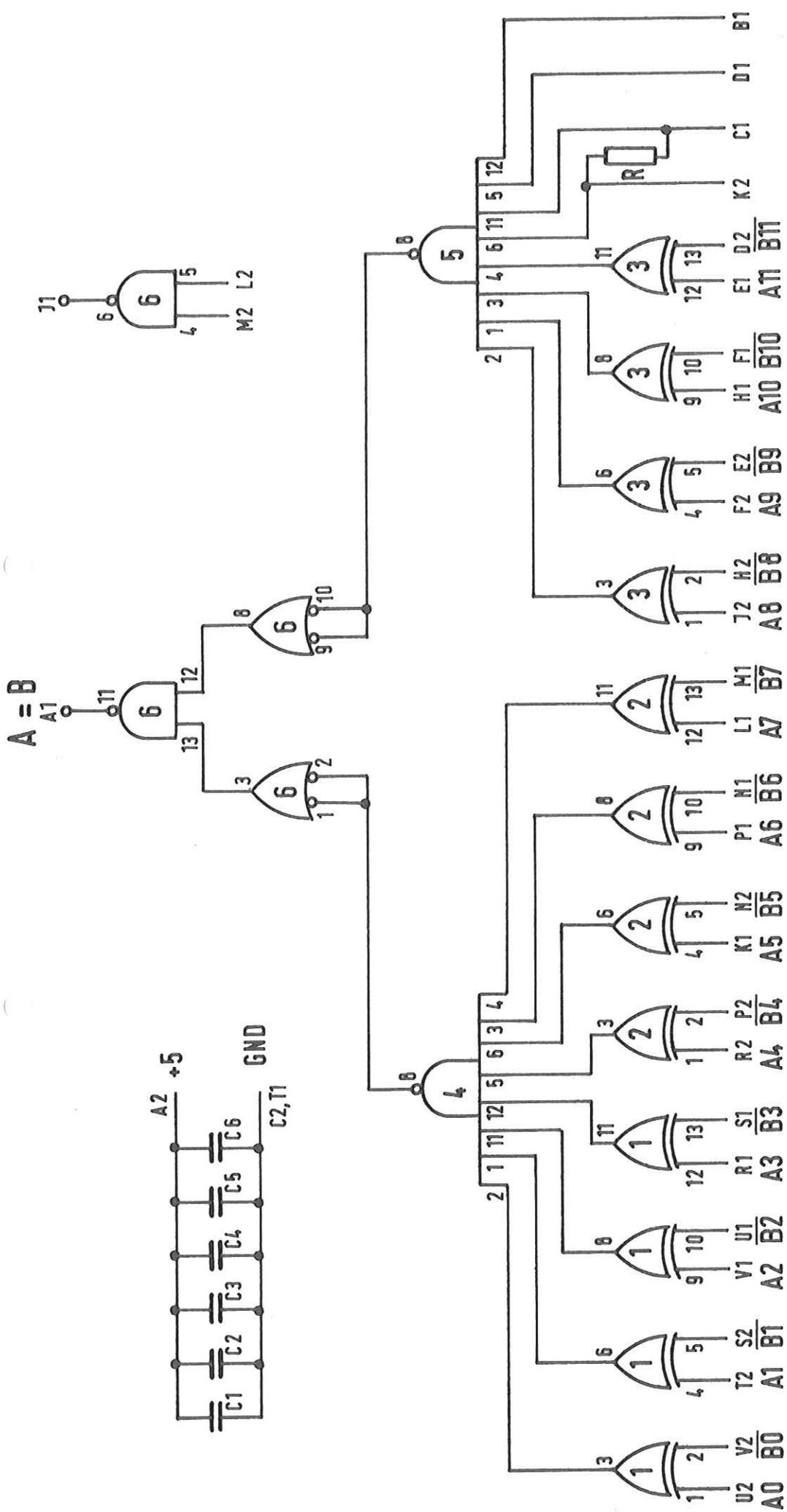


Abb. 9 DIGITAL COMPARATOR
F002

- C1 - C6 = 0.01 μF
- R = 82 K, 1/4 W, 5%
- E1, E2, E3 = SN 7486 N
- E4, E5 = SN 7430 N
- E6 = SN 7400 N
- Pin 7 an jedem IC = GND
- Pin 14 an jedem IC = +5V

H

22	33	34	35	36	37	38	39	40
M113	M113	M133	M133	M302	M602	M501		LOADER
SET DF0	IO STROBE	W1	W11	CLOCK	START	LOAD		
SET DF1	AC→BUF	W2	W12					
SET DF2	CLEAR	W3	W13					
SET IB2	DEP	W4	W14					
SET IB1	DEP	W5	W15					
SET IB0		W6	W16	600N	600N			
DEP	GOON	W7	W17					
IOT 004	BIT 10	W8	W18					
PROC IOT	BIT 11	W9	W19					
CLR AC	MASTOP	W10	W20					

J

22	35	36	37	38	39	40
F002	M111	M113	M208	M208	M208	LOADER
	SR0	BIT 0				
	SRI					
	SR2	BIT 1	W7	W14	OVER	
	SR3	BIT 2	W6	W13	W20	
	SR4					
	SR5	BIT 3	W5	W12	W19	
	SR6					
	SR7	BIT 4	W4	W11	W18	
	SR8					
	SR9	BIT 5	W3	W10	W17	
	SR10					
	SR11	BIT 6	W2	W9	W16	
	MA STOP					
IOT6004	BIT 7	W1	W8	W15		
AC→BUF						
CLOCK	BIT 8					
	BIT 9					

Abb.10 UML

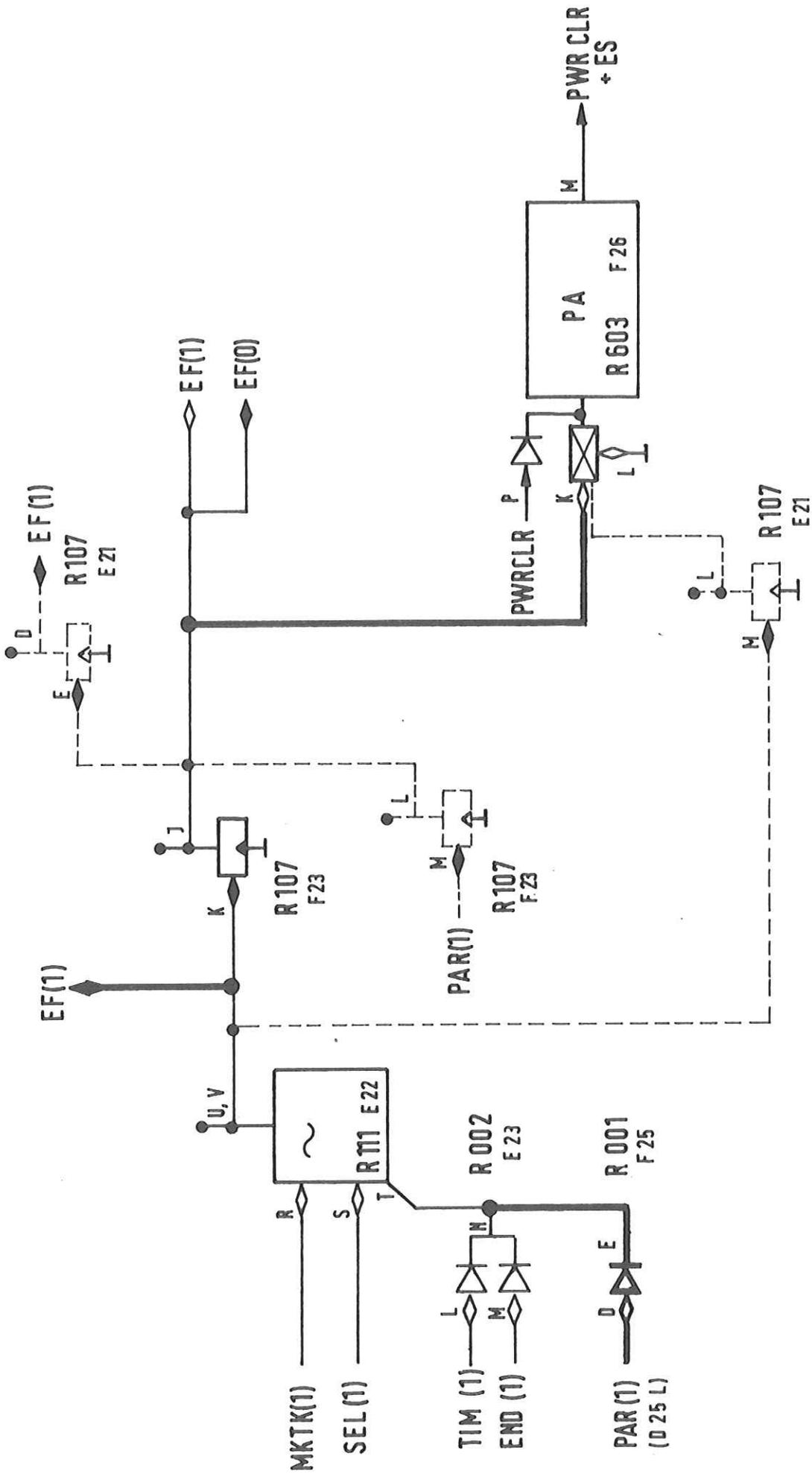


Abb.11 DEC tape Error Stop

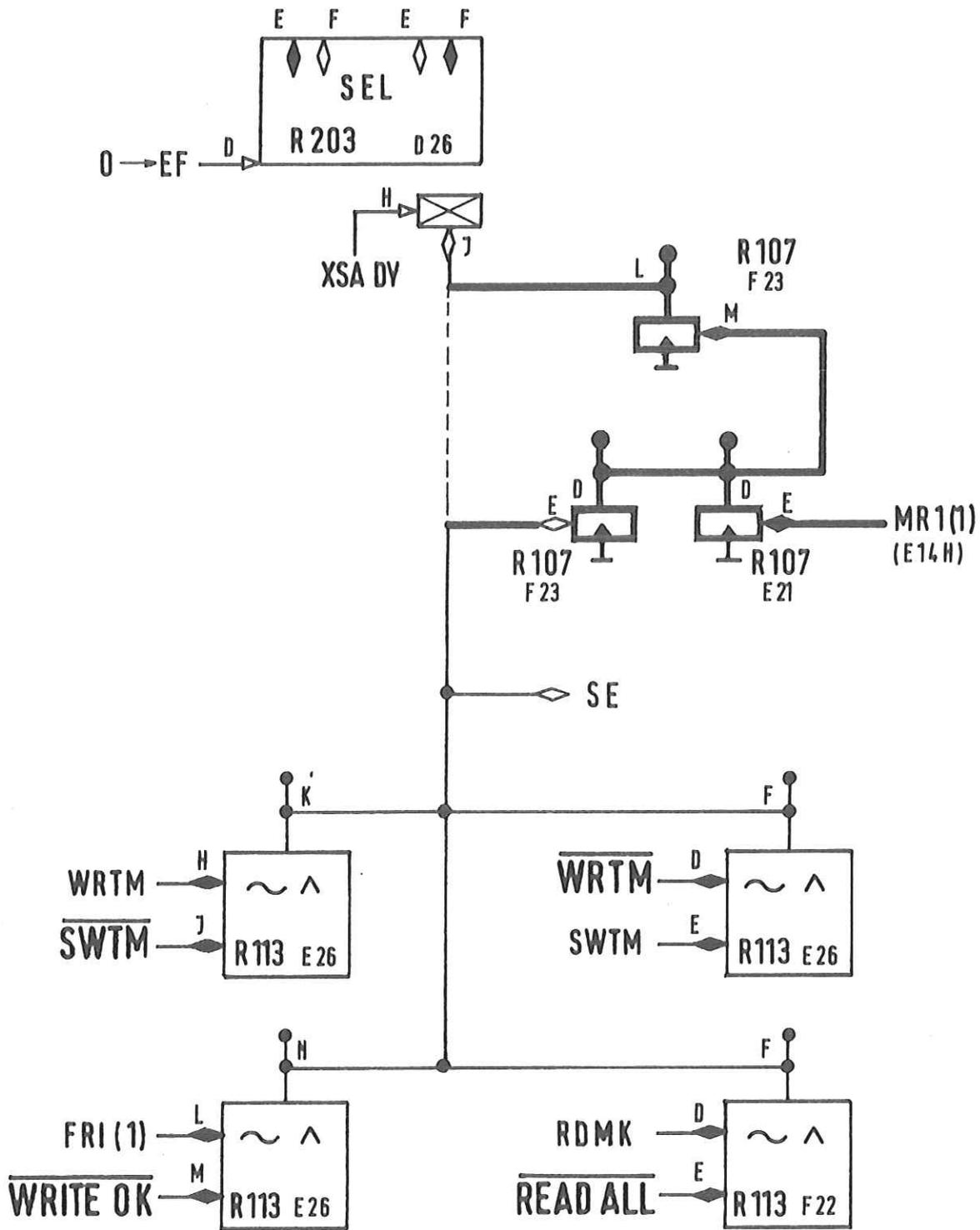


Abb. 12 DECtape Select Error

