

S^E
I Studiengruppe für
Elektronische Instrumentierung
der Helmholtz-Zentren

105. Tagung der Studiengruppe
elektronische Instrumentierung
im Frühjahr 2014

vom 10. März -12. März 2014

am

 **Helmholtz Zentrum
Geesthacht**
Zentrum für Material- und Küstenforschung

Helmholtz-Zentrum, HZG in Geesthacht



Editor: Peter Göttlicher (DESY)

Verlag Deutsches Elektronen-Synchrotron

Impressum

105. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2014 10.-12. März 2014, Geesthacht, Deutschland

Conference Homepage

<https://indico.desy.de/conferenceDisplay.py?ovw=True&confId=9432> oder

<https://indico.desy.de/event/SEI.2014>

Online Proceedings auf

<http://www-library.desy.de/confprocs.html>

The copyright is governed by the Creative Commons agreement, which allows for free use and distribution of the articles for non-commercial activity, as long as the title, the authors' names and the place of the original are referenced.

Editor:

Peter Göttlicher

September 2014

DESY-PROC-2014-01

ISBN 978-3-935702-85-0

ISSN 1435-8077

Published by

Verlag Deutsches Elektronen-Synchrotron

Notkestraße 85

22607 Hamburg

Germany

Printed by

Kopierzentrale Deutsches Elektronen-Synchrotron

105. Tagung der Studiengruppe elektronische Instrumentierung im Frühjahr 2014

SEI - Studiengruppe elektronische Instrumentierung
der Helmholtz-Zentren
Geesthacht (HZG), 10. März - 12. März 2014

Inhaltsverzeichnis

Allgemeines und Zusammenfassendes

Eröffnung und Ausblick	P. Göttlicher	3
Bild der Teilnehmer		4
Tagungsprogramm		5

Vorträge

Contactless Flow Rate Sensor for Heavy Liquid Metals / Berührungsloses Durchflussmessgerät für Flüssigmetall	S. Lenk	8
Half-balanced broadband low noise amplifier for the de- tection of quantum shot noise of Graphene	L. Petzold	21
Erzeugung kurzer Impulse mit hoher Amplitude mit Standard CFA	F.P. Zantis	31
Elektronikabteilung des HZG	J. Burmester	40
Mythen des PCB-Designs digitaler High Speed Signale	R. Ganss	56
FPGA based readout and control for PANDA compo- nents	M. Drochner	70
MTCA.4 fuer das optische Synchronisations System am XFEL und FLASH Beschleuniger	M.Felber	79

SEI-Tagung, Frühjahr 2014, HZG Geesthacht

Heterogeneous Systems in Computing Intensive Applications: FPGA – GPU complexes	S. Suslov	99
Upgrade der Kameraelektronik der 12-Meter-Teleskope von H.E.S.S.	M.Kossatz	111
SeRiVAS - A testing tool for VMEbus modules	S. Richter	121
Rework of Leadless Components - Der Flaschenhals im Produktionsablauf	F. Lichtenstern	127
Real-Time control on single atoms	M. Bernard-Schwarz	141
IBIS-Modelle in SPICE-Umgebungen	W. Sorge	151
Offshore Datenerfassung (Technische Unterstützung für die Küstenforschung)	J. Bodewadt	159
Planzen-PET und Einsatz von USB 3.0 fuer die Datenerfassung	P. Wüstner	230
Taktsynchronisierung und Zeitmessung in einem verteilten Datenerfassungssystem	P. Födisch	238
Developments in DESY FS-DS	S. Smoljanin	243
TwinCAT 3 - Automation Interface - die offene Schnittstelle zur automatischen Codegenerierung, Leading Edge Automation Technology	C.Brunette	253
Ein Prototypexperiment am DESY Teststrahl mit dem Leitsystem DOOCS	O. Schäfer	263
Dynamische Oberflächengenerierung zur Anlagensteuerung mit LabVIEW	O. Frank	274
Steuerung einer Sputteranlage mit LabVIEW	J. Buhrz	281
Automatisierungslösung für Vakuumkammern realisiert mit LabView und Simatic S7-300	H. Tietze	287
Kurze Zusammenfassung des Workshops Mikrocontroller/SPS/Kontrollsysteme	P.Göttlicher	298

Eröffnung

Die jährliche Tagung, die allen Interessierten an Elektronik in der Forschung offensteht, wurde von 70 angemeldeten Teilnehmer und -innen besucht. Somit war es ein Treffen von den verschiedenen Forschungseinrichtungen, den Helmholtz-Zentren mit größeren Aktivitäten in der Elektronik-Entwicklung – DESY, FZJ, GSI, HZB, HZG, HZDR und KIT –, der Universität Aachen (RWTH) und Rostock und der Wirtschaft.

Die Vorträge und Ausstellungen regten zu interessanten Diskussion zwischen den Teilnehmern an. Teilnehmer mit ähnlichen Fragestellungen lernten sich kennen. Bei den Vorträgen kristallisierten sich folgende Schwerpunkte heraus:

- Sensorik und Schaltkreise
- FPGA's und hohe Datenrate
- Systeme und Datenerfassung
- Graphische Kontrolloberflächen

Bei der Exkursion zum Batteriehersteller Reppenich-GmbH wurde die Herausforderungen moderner wirtschaftlicher Herstellung von Akkus vorgestellt.

Das Tagungsprogramm ist auf dem Internet einzusehen:
<https://indico.desy.de/conferenceDisplay.py?ovw=True&confId=9432> oder
<https://indico.desy.de/event/SEI.2014>

Die Homepage der Studiengruppe ist auf <http://sei.desy.de/> zu finden.

Im Anschluss an die Tagung haben sich viele Teilnehmer noch zu einem halbtägigen Workshop zusammengesetzt und über Fragestellungen zu Mikrocontroller, speicherprogrammierbarer Steuerungen und Kontrollsysteme

Ausblick

Die nächste Tagung wird für das Frühjahr 2015 in Zeuthen am DESY geplant.



Teilnehmer der SEI-Tagung 2014, Quelle: HZG, PR-Abteilung

Tagungsprogramm

Montag

13:00	Eröffnung <i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	GOETTLICHER, peter 13:00 - 13:10
	Contactless Flow Rate Sensor for Heavy Liquid Metals / Berührungsloser Durchflussmesser für Flüssigmetallströmungen	LENK, Stephan
14:00	Halb-balancierter Breitbandvorverstärker zur Messung des Schrotrauschens bei Graphenstrukturen	PETZOLD, Lars
	Erzeugung kurzer Impulse mit hoher Amplitude mit Standard CFA <i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	ZANTIS, Franz Peter 14:16 - 14:36
15:00	Vorstellung des Helmholtz-Zentrum Geesthacht und der Elektronikabteilung <i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	BURMESTER, Joerg 14:44 - 15:04
	Kaffee Mo-1 <i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	15:15 - 15:40
	Mythen des PCB-Designs digitaler High Speed Signale <i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	GANSS, Rudi
16:00	FPGA bases readout and control for PANDA components <i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	DROCHNER, Matthias 16:08 - 16:28
	MTCA.4 fuer das optische Synchronisations System am XFEL und FLASH Beschleuniger	FELBER, Matthias
17:00	Heterogeneous Systems in Computing Intensive Applications: FPGA -- GPU complexes	SUSLOV, Sergey
	A Real-time Histogramming Unit for Luminosity Measurement of each Bunch Crossing at CMS	PENNO, Marek
18:00	SeRiVAS - A testing tool for VMEbus modules <i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	RICHTER, Sebastian 18:00 - 18:20

SEI-Tagung, Frühjahr 2014, HZG Geesthacht

Dienstag

08:00

Rework of Leadless Components - Der Flaschenhals im Produktionsablauf	<i>LEITENSTERN, Franz</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	08:30 - 08:50

09:00

Real-Time control on single atoms	<i>BERNARD-SCHWARZ, Maria</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	09:00 - 09:20

IBIS-Modelle in SPICE-Umgebungen	<i>SORGE, Wolfram</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	09:30 - 09:50

10:00

10:00	Ausstellung von elektronischen Meßkarten - Agilent, Acquires	Ausstellung - Beckhoff	Ausstellung CAEN	Farnell GmbH	iseg Spezialerle GmbH	igus Energiele Spezialleit und Gleitlager	National Instrument	boards & solutions for MTCA.4, PowerBrid Computer	MTCA.4 System und VME/Desk Digitizer, Struck Innovative Systems	Crates, Power Supplies and Modules for Physics Experimer Wiener Plein und...	Kaffee Di -1
11:00											Mittagessen Dienstag
12:00	<i>Hörsaal, Gebäude 27, Forschung: HZG</i>	<i>Hörsaal, Gebäude 27, Forschung: HZG</i>	<i>Hörsaal, Gebäude 27, Forschung: HZG</i>	<i>Hörsaal, Gebäude 27, Forschung: HZG</i>	<i>Hörsaal, Gebäude 27, Forschung: HZG</i>	<i>Hörsaal, Gebäude 27, Forschung: HZG</i>	<i>Hörsaal, Gebäude 27, Forschung: HZG</i>				
13:00											

Exkursion

SEI-Tagung, Frühjahr 2014, HZG Geesthacht

Mittwoch

08:00

Offshore Datenerfassung (Technische Unterstützung für die Küstenforschung)	<i>BöDEWADT, Jan</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	08:30 - 08:50

09:00

Planzen-PET und Einsatz von USB 3.0 fuer die Datenerfassung	<i>WUESTNER, Peter</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	08:59 - 09:19

Taktsynchronisierung und Zeitmessung in einem verteilten Datenerfassungssystem	<i>FöDISCH, Philipp</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	09:28 - 09:48

10:00

Developments in DESY FS-DS	<i>SMOLJANIN, Sergej</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	09:57 - 10:17

TwinCAT 3 - Automation Interface - die offene Schnittstelle zur automatischen Codegenerierung	<i>BRUNOTTE, Carsten</i>
--	--------------------------

11:00

Kaffee Mi-1	
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	10:55 - 11:20

Ein Prototypexperiment am DESY Teststrahl mit dem Leitsystem DOOCS	<i>SCHäFER, Oliver</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	11:20 - 11:40

12:00

dynamische Oberflächengenerierung zur Anlagensteuerung mit LabVIEW	<i>FRANK, Oliver</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	11:49 - 12:09

Steuerung einer Sputteranlage mit LabVIEW	<i>BUHRZ, Jürgen</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	12:18 - 12:38

13:00

Automatisierungslösung für Vakuumkammern realisiert mit LabView und Simatic S7-300	<i>TIETZE, Henrik</i>
---	-----------------------

Abschluss	<i>GOETTLICHER, peter</i>
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	13:16 - 13:21

Mittagessen - Mi	
<i>Hörsaal, Gebäude 27, Forschungszentrum HZG</i>	13:25 - 14:00

14:00

Berührungsloses Durchflussmessgerät für Flüssigmetall

Dominique Buchenau¹, Sven Eckert¹, Gunter Gerbeth¹,
Stephan Lenk^{*3}, Janis Priede²

¹Helmholtz-Zentrum Dresden-Rossendorf, P.O. Box 510119, D-01314 Dresden, Germany

²Applied Mathematics Research Centre, Coventry University, Coventry, CV1 5FB, UK

³SAAS GmbH, Neues Leben 30, D-01728 Bannewitz, Germany Email: s.lenk@saas-online.de

Phone: +49 (351) 40468940 Fax: +49 (351) 40468941

1. EINLEITUNG

Die Erfassung und Steuerung des Durchflusses von Flüssigmetallströmungen ist in zahlreichen Technologien wie der Kühlung von Kernreaktoren, Transmutationssystemen zur Behandlung nuklearen Abfalls gefordert.

Am Markt erhältliche elektromagnetische oder induktive Durchflussmessgeräte für Flüssigmetall sind in der Regel mit Elektroden in einem stationären Magnetfeld ausgestattet, die in Kontakt mit dem Fluid stehen. Aus der gemessenen Potentialdifferenz zwischen den Elektroden wird der Durchflussmesswert gewonnen. Infolge der höheren Temperatur beeinträchtigen Korrosion und defekte Dichtungen oft die Funktion und Lebensdauer derartiger Messeinrichtungen. Somit hat ein berührungsloses Messverfahren von vornherein einige Vorteile gegenüber kontaktbehafteten Messeinrichtungen

Die SAAS GmbH und das Institut für Fluidodynamik am Helmholtzzentrum Dresden Rossendorf e. V. haben gemeinsam ein berührungslos wirkendes Durchflussmessgerät für Flüssigmetall entwickelt. Das Wirkungsprinzip beruht auf einem mit einer sinusförmigen Wechselspannung gespeisten Transformator mit einem großen Luftspalt. Aus der Phasenverschiebung zwischen der Primärspannung und der Sekundärspannung des Transformators wird die Durchflussmessgröße abgeleitet. Die Geometrie des Magnetfeldes im Verhältnis zu Dimension des durchströmten Kanals (Rohr) beeinflussen signifikant die Empfindlichkeit des Messverfahrens

Die weitere Entwicklungsarbeit widmet sich wesentlich der Analyse und Reduzierung der Messfehler und dem Einfluss der Temperatur am Sensor (Temperaturdrift).

2. MESSPRINZIP DES "PHASE SHIFT" SENSORS EMDps

Das vorgestellte Durchflussmessgerät EMDps (Elektro – Magnetischer Durchflussmesser phase shift) besteht aus einer Spulenanordnung gemäß Bild 1 ähnlich einem elektrischen Transformator. Die wesentlichen Baugruppen sind eine Sendespule [3] und zwei Empfangsspulen [5,6], die auf zwei geblechten Kernen [4,7] montiert sind. Diese sind symmetrisch am Rohr, durch das das Flüssigmetall fließt, angeordnet. Die gleichmäßige Verteilung des magnetischen Flusses durch beide Empfängerspulen wird durch den induzierten Strom im strömenden Fluid verzerrt. Die Phasenverschiebung der Spannungssignale $u_1(t)$ und $u_2(t)$ untereinander an den Empfängerspulen sind von der mittleren Strömungsgeschwindigkeit des Fluides abhängig.

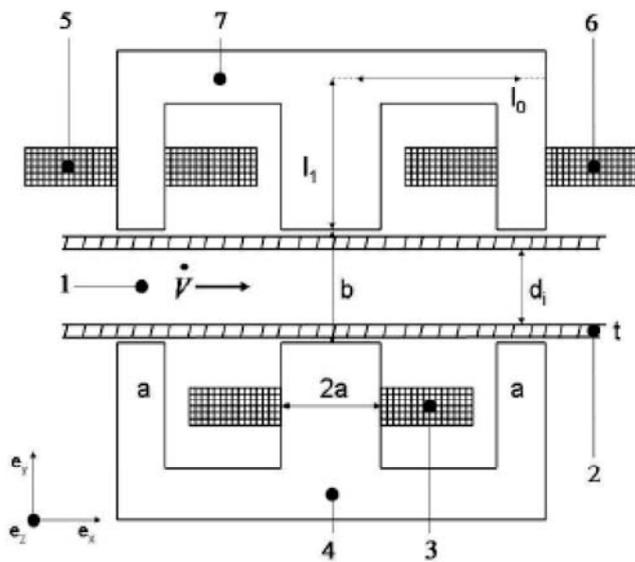


Abb. 1: Symmetrischer Sensor (1-Fluid, 2-Rohr; 3- Sendespule, 4/7-Kerne; 5/6-Empfängerspulen) [4]

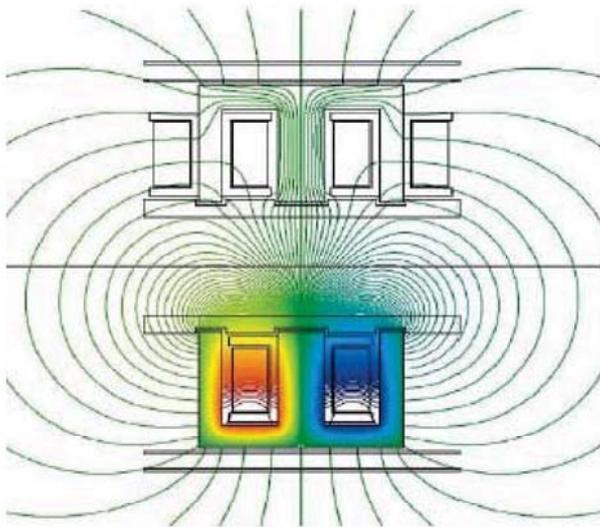


Abb. 2: EMDps Magnetfeldverteilung [4]

Die Phasenverschiebung $\Delta \Phi_p$ folgt der Formel (1) im Bereich kleiner Phasenverschiebungen ist dies eine lineare Abhängigkeit und damit für die Erfassung der Strömungsgeschwindigkeit sehr gut geeignet (4).

$$\Delta \Phi_p = \arctan \left[\frac{\Omega_0 \pi^{-1} R_m K}{1 + \Omega_0^2 (1 + \pi^{-1} R_m K)} \right] \quad (1)$$

Variablen:

Ω_0 ... Kreisfrequenz des Erregerstroms $i_o(t)$

$$\Omega_0 = 2\pi f L_E R_E \quad (2)$$

mit:

f ... Erregerfrequenz $i_o(t)$ in [Hz]
 L_E ... Induktivität der Erregerspule in [Vs/A]
 R_E ... ohmscher Widerstand der Sendespule
 R_m ... Magnetische Reynoldszahl

$$R_m = \mu_0 \sigma v_0 D \quad (3)$$

mit:

μ_0 ... absolute Permeabilität des Flusseisens
 σ ... elektrische Leitfähigkeit des Fluides
 v_0 ... mittlere Strömungsgeschwindigkeit des Fluides
 D ... Rohrdurchmesser
 k ... Kalibrationsfaktor abhängig von konstruktiven Parametern wie zum Beispiel dem Abstand b oder der Verschiebung 1 zwischen den Kernen (Abb: 1)

Die Kalibration muss mit der Originalsensorkonstruktion montiert am durchströmten Rohr erfolgen. Damit kann der Faktor k bestimmt werden. Wegen des geringen Einflusses der magnetischen Reynoldszahl kann die Abhängigkeit des Phasenwinkels von der Strömungsgeschwindigkeit linear approximiert werden (4).

$$\phi(\dot{v}) = \phi_0 + \epsilon \dot{v} \quad (4)$$

mit:

ϵ ... Empfindlichkeit des Durchflussmessgerätes $EMD_{\rho s}$

3. SENSOREINHEIT EMD_{ps}

Die Sensoreinheit des EMD_{ps} besteht aus zwei Stahlgehäusen (3) um das Gerät vor äußeren magnetischen Einflüssen zu schützen, zwei Rahmen (2) für die Aufnahme der Kerne mit den Spulen und Klammern aus Aluminium (1) zur Befestigung des Sensors am durchströmten Rohr.

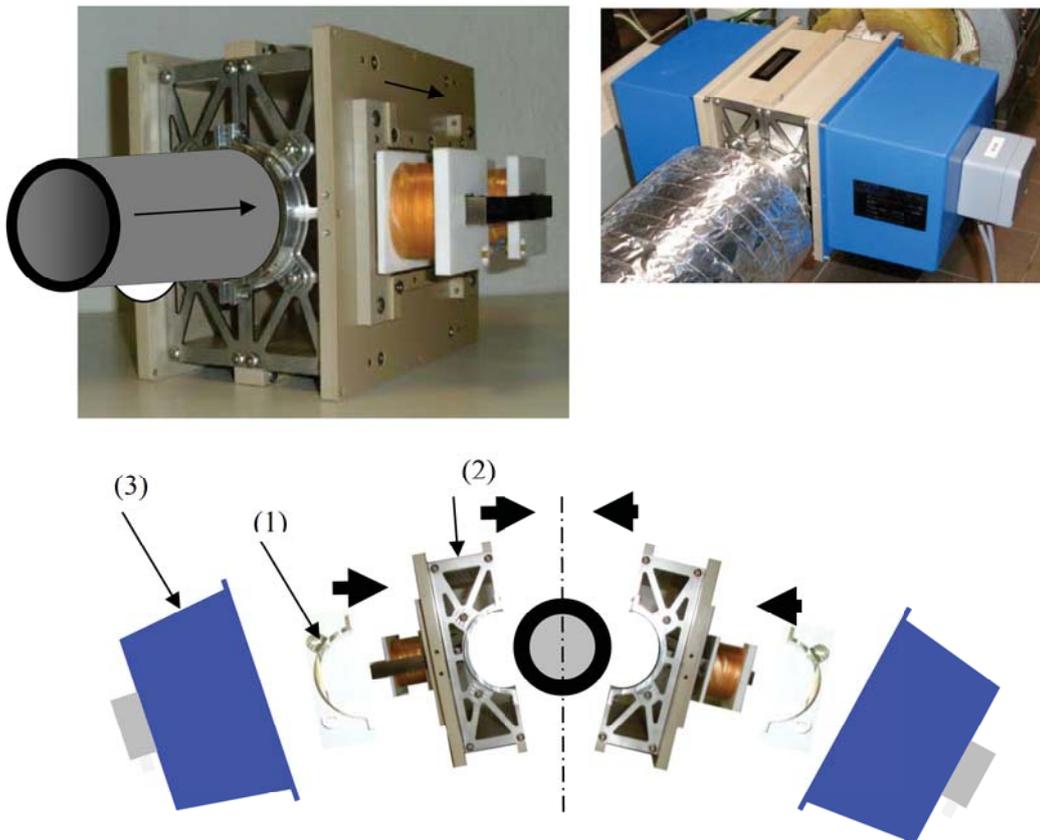


Abb.3: EMD_{ps} Sensoreinheit [5]

4. STEUEREINHEIT (TRANSMITTER)

Die EMDps Sendespule wird aus der Steuereinheit gespeist. Drei Messsignale werden vom Sensor geliefert

- Messspannung $u_1(t)$ der Empfangsspule 1
- Messspannung $u_2(t)$ der Empfangsspule 2
- Temperatur des Eisenkerns der Sendespule

Der dimensionierte Volumendurchflussmesswert steht als 4 ... 20 mA Einheitsstromsignal potentialgetrennt zur Verfügung.

Für die Messwertanzeige, Bedienung und Parametrierung steht ein mehrsprachiges Touchpanel zur Verfügung. Die Dimension des Messwertsignals Volumenstrom / Massenstrom / Strömungsgeschwindigkeit und der jeweilige Messbereich können eingestellt werden. Die Kalibration wird menügestützt als Zweipunktkalibration durchgeführt.

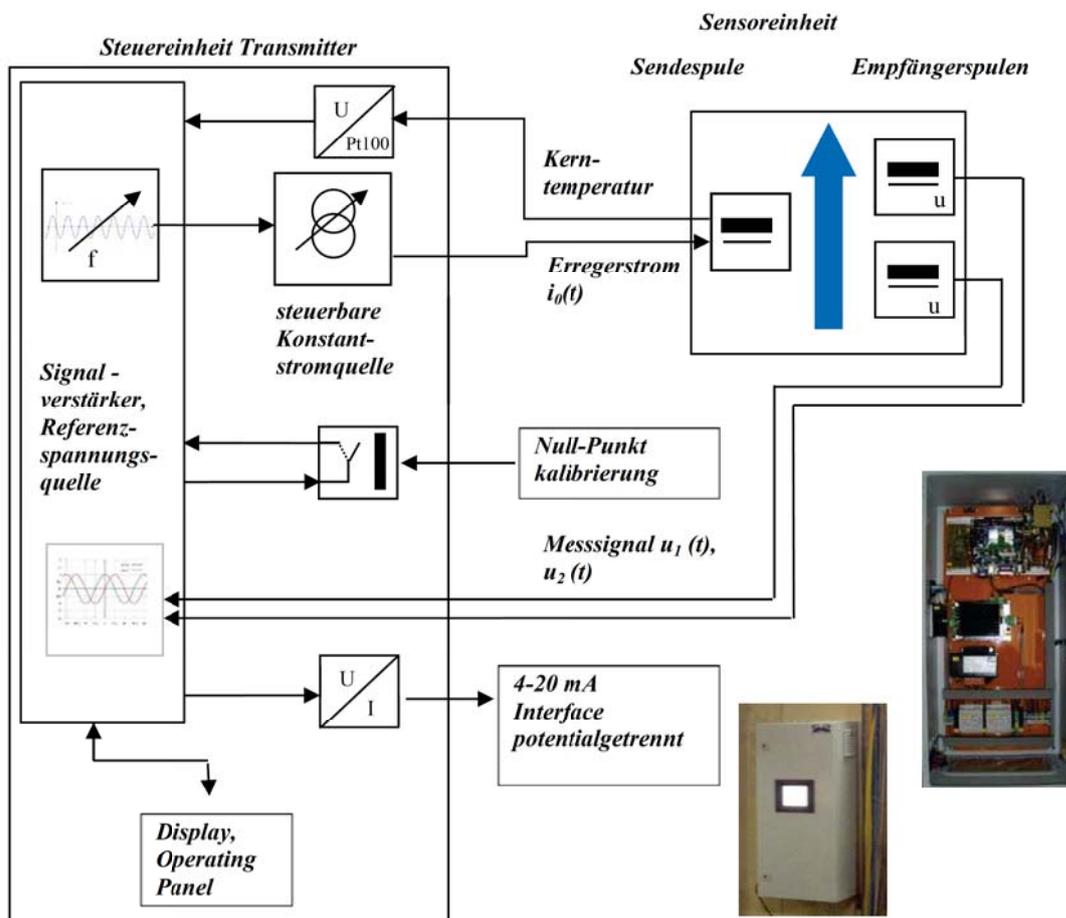


Abb.4: EMDps Steuereinheit [5]

Herz der Steuereinheit ist ein spezieller digitaler LockIn Verstärker mit einer numerischen Auflösung von 0,001° und einem schmalbandigen Bandpassfilter zur Eliminierung von Störungen (Harmonische der Messfrequenz und Fremdeinstreuungen z.B. 50 Hz)

5. EMPFINDLICHKEIT UND MESSUNSICHERHEIT DES EMD_{ps}

Das Messsignal ist proportional der mittleren Strömungsgeschwindigkeit bei turbulenter Strömung des Fluides im Kanal oder Rohr zwischen den Magnetpolen des Sensors.

Ausgehend von einer kritischen Reynoldszahl von $Re_{krit} = 2.000$ ist der realisierbare Messbereich bei einer Strömung von flüssigem Blei in einem Rohr mit 15 mm Innendurchmesser nach unten mit 0,02 m/s begrenzt. Außerdem werden ausreichende Ein- und Auslaufstrecken vorausgesetzt. Deren Länge hängt auch von den benachbarten eingebauten Armaturen oder Formstücken ab.

Wie aus Gleichung (1) hervorgeht beeinflusst nicht nur die Strömungsgeschwindigkeit den Wert der Phasenverschiebung zwischen den Messspannungen. Weitere Einflussgrößen, die zu systematischen Messfehlern führen können sind Abweichungen folgender Größen:

- Ohmscher Widerstandes der Erregerspule
- Erregerstrom
- Erregerfrequenz
- Änderung des Abstandes b (Abb. 1) zwischen den Kernen
- Änderung der temperaturabhängigen Permeabilität der Kerne

Zusätzliche Fehlerquellen:

- Bewegung von ferromagnetischen Teilen in der näheren Umgebung des Sensors (0,5m)
- Verzerrung des Sendesignals
- Die numerische Auflösung der digitalen Signalverarbeitung im LockIn Verstärker

Das Durchflussmessgerät EMD_{ps} hat insgesamt eine Messunsicherheit von 3 % des Messbereichsendwertes.

Im Verhältnis zur Gesamtmessunsicherheit sind folgende Fehlereinflüsse maßgeblich.

- Eigenerwärmung der Kerne
- Die Veränderung der Distanz zwischen den Magnetpolen des Sensors

Alle anderen Fehlereinflüsse sind entweder sehr gering gegenüber den temperaturabhängigen Fehlern oder können durch eine entsprechende Parametrierung kompensiert werden. Die Entwicklungsarbeiten konzentrieren sich deshalb auf die Eliminierung der temperaturabhängigen Fehler durch Ausdehnung des Gehäuses und Eigenerwärmung der Kerne.

6. MESSFEHLER INFOLGE DER ERWÄRMUNG DER KERNE

Die Erwärmung der Eisenkerne durch Eigenerwärmung oder Wärmeübertragung durch Konvektion und Strahlung vom durchströmten Rohr führt zu einer Änderung der relativen Permeabilität des Eisenkerns und demnach zu einer Änderung des Messsignals unabhängig vom Flüssigmetалldurchfluss. Dieser Fehler kann durch eine Nullpunktkalibration kompensiert werden. Eine Auswirkung auf die Empfindlichkeit des Sensors liegt nicht vor.

Die durchflussunabhängige Änderung des Phasenwinkels $\Delta\Phi_{S/E}$ in Abhängigkeit der Temperaturänderung ΔT wird im stationären mathematischen Modell des EMD Sensors [4] durch Gleichung (5) beschrieben.

$$\Delta\Phi_{S/E} = \arctan \frac{2\pi f [\tau_{E0} - \tau_{S0}]}{1 + 4\pi^2 f^2 [\tau_{E0} \tau_{S0}]} - \arctan \frac{2\pi f [\tau_E(\Delta T_E) - \tau_S(\Delta T_S)]}{1 + 4\pi^2 f^2 \tau_E(\Delta T_E) \tau_S(\Delta T_S)} \quad (5)$$

$$\tau_E = \frac{L_E}{R_E} \tau_E \quad (5.1)$$

τ_E ... Zeitkonstante der Empfangsspulen,

τ_S ... Zeitkonstante Sendespule

L ... Induktivität

R ... ohmscher Widerstand

$$L = f[\mu(\Delta T)] \quad (6)$$

μ ... rel. Permeabilität

ΔT ... Temperaturdifferenz

Approximation für $\mu(\Delta T)$:

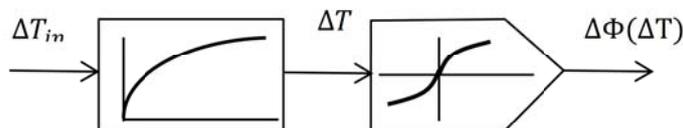
$$\mu(\Delta T) = \mu(T_0) - \frac{1}{2} \frac{\Delta T}{\sqrt{T_C - T_0}} \quad (7)$$

mit

T_0 ... Temperatur im Ausgangszustand, Bezugstemperatur

T_0 ... Curie Temperatur (Materialkonstante)

Für die dynamische Modellierung wird je ein Eisenkern als Wärmespeicher mit konzentrierten Parametern und einer Zeitverzögerung 1. Ordnung angenommen. Die Temperatur dieses Wärmespeichers ändert sich infolge Eigenerwärmung, Strahlung und Konvektion. Die in Abb. 5 dargestellte nichtlineare Abhängigkeit folgt Gleichung (7).



14 **Abb.5: Blockschaltbild für die dynamische Änderung des strömungsunabhängigen Phasenwinkels**

Zur Temperaturkompensation wird die Kerntemperatur an einer repräsentativen Stelle gemessen.

Gegenwärtig werden umfangreiche Untersuchungen der Messwertdrift infolge der Temperaturänderung der Kerne durchgeführt. Im Jahr 2014 ist die Implementierung einer entsprechenden Softwarelösung im Zuge der Weiterentwicklung des EMD_{ps} vorgesehen.

7. MESSFEHER INFOLGE DER ÄNDERUNG DES ABSTANDS ZWISCHEN DEN KERNEN

Um eine hohe Empfindlichkeit des EMD Sensors zu erreichen sind der Abstand zwischen den Polflächen und deren Querschnittsfläche in Abhängigkeit des Rohrmaterials und des Rohrdurchmessers optimal zu gestalten.

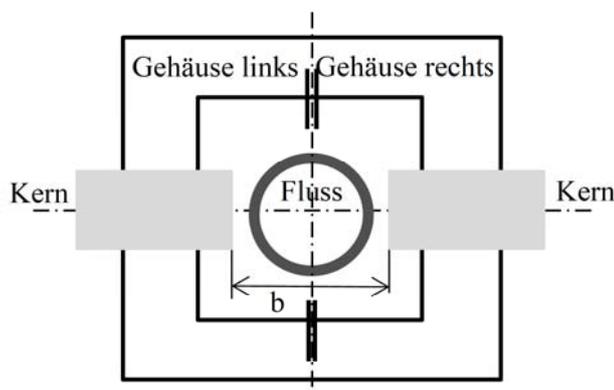


Abb. 6. Schematische Schnittdarstellung der Kernhalterung

Infolge der thermischen Ausdehnung des Sensorrahmens wird sich der Abstand b gemäß Gleichung (6) verändern. Der Abstand b_0 bei Raumtemperatur als Parameter für die Montage kann so gewählt werden, dass $\epsilon \frac{\partial \epsilon}{\partial b(T)}$ klein, aber ϵ (8) noch groß genug für die Messung ist.

Thermische Ausdehnung:

$$b = b_0(1 + \alpha \Delta T) \quad (8)$$

Am Beispiel einer Applikation des EMD_{ps} Sensors mit einem Rohr (Stahl 1.4571) Außendurchmesser von 20mm und Wandstärke von 2 mm konnte die optimale Erregerfrequenz mit 400 Hz und der optimale Abstand zwischen den Polen mit 29 mm ermittelt werden (Abb. 7).

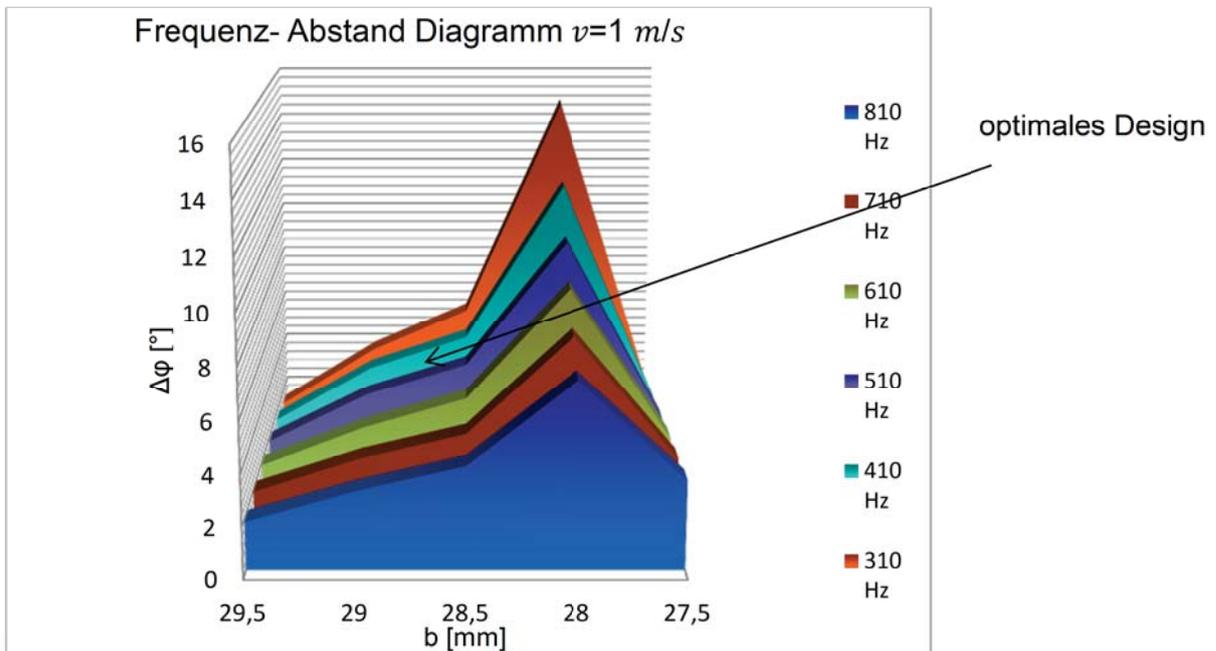


Abb. 7: Frequenz Abstand Diagramm $d_i = 16 \text{ mm}$

Für die Dimensionierung des Sensors ist eine Erregerfrequenz von 410 Hz gewählt worden. Der Gradient des Messfehlers beträgt hier $\frac{\partial \epsilon}{\partial b(T)} = 2.72 \text{ }^\circ/\text{mm}$ bei einer Fließgeschwindigkeit von $v=1 \text{ m/s}$.

An die Aufnahmekonstruktion für die Kerne stehen insgesamt folgende Anforderungen:

- Temperaturbeständigkeit bis 200°C ohne Einbuße der Steifigkeit,
- Bearbeitbarkeit mit einer Toleranz von $0,01 \text{ mm}$ auf ca. 100 mm Bearbeitungslänge,
- Geringer Wärmeausdehnungskoeffizient.

Der Werkstoff Macor (Glaskeramik) erfüllt diese Anforderungen in ausreichendem Maß. Mit einem thermischen Ausdehnungskoeffizient von $\alpha = 1,12 \cdot 10^{-5}/\text{K}$ ergibt sich für den vorgenannten Beispielfall ein systematischer Messfehler von $0,2\%$ bezogen auf den Arbeitspunkt von $v=1 \text{ m/s}$ bei einer Temperaturänderung um 10 K . Bei einer Kalibrierung bei Betriebstemperatur erkennt man, dass dieser Fehleranteil bei Arbeitstemperaturänderung von 50 K den Wert von 1% bezogen auf den Skalenendwert nicht überschreitet.

8. KALIBRATION DES EMD_{ps}

Das Messgerät EMD_{ps} verfügt über eine menügesteuerte Funktion für die Zweipunkt- und Nullpunktkalibrierung. Dabei sollte der Einfachheit halber ein Punkt der Zweipunktkalibrierung der Nullpunkt sein. Die Erfassung des erforderlichen

Referenzwertes für den zweiten Punkt ist eine schwierige Aufgabe, weil es keine ausreichend genauen Referenzverfahren für den Temperaturbereich von 400 – 700°C gibt. Für Anwendungen mit Fluiden, die eine gute Benetzung der Rohroberfläche gewährleisten (Natrium, Lithium, PbLi) im Gegensatz beispielsweise zu reinem Blei gibt es die Möglichkeit, mit Ultraschall Doppler – oder Laufzeitverfahren für kurze Zeit das Strömungsprofil in einem Rohrquerschnitt als Referenzmessung zu erfassen. Eine weitere praktizierte Möglichkeit den Volumenstrom im stationären Zustand zu erfassen ist folgende, gemäß Abb. 8 und Gleichung (9):

- Definierte Wärmezuführung vor einer komplett isolierten Teststrecke (Induktionsheizung) und definierte Kühlung mit einem regelbaren Wärmetauscher nach der Teststrecke,
- Einregulierung eines stationären thermischen Zustandes (Eintrittstemperatur ϑ_1 gleich Austrittstemperatur ϑ_2)

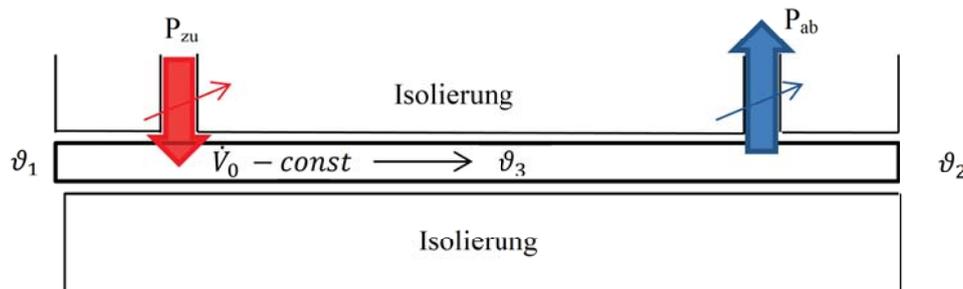


Abb. 8: Thermisches Kalibrationsverfahren

$$\dot{V}_0 = \frac{P_{ab}}{\rho c (\vartheta_3 - \vartheta_1)} \quad (9)$$

- \dot{V}_0 ... konstanter Volumenstrom
- ρ ... Dichte des Fluides
- c ... Spezifische Wärmekapazität des Fluides
- ϑ_1 ... Eintrittstemperatur
- ϑ_2 ... Austrittstemperatur
- ϑ_3 ... Temperatur nach Energiezufuhr

Dieses Verfahren setzt eine gute Isolierung des Anlagenteils voraus. Die Messunsicherheit dieses Verfahrens liegt zwischen 5 und 15 % der gewählten

stationären Strömungsgeschwindigkeit. Voraussetzung für das Funktionieren dieser Kalibrierung ist ein stationärer thermischer Zustand. Vorteil des Verfahrens ist, dass eine derartige Kalibrierstrecke mit relativ wenig Aufwand in zumeist bereits existierende Kreisläufe für kerntechnische Zwecke integriert werden kann.

Im Zuge der Fertigung des EMDps wird eine Kalibrierung des Gerätes bei Raumtemperatur mit Originalquerschnitten der vorgesehene Applikation durchgeführt. Dazu dient eine Testkreislauf mit InGaSn des HZDR (Abb. 8).



Abb. 9: InGaSn Loop HZDR

Ist die Leitfähigkeit des Originalfluides bekannt, dann kann die Zweipunktkalibrierung auf den späteren Anwendungsfall proportional übertragen werden. Bei diesem Verfahren ist das Benetzungsverhalten des Originalfluides zum Rohr im Vergleich zur Kalibriersituation zu beachten. Als Referenzmessung kommt ein handelsübliches induktives Durchflussmessgerät zum Einsatz. Mit Hilfe des Gerätemenüs kann dann die Kalibrierung durchgeführt werden:

Erster Punkt:

$\dot{v} = 0$... eingestellter Durchfluss = 0 , Pumpe aus

$\dot{v}_1 = 0$...Kalibrierparameter Punkt 1

Zweiter Punkt:

$\dot{v} = \dot{v}_{InGaSn}$...eingestellter Durchflussmesswert

$\dot{v}_2 = \frac{\sigma}{\sigma_0} \dot{v}$... Kalibrierparameter Punkt 2 Kalibrierparameter: $\frac{\sigma}{\sigma_0}$ Verhältnis der elektrischen Leitfähigkeit σ_0 von InGaSn und σ des Originalfluides.

9. ZUSAMMENFASSUNG UND AUSBLICK

Ausgangspunkt für die Entwicklung des Messgerätes EMD_{ps} war das im HZDR erforschte Messverfahren für die Erfassung von Flüssigmetallströmungen mit Hilfe der Messung der Phasenverschiebung übertragener Wechselspannungssignale.

Im Ergebnis der Entwicklungsarbeit in Kooperation zwischen dem HZDR und der SAAS GmbH werden Messgeräte für verschiedene Nennweiten (20mm – 180 mm) angeboten. Das Gerät hat seine Funktionsfähigkeit als robuste Betriebsmesseinrichtung in verschiedenen Einsatzfällen unter Beweis gestellt.

Für das Jahr 2014 ist die Einführung einer zweiten Gerätegeneration mit folgenden Verbesserungen vorgesehen:

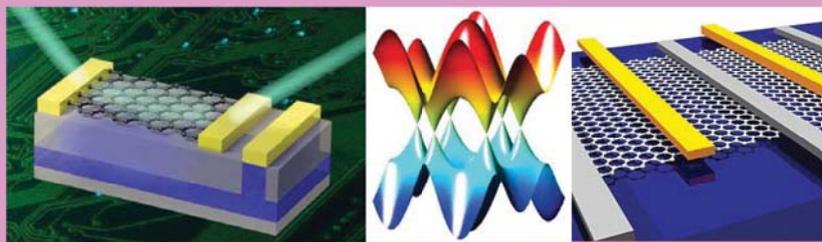
- Verkleinerung der Auswerteeinheit durch Einsatz einer speziell für das Gerät entwickelten Stromversorgung und eines neu entwickelten LockIn Verstärkers mit höchster Phasenauflösung,
- Optimierung der Gehäusekonstruktion des Sensors zur weiteren Verringerung konstruktionsbedingter Temperaturdrift.
- Implementierung numerischer Kompensationsverfahren für systematische Messfehler

Quellen

- [1] Priede, J.; Buchenau, D.; Gerbeth, G.; Eckert, S.: "Verfahren und Anordnung zur kontaktlosen Messung des Durchflusses elektrisch leitfähiger Medien" Patent, DE 10 2006 018 623 B4, EP 1847813 B1 (2009)
- [2] Buchenau, D.; Gerbeth, G.; Eckert, S.; Stieglitz, R.; Dierckx, M.: "Measurement techniques for LBE flows", Journal of Nuclear Materials Vol. 415, pp. 396-403, (2011)
- [3] Priede, J.; Buchenau, D.; Gerbeth, G.: "Contactless electromagnetic phase - shift flow meter for liquid metals", MST Vol. 22 (2011)
- [4] Buchenau, D.: "Entwicklung von kontaktlosen, elektromagnetischen und zeitlich hochauflösenden Durchflusssensoren für Flüssigmetallströmungen", Dissertationsschrift KIT (2012)
- [5] Lenk, S.; Flöter, M.: "User manual EMDps Rev. 1.8", SAAS GmbH (2013)
- [6] Lenk, S.; Erlebach, S.; Galindo, V.; Schlenk, R.: "Steuerungstechnische Lösung für ein Photoneutronentarget", Frühjahrstageung der Studiengruppe für elektronische Instrumentierung, Forschungszentrum Dresden-Rossendorf (März 2007)

Half-balanced broadband low noise amplifier for the detection of quantum shot noise of Graphene

Institute for Data Processing and Electronics (IPE), Lars Petzold



KIT – University of the State of Baden-Wuerttemberg and
National Research Center of the Helmholtz Association

www.kit.edu

Content

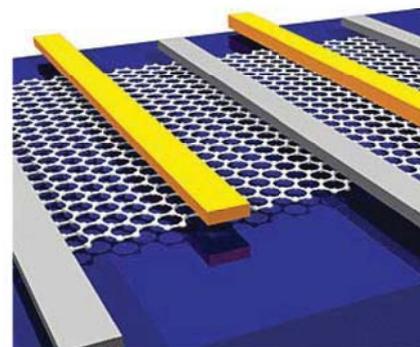
- Motivation
 - Graphene as semiconductor
 - Scattering theory for mesoscopic structures
 - Cryogenic measurement setup
- The low noise amplifier (LNA)
 - Selection of directional coupler
 - Selection of Semiconductor
 - Amplifier design
- Evaluation results
- Conclusion
- Outlook

Motivation

- Single layer graphite
 - Atomically flat
- Gapless
 - Valence touches conduction band in two points
- Semiconducting
 - By adding gate structures
- Aimed to be used as
 - Supercaps
 - GFET (analogue and digital)



Graphene band structure, schematic



Metalized Graphene

3

15.09.2014

Lars Petzold, KIT-IPE

KIT CN, IPE (MSA)

Graphene as Semiconductor



- GFET -> Graphene needs to be gated
 - Gating creates quantum capacitor similar to MOS-capacitor
 - Via the quantum capacitor n charge carriers are introduced

$$n = \frac{C_{OX}V_G}{e} + n_Q \left(1 - \sqrt{1 + \frac{C_{OX}V_G}{en_Q}} \right); n_Q = \frac{2 C_A^2 (\hbar v_F)^2}{\pi q^4}$$

- v_F = Fermi velocity, q = wave vector, C_A = min. capacitance at Dirac point⁽¹⁾

- Transport phenomena relies on diffusion
- Diffusion leads to conductivity σ

$$\sigma = \frac{e^2}{3} D(E_F) v_F \tau(E_F)$$

- τ = diffusion time, $D(E_F)$ = density of states at Fermi energy

1: Quantum capacitor devices, Serge Luryi, Applied Physics Letters 1998

4

15.09.2014

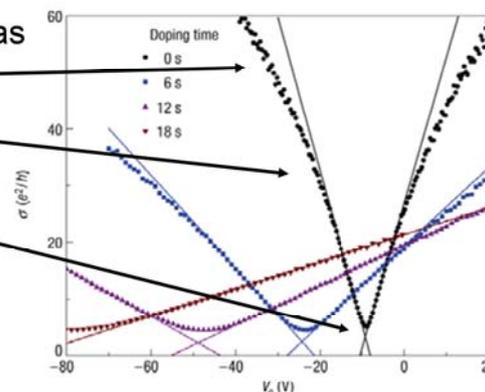
Lars Petzold, KIT-IPE

KIT CN, IPE (MSA)

Conductivity of Graphene

- Three existing regimes depending on bias

- High bias -> sublinear regime
- Low bias -> linear regime
- Charge Neutrality Point (CNP):
electron transport <-> hole transport
 - CNP is given at $D(E_F)=0$
e.g. at $T \rightarrow 0$ K



Conductivity of Potassium doped Graphene:
„Charged impurity scattering in Graphene“
(J.-H. Chen, Nature Physics 2008)

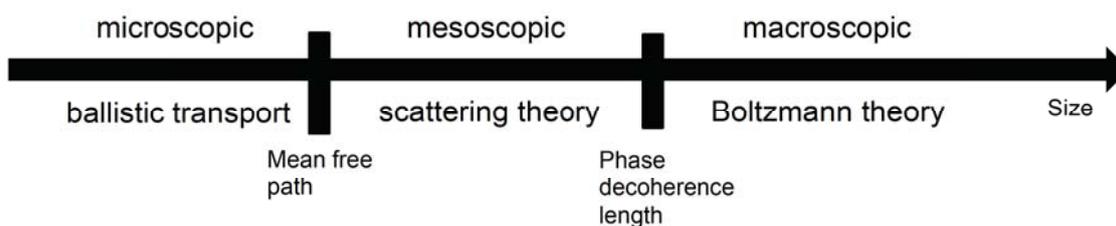
- Conductivity at CNP

- Should be 0 but is not
 - Due to roughness of supporting substrate
 - Wrinkling creates puddles of charge
- CNP should be at $V_G=0$ V but is not
 - Graphene is doped by its surrounding material

CNP is of major interest to understand the transport (scattering) mechanisms

Analyzing CNP via shot noise measurements

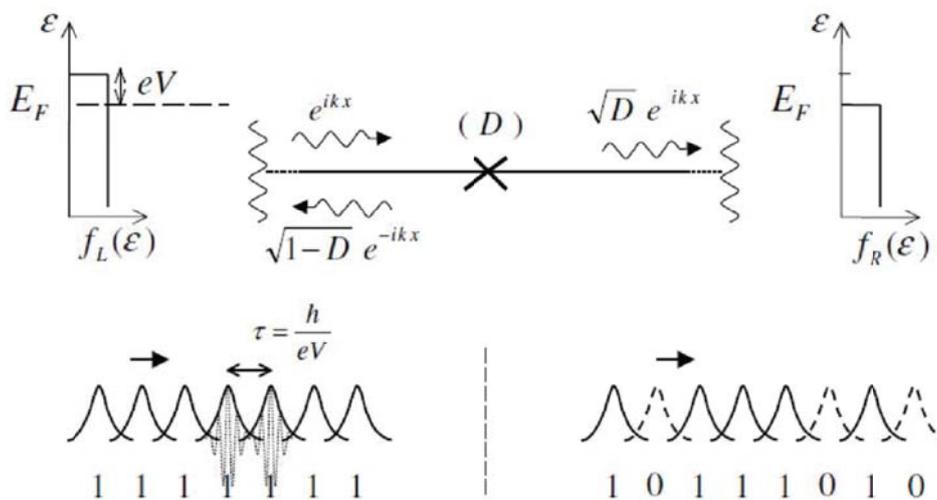
- Shot noise is central key to understand transport mechanisms in mesoscopic systems



- In mesoscopic systems scattering theory leads to shot noise

- Quantum current and conductivity
- for ideal conductors, the current is noiseless
- In nonideal conductors scatter points apply probability
- electron wavepackets travel through or being backscattered

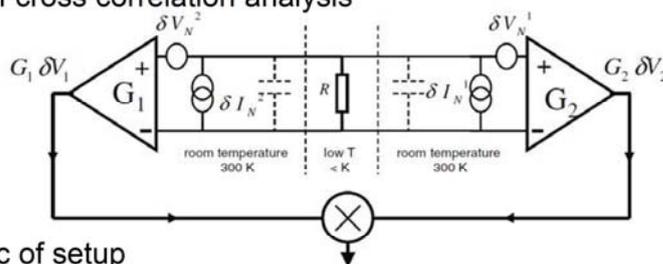
Scattering theory



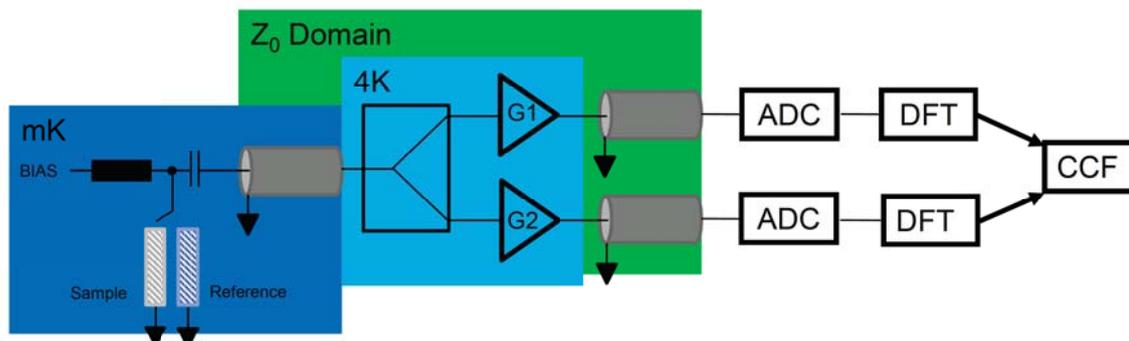
Y.M.Blanter, M.Büttiker „Shot noise in mesoscopic conductors“
Physics Reports, 2000

How to measure the shot noise

- Attempt of cross correlation analysis

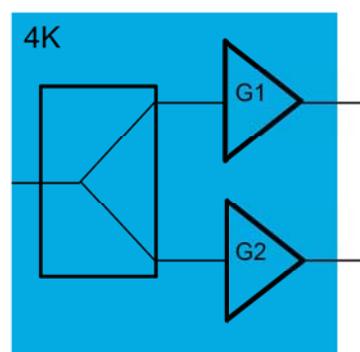


- Schematic of setup



The cryogenic preamp

- Specifications:
 - Working temperature T_W : 4.2K
 - Gain $G_{1/2}$: approx. 10 dB
 - Power consumption P_W : <10 mW
 - Bandwidth B: 1GHz up to 3 GHz
 - Input: 10^{-24} A²/Hz
- Challenges:
 - Broadband directional coupler
 - equal splitting by -3dB
 - decoupling of input and output
 - Preamp which works at 4.2K
 - find RF transistors
 - Embedding in Z_0 -Domain
 - power matching
 - or noise matching



Directional coupler

Available Types:

	Name	Typ	Match	Bandwidth	Isolation	Noise	Phase
X	Intersection	parallel	--	-	--	++	0°
X	Match'd Inters.	parallel	0	-	--	++	0°
X	Tap'd Inters.	parallel	0	0	-	++	0°
X	Wilkinson	parallel	++	++	++	--	0°
X	Branch line	series	++	-	++	++	90°/180°
	Interdigital	series	++	0	++	++	90°

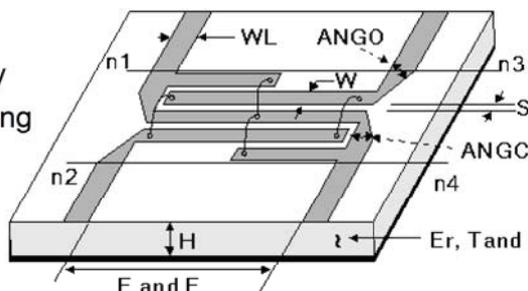
Interdigital coupler:

- Suits best but
- Drawback is the phasing of 90°, impact on cross correlation analysis
- Coupling
 - weak (< -10dB): coupled transmission lines
 - strong (> -10dB): folded transmission lines -> Lange coupler

The Lange Coupler

■ **Folded and coupled transmission lines:**

- Offers very good qualities where
- Bandwith approx. 1 Octave
- Length (E) defines center frequency
- Number of Fingers N defines coupling
- Gap (S) defines coupling
- Width (W) defines coupling
- Both W and S define matching



■ **Data for Lange Coupler on RO4003 given by design tool,**

- N = 4
- W = 188 microns
- S = 33 microns
- E = 24.4 mm

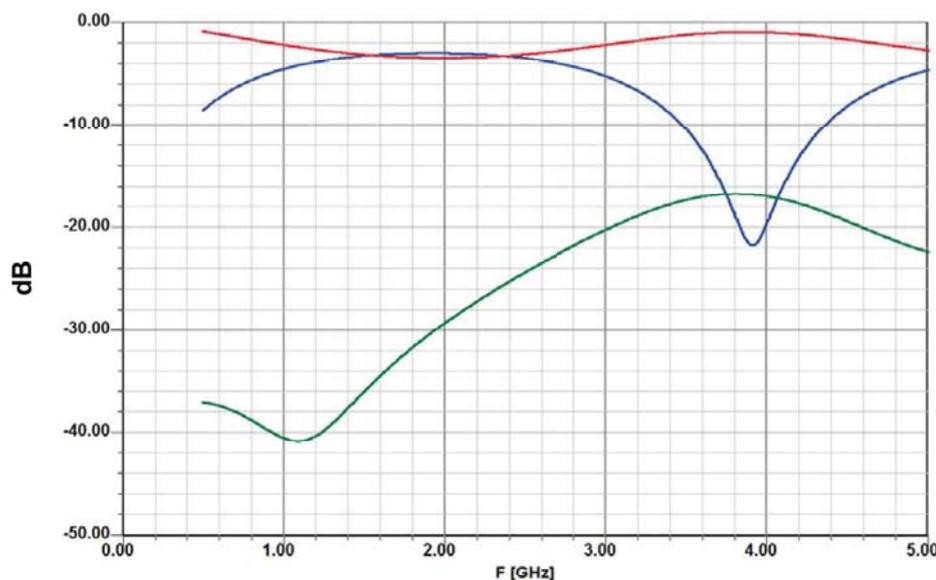
Hard to produce in standard pcb- and thick film techniques
 may be relaxed by increasing N
 Several W/H and S/H combinations exist

Simulation of Lange Coupler

21 Feb 2014

Ansoft Corporation
 XY Plot 2
 Circuit1

16:08:42



Y1

dB(S21)
NWA1

Y1

dB(S31)
NWA1

Y1

dB(S11)
NWA1

Semiconductors

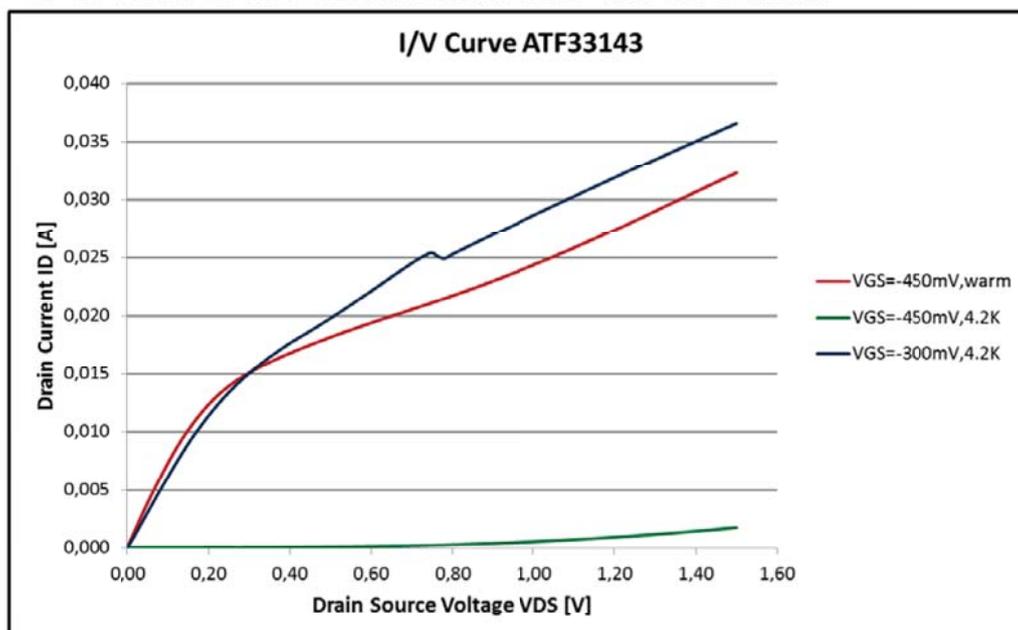
- Types of commercial RF- transistors
 - Which one will work at 4K?

	Alloy	Typ	Typ. Density Donator	Typ. Density Acceptor	Donator energy	Acceptor energy	Number of Carriers at 4K
X	Si	BJT	10^{17}	10^{15}	50 meV	63 meV	Freezeout (approx. 18K)
X	Ge, SiGe	HBT	10^{17}	10^{15}	12.5 meV	11.6 meV	10^2
	GaAs, AlGaAs	MESFET, HEMT	10^{19}	10^{17}	10 meV	-	10^5
X	InP, InGaP	HBT, HEMT	10^{17}	10^{15}	5.7 meV	(61.4 meV)	$3 \cdot 10^9$

- GaAs pHEMTs are good choice
 - Chosen transistors: ATF-series (Avago Tech)
 - ATF33143, ATF35143 and ATF36163
 - Gain approx. 17 dB (mean) at 4 GHz
 - Low noise figure: 0.6dB at 4GHz (noise matched)
 - I_{DSS} : between 25mA and 220mA typically

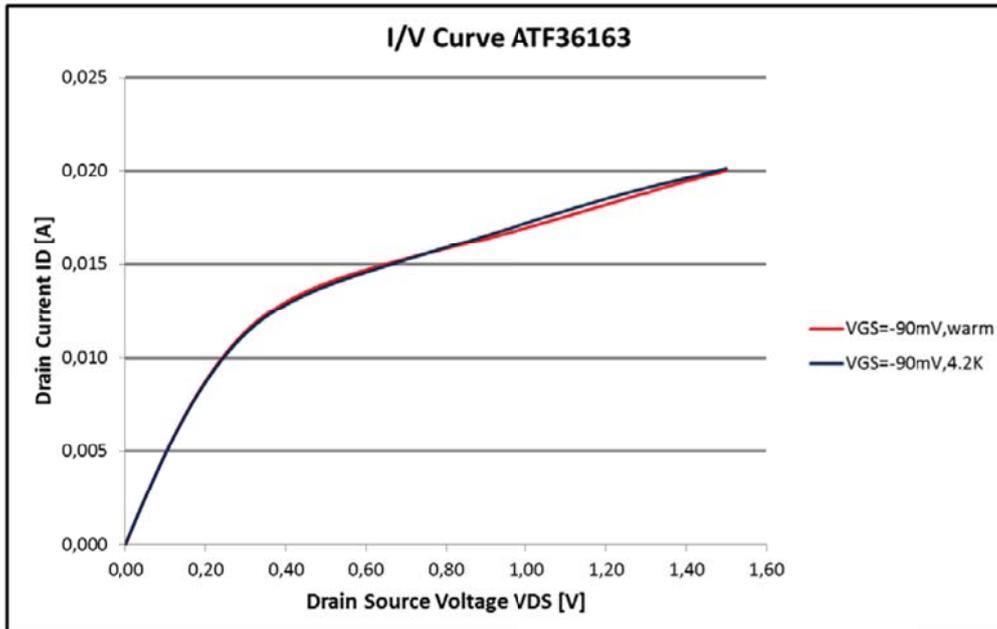
ATF-series Bias Condition

- How do ATF-HEMTs behave at 4.2 K ?
 - I/V curves of ATF33143 at RT and at 4.2K -> ATF35143 similiar



ATF-series Bias Condition

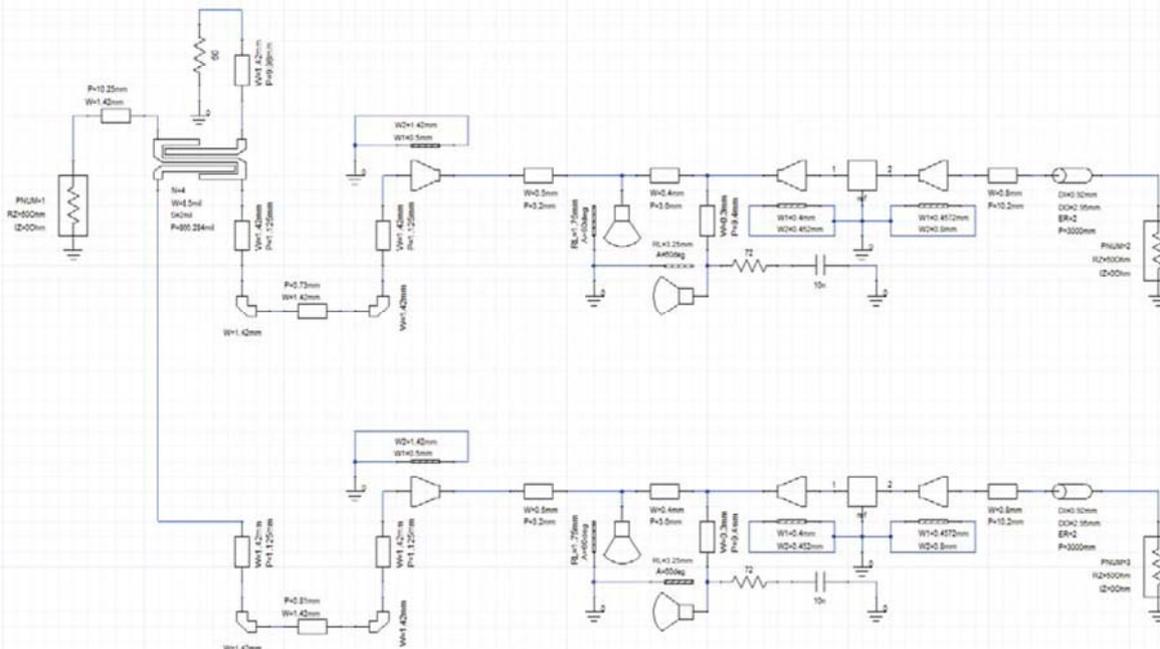
- How do ATF-HEMTS behave at 4.2 K ?
 - I/V curves of ATF36163 at RT and at 4.2K



ATF36163 – Amplifier Design

- amplifier design is straight forward
 - Define circuitry – common source
 - Measurement of S-Parameter of ATF36163 at 4.2 K
 - Define of input and output matching circuits
 - ATF36163 input equiv. series RLC ($R=35\text{ Ohm}$, $C=0.5\text{ pF}$, $L=0.5\text{ nH}$)
 - Power matching since F_{MIN} is not available
 - Matching technique: Compensation
 - Consider power supply for V_{GS}
 - V_{DS} is phantom powered by BIAS-T
 - Output matching is done by coaxial transmission line
 - Work load is 50 Ohm system impedance
 - Stability check
 - Inductive source degrading if necessary
 - Adding the coupler
 - Optimizing
 - for best input matching
 - For maximum flat gain

ATF36163 – Amplifier Design

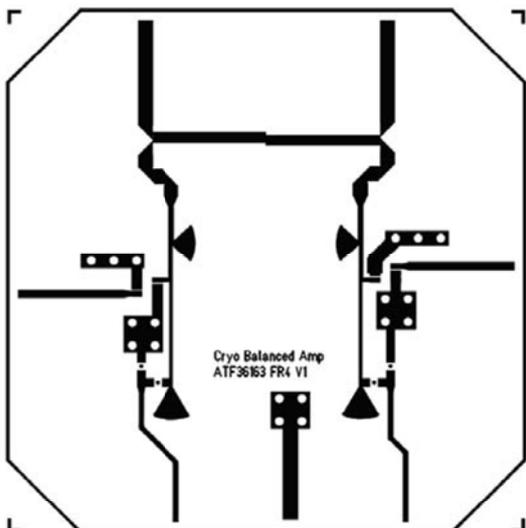


17 15.09.2014

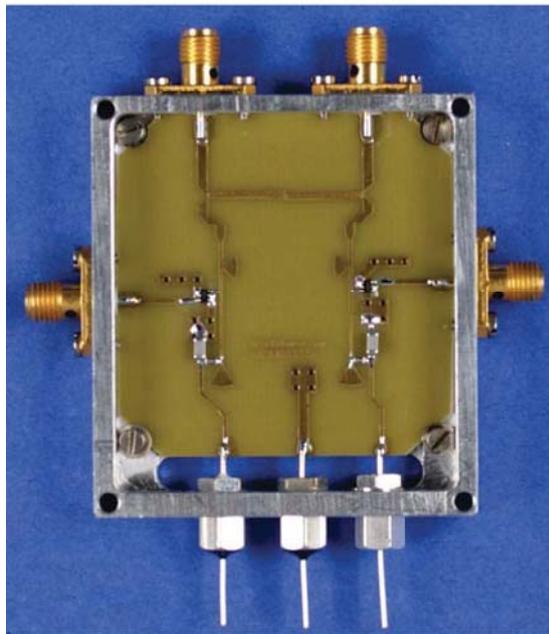
Lars Petzold, KIT-IPE

KIT CN, IPE (MSA)

ATF36163 – Amplifier Design



Layout view (top side)



Preamp view (top side)

18 15.09.2014

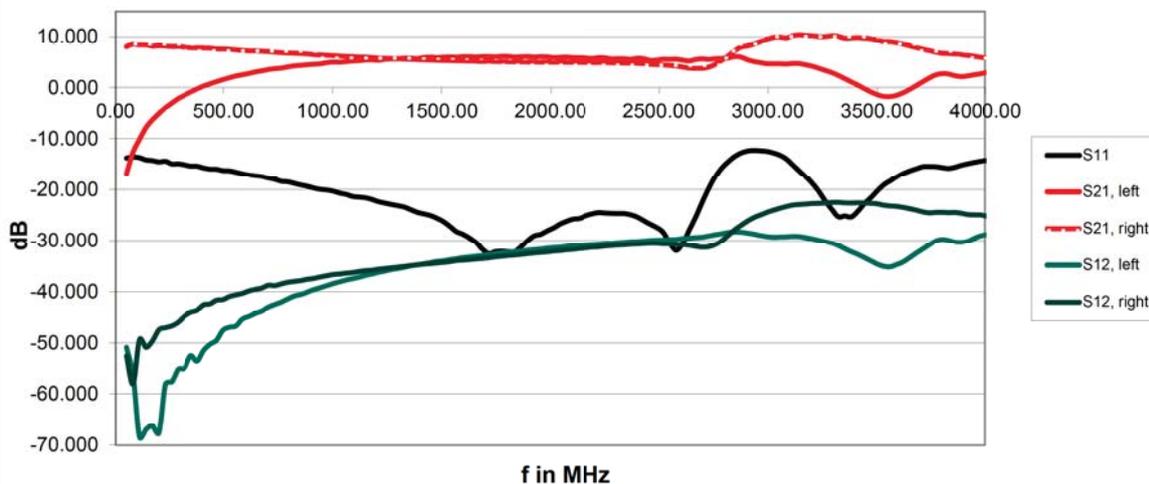
Lars Petzold, KIT-IPE

KIT CN, IPE (MSA)

ATF36163 Amplifier evaluation



FR4, half balanced Preamplifier at 4.2K



19 15.09.2014

Lars Petzold, KIT-IPE

KIT CN, IPE (MSA)

Conclusion / Outlook



- ATF36163 half balanced common source circuit
 - Gain: approx. 8dB per branch at 1GHz up to 2.5GHz (corrected by 3dB splitter loss)
 - Input Matching: better than -20 dB from 1GHz up to 2.5 GHz
 - Output Matching: approx -10 dB (not shown) from 1GHz up to 2.5 GHz
 - Gain deviation: approx 0.8 dB between branches at 2.5 GHz
 - Total Power consumption: 10.6 mW
 - Noise Figure: under current evaluation
- Aims of Redesign
 - Cover the total bandwidth from 1GHz up to 8GHz
 - Sub divide the bandwidth: 1GHz – 2GHz; 2GHz – 4GHz; 4GHz - 8GHz
 - -> Current master thesis: Alexander Kuzmin (IPE)
 - Optimize directional coupler
 - Impact of coupler technology on quality of cross correlation analysis
 - -> Current master thesis: Xue Han (IPE)
 - Increase gain by reducing conductor losses
 - Use of RT Duroid substrates

20 15.09.2014

Lars Petzold, KIT-IPE

KIT CN, IPE (MSA)

Erzeugung kurzer Impulse mit hoher Amplitude unter Verwendung von Standard CFAs

Vortrag im Rahmen der SEI-Tagung 2014

Franz Peter Zantis, Dipl.-Ing.(TU)
RWTH Aachen
Physikalisches Institut IIIa
Elektronik-Werkstatt

Motivation

Nachfrage der Physiker

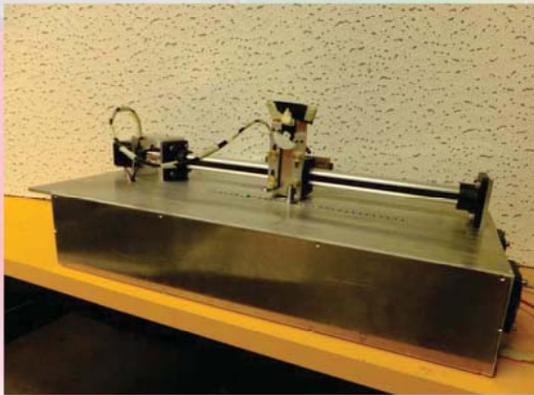
- Kalibrierung und Test der Synchronität von Antennen im Projekt „Auger“ [6]
 - Einsatz eines mit Pulser bestückten Oktokopters
 - Abstrahlung der Pulse über eine Antenne am Oktokopter



Motivation Nachfrage der Physiker

- Untersuchungen an SiPMs innerhalb der Projekte Auger und CMS (CERN)
 - Pulser speist LEDs zum Test von SiPMs; z.B. in [1]

- etc.

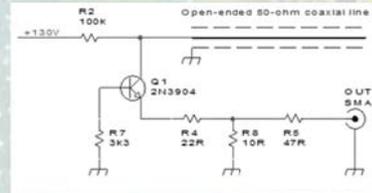


Forderungskatalog der Physiker

- Pulsweite 3...80 ns
- Amplitude "so hoch" wie möglich (120 V ?)
- Energieversorgung aus 12-V-(Flug-)Akku
- Pulsauslösung per externem Triggersignal oder wahlweise durch einen On-Board-Generator (Wiederholrate 20 μ s ... 1 s)
- Parameter (Pulsweite, Wiederholrate und Amplitude) einstellbar via PC oder manuell per Steckbrücken und Potis

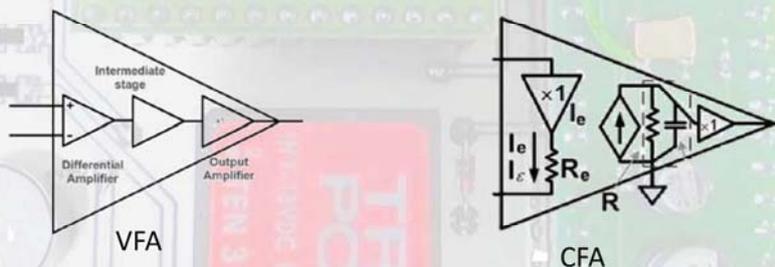
Brainstorming in der Elektronik-Werkstatt

- a) Ausnutzung des Avalanche-Effekts
 - schlecht parametrierbar
- b) ECL-Technik oder FPGA
 - sehr kleine Amplituden; Verstärkung notwendig
- c) Verwendung eines schnellen Komparators
 - Erzeugung der Pulse "in der Endstufe selbst"



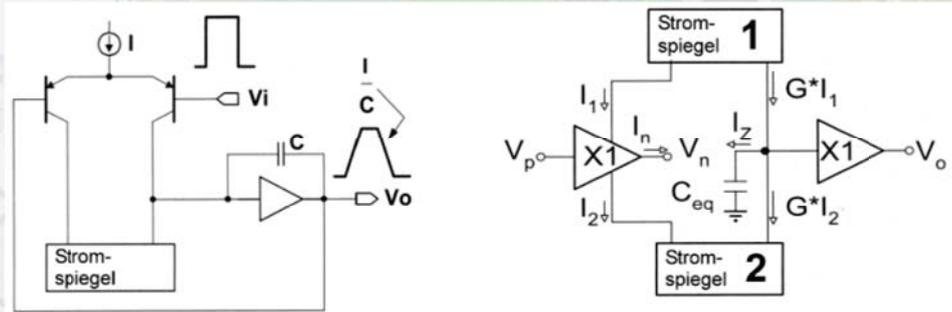
Konzept der Elektronik-Werkstatt gemäß c)

Höchste Anstiegsgeschwindigkeiten haben
Current Feedback Amplifier (CFA)



Konzept der Elektronik-Werkstatt gemäß c)

Höchste Anstiegsgeschwindigkeiten haben
Current Feedback Amplifier (CFA)



VFA: der Strom zum Umladen der Endstufenkapazität wird von einer Konstantstromquelle geliefert. → begrenzte Anstiegszeit

CFA: der Strom zum Umladen der Endstufenkapazität wird von den beiden Stromspiegeln geliefert. → Anstiegszeit steigt mit Eingangshub

CFA als Komparator

Problem: CFAs haben einen Stromeingang!

- maßgebend ist der Strom durch den invertierenden Eingang
- Vergleich Spannungswert mit Stromwert?
- Verwendung als Komparator ist nicht vorgesehen.

Lässt sich ein CFA trotzdem als Komparator verwenden?

- ja, im vorliegenden Fall mit einem „Vorkomparator“

CFA als Komparator

Die (langsame) Anstiegszeit des „Vorkomparators“ (VFA) macht C1 eventuell überflüssig.

Nur wenn $s_{r_{VFA}} \gg s_{r_{RC}}$ UND $s_{r_{VFA}} \gg s_{r_{Up}}$ kann $s_{r_{VFA}}$ unberücksichtigt bleiben
 → schwer zu erfüllen für kurze Ausgangspulse

langsamer Triggerpuls U_p vom μC MSP430 (3,3V)

Problem: der CFA hat einen Spannungseingang und einen Stromeingang.
 Lösung: „Potentialwaage“, justiert mit R2, R3 und R5.

Die Energie für den Ausgangspuls wird von C2 geliefert. Problem: Layout!

max. Ladung: $100 \mu s$

$$U_C = e^{-\frac{t}{RC}} \quad RC = 50 \Omega \cdot 100 \cdot 10^{-9} F$$

$$U_C = e^{-\frac{100 \cdot 10^{-6}}{5 \cdot 10^{-8}}} = 5 \cdot 10^{-6} s$$

$$U_C = e^{-20 \cdot 10^3} = 0,38$$

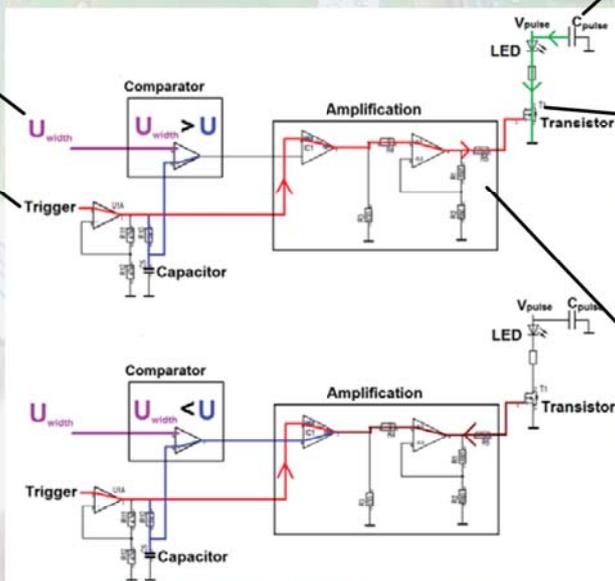
Ausgang ohne Bezug zur Masse! Für die geplanten Einsatzgebiete ok.

Problem: FETs für hohe Spannungen haben hohe Eingangskapazitäten.

Für „kleine“ Anwendungen (Amplituden bis 9V) kann der Ausgang des CFA direkt verwendet werden.

CFA als Komparator und Treiber

vom DAU
 vom μC



Die Energie für den Puls kommt aus diesem Kondensator! Problem: Layout

Problem: Transistoren die genügend Strom schalten können haben eine hohe Eingangskapazität!
 RF Power LDMOS*
 MRFE6VS25NR1
 $U_{DSmax} = 133V$
 $C_{GS} \approx 40pF$

Problem: nur CFAs sind ausreichend schnell!
 Verwendeter Typ: THS3202
 SlewRate: $9V/ns$
 $I_{Outmax} = 115mA$
 $dt = \frac{C_{GS}}{I} = \frac{40pF}{115mA} \approx 350ps/V$
 $\Rightarrow 2,6V/ns$

*laterally diffused metal oxide semiconductor

Leistung

Impulsleistung bei 120V an 50Ω

$$P_I = \frac{U^2}{R} = \frac{(120V)^2}{50\Omega} = 288W$$

Effektive Leistung bei 50kHz Wiederholfrequenz

$$P_{\text{veff}} = P_{\text{vl}} \cdot \frac{t_{\text{onmax}}}{T} = 288W \cdot \frac{0,1\mu s}{20\mu s} = 1,44W$$

Verlustleistung am Transistor während des Pulses

$$P_{\text{vl}} = \frac{U}{R} \cdot U_{\text{DS}} = \frac{120V}{50\Omega} \cdot 1V = 2,4W \quad \text{geschätzt}$$

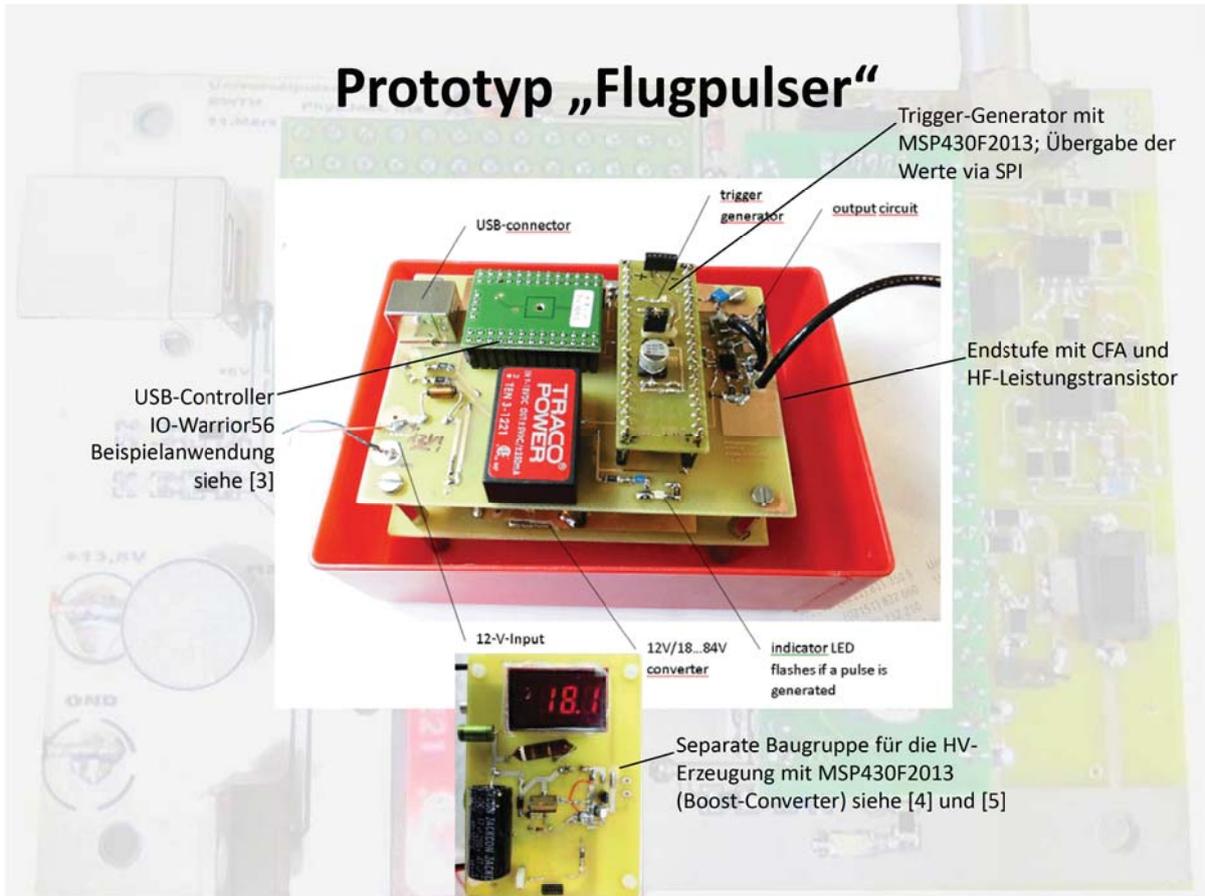
Effektive Verlustleistung bei 50kHz Wiederholfrequenz

$$P_{\text{veff}} = P_{\text{vl}} \cdot \frac{t_{\text{onmax}}}{T} = 2,4W \cdot \frac{0,1\mu s}{20\mu s} = 0,012W$$

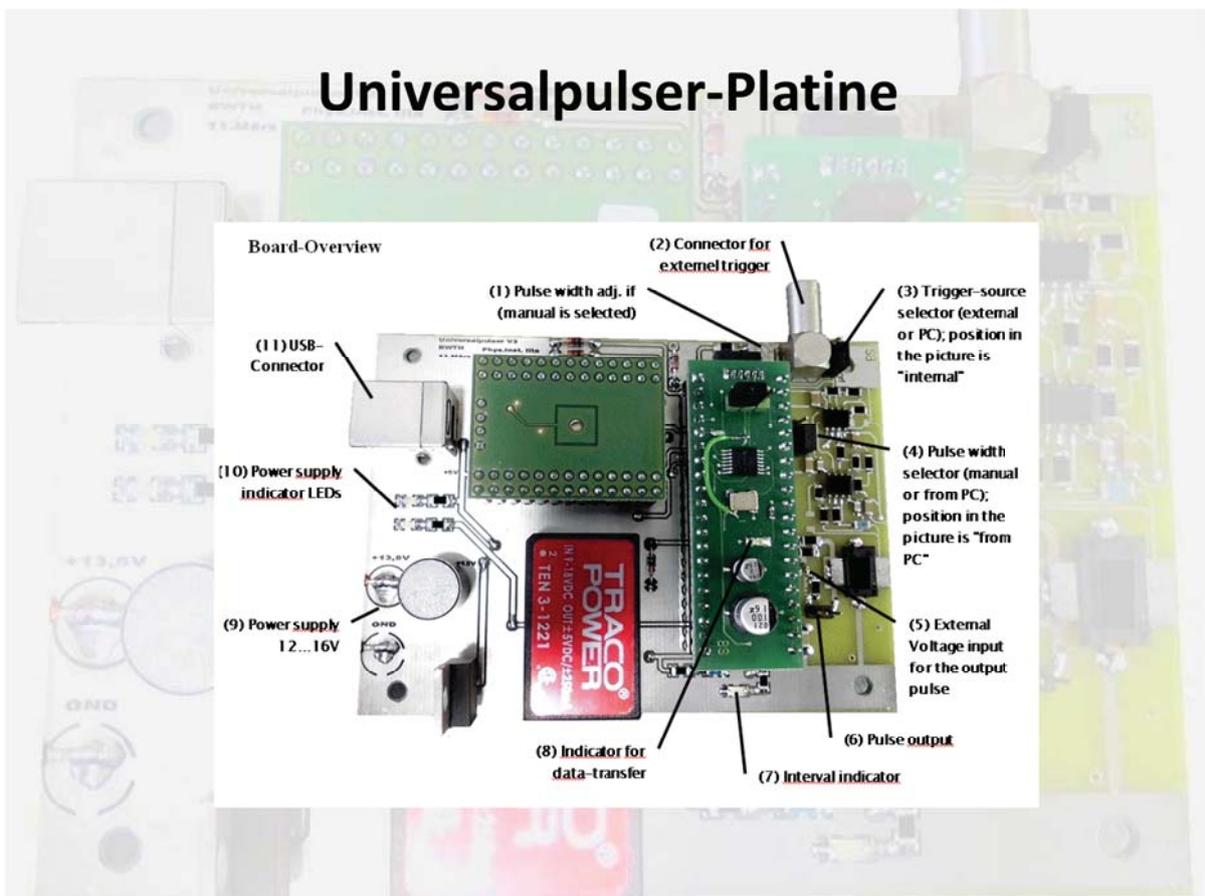
Platine in Target

- IO-Warrior56 USB-Anbindung
- Trigger-Generator (Wiederholrate 20μs ... 1s)
- USB-B
- SMD-LED,green R13 220
- D1
- R21 220
- SMD-LED,yellow
- WIMA
- 12-V-Anschluss vom Flugakku
- ASA000AA18
- DIL40
- VFA-Komparator
- CFA-Komparator
- LDMOS-Transistor
- Kondensator der die Energie für den Puls bereitstellt.

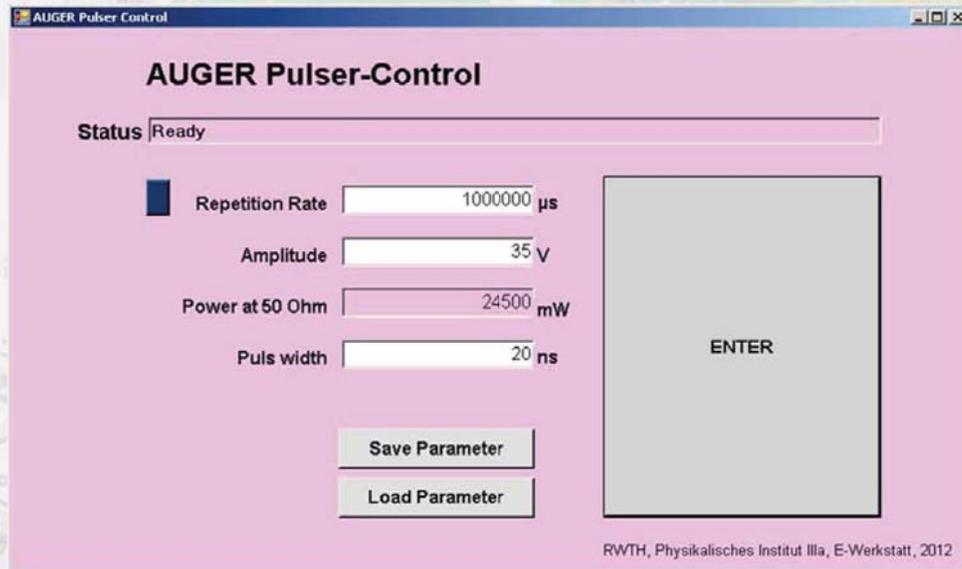
Prototyp „Flugpulsler“



Universalpulsler-Platine



Steuerprogramm erstellt mit VB.NET



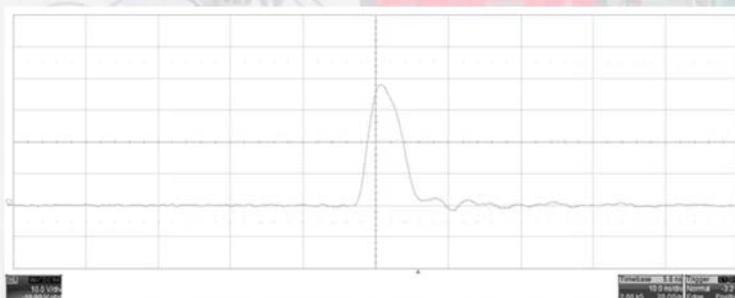
Beispielpulse



44 V / 5 ns
(50 Ohm; 1:8)



52 V / 5 ns
(50 Ohm; 1:16)



35 V / 10 ns
(Tastkopf; 1:10)

Verwendeter 50-Ω-Teiler



Literatur

- [1] T. Enzweiler „Development of a multipurpose light source for SiPM characterization“, Masterarbeit in Physik, RWTH 2013
http://web.physik.rwth-aachen.de/~hebbeker/theses/enzweiler_master.pdf
- [2] F.P. Zantis „Generating of short pulses with high amplitudes by using of standard Current-Feedback-Amplifier.“
Cornell University Library, 2013, <http://arxiv.org/abs/1312.0411>
- [3] F.P. Zantis „Development of a low-power-signal acquisition device for signals lower than 25 Hz“
Slovak University of Technology, 2012, Bratislava
<http://www.grin.com/en/e-book/196879/development-of-a-low-power-signal-acquisition-device-for-signals-lower>
- [4] F.P. Zantis „Stromversorgung ohne Stress“
Elektor Verlag Aachen, 2011, ISBN 978-3895762482
<http://www.amazon.de/Stromversorgung-ohne-Stress-1-Grundlagen/dp/3895762482>
- [5] F.P. Zantis „Schaltnetzteile“
Elektor Verlag Aachen, 1994, ISBN 3-928051-75-X
- [6] R. Krause „Octocopter based Calibration of the Butterfly Antenna for the Pierre Auger Observatory“,
Materarbeit in Physik, RWTH 2012
http://www.physik.rwth-aachen.de/fileadmin/user_upload/www_physik/Personen/erdmann/Masterthesis-Krause.pdf

SEI-Tagung 10.-12.3 2014

Elektronikabteilung des HZG

Jörg Burmester

10.3.2014

**Helmholtz-Zentrum
Geesthacht**
Zentrum für Material- und Küstenforschung

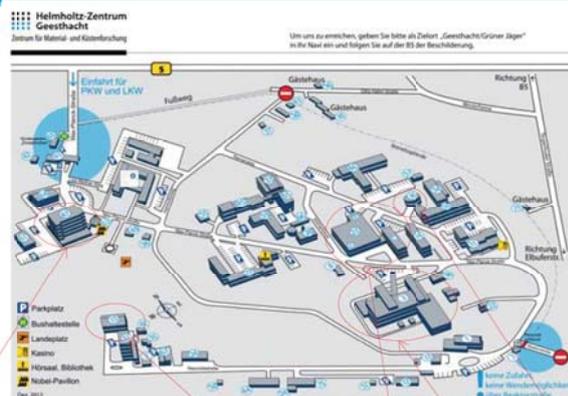
Zeitreise

**Helmholtz-Zentrum
Geesthacht**
Zentrum für Material- und Küstenforschung



NS Otto Hahn

GKSS Gründung 1956
Gesellschaft zur
Kernenergieverwertung in
Schiffbau und Schifffahrt mbH



GUSI



Schlingerstand

Anex Halle
FRG1+2
Technikum

Jörg Burmester • 14.09.2014

Zeitreise

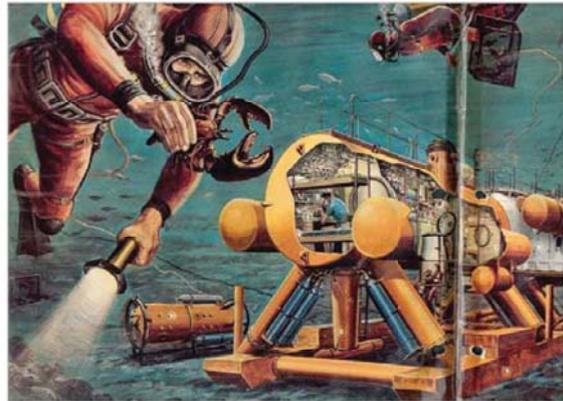


UWL Helgoland im Meeresmuseum Stralsund

- GUSI Geesthachter Unterwasser-Simulations-Anlage Tauchtiefen bis 600m
- Unterwasserschweißtechniken
- Tauchtechnik

Jörg Burmester • 14.09.2014

**Aquanauten erforschen Zukunft
Unterwasser**



„Offshore-Technik ist eine reine
Materialschlacht“

3

Zeitreise



Plattform „großer Vogelsand“ Elbmündung
Anfänge der „Ferrybox“

Jörg Burmester • 14.09.2014



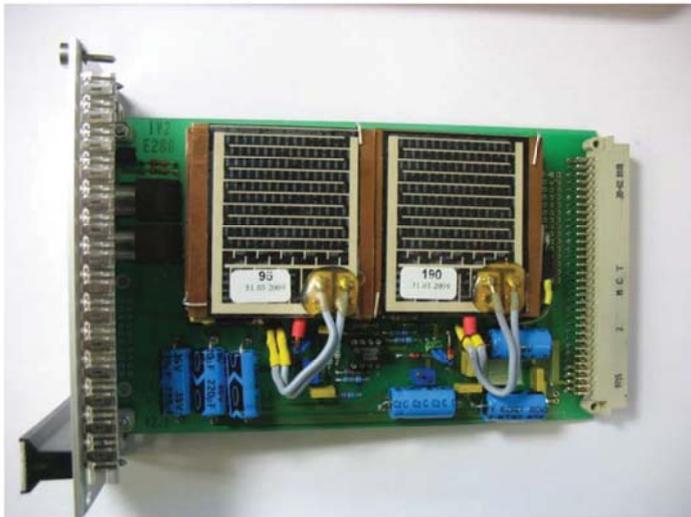
Messstation im
Wattenmeer
List (Sylt)
hoch präzise
Temperaturmessung

Quecksilbermessungen
im Elbvorland
bei Lauenburg



4

Präzisions- PT100 Verstärker



temperaturstabilisierte Verstärker
3/1000 °C Auflösung

- Messpfahl im Wattenboden mit 17 PT100 Temperaturfühler
- Wärmeausbreitung im Wattboden
- Meteorologische Messungen

Jörg Burmester • 14.09.2014

5

Sonnenseiten



Delphinterapie auf Key Largo Florida

<http://www.dolphin-care.de/Island-Dolphin-Care.html>

- Erforschung der positiven Wirkung der Ultraschallklicks von Delphinen auf behinderte Kinder
- Erforschung der Kommunikation der Delphine untereinander
- Verhaltensforschung von Delphinen

Doktorarbeit von Dr. Karsten
Bresing

Autarker Unterwasser-
Transientenrekorder
4 Kanäle 16 Bit je 1Ms/s
Aufnahmezeit 20 Minuten

Cross correlation-Auswertesoftware

Jörg Burmester • 14.09.2014

6

HELENA – HELICOPTER-BASED LEAKAGE DETECTION OF NATURAL GAS PIPELINES

Laserabsorptionsmessung



Jörg Burmester • 14.09.2014

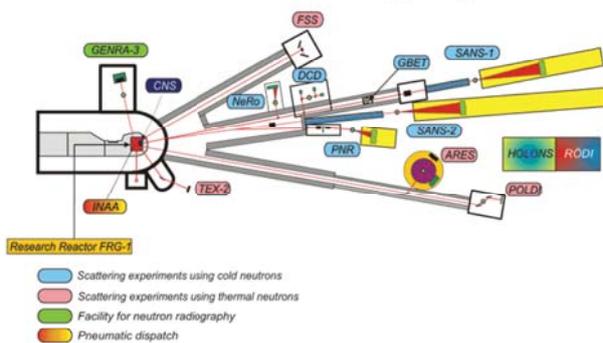


- Hubschraubergetragenes Messsystem
- Laser wird kreisförmig abgelenkt
- durch Flugbewegung spiralförmige
- Erfassung der Methan Absorption (ca. 5m breiter Streifen) von Pipelines
- modulierter Laserstrahl
- Ansprechpartner: Dr. Felix Theopold

7

Unsere Versuchshalle

Geesthacht Neutron Facility (GeNF)



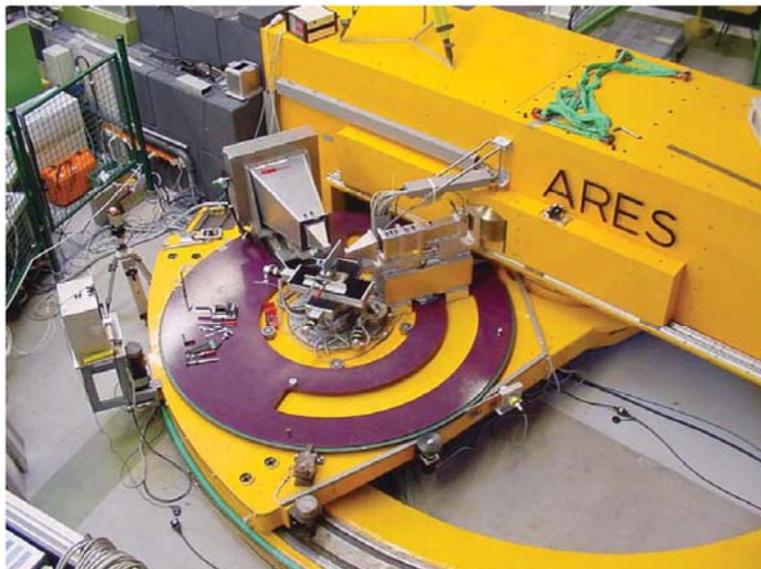
- NAA – 4 Probenwechsler
- TKE MCA-Systeme verschiedene Ausbaustufen
- AnNA.tel LabVIEW Steuer- und auswertesoftware
- Detektoren: Eigenbau
Charge-Division :Manfred Pauls
Delay-Line: Mauro Marmotti



Jörg Burmester • 14.09.2014

8

ARES mit einem der ersten DENEX Delay-Line Detektoren



Jörg Burmester • 14.09.2014

9

Neutronen Detektorentwicklung

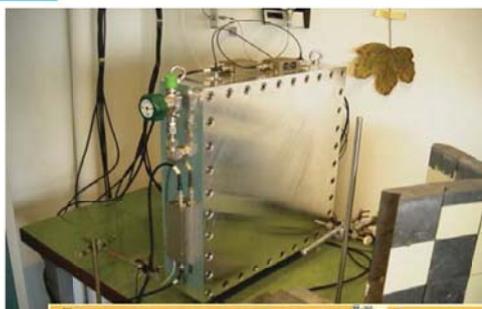


Weiterentwicklung
(Miland Projekt)
Vereinfachung der
Fertigung

Schubladensystem

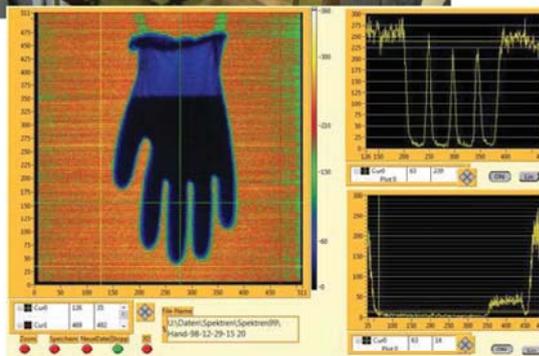
Kostengünstig

Drahtwickelmaschine



Erster Delay-Line
Detektor

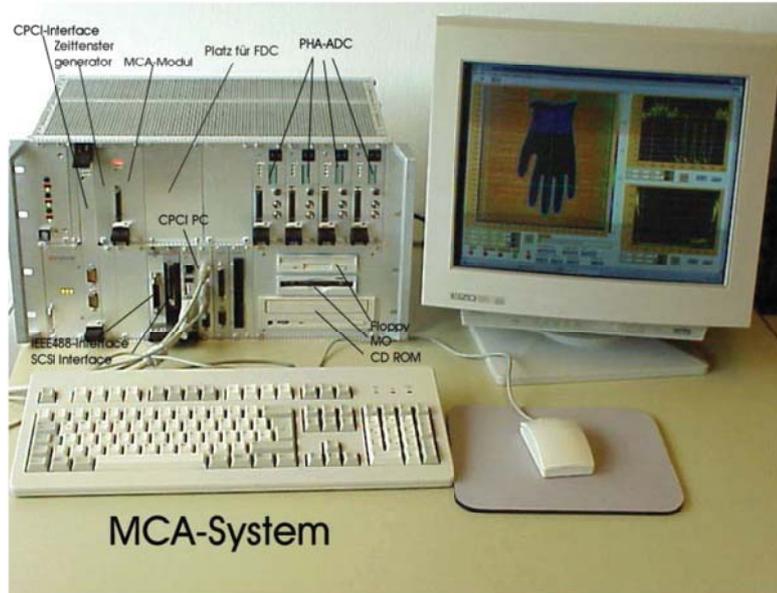
später
Ausgründung
Firma DENEX



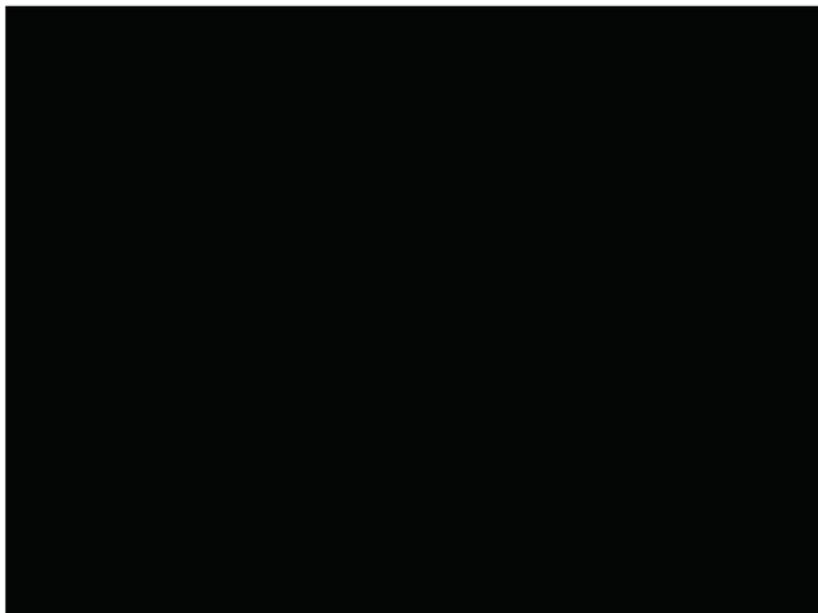
Jörg Burmester • 14.09.2014

10

MCA-Systeme

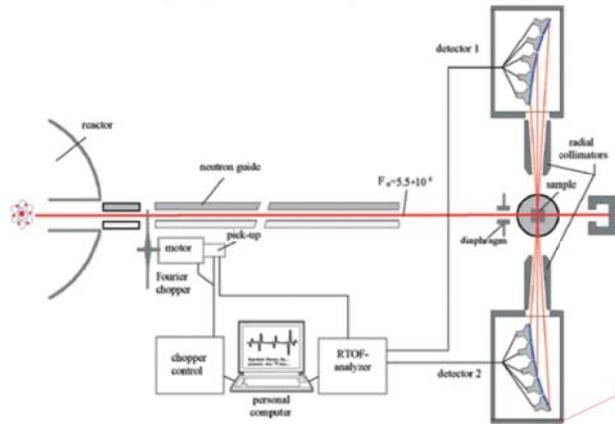


XD-Datenerfassung für Neutronendetektoren



MCA-Systeme

Neutron time-of-flight spectrometer FSS (Fourier Strain Scanner)



FSS Instrument Details

Location at FRG-1: beamline 9, thermal neutrons
Flight path: 21.15 m Ni-coated curved neutron guide, radius of curvature: 3000 m
 characteristic wavelength: $\lambda_{\text{dof}} = 0.183 \text{ nm}$
 beam size: $2 \times 20 \text{ mm}^2$ to $15 \times 108 \text{ mm}^2$
Fourier chopper: 1024 slits, 1760 rpm max. operating speed
Flux at sample position: $\Phi = 5.5 \cdot 10^6 \text{ cm}^{-2} \text{ s}^{-1}$
Wavelength range: $\lambda = 0.1 \text{ nm to } 0.4 \text{ nm}$
Timing resolution: ca. $4 \cdot 10^{-7} \text{ s}$ ($\lambda = 0.1 - 0.4 \text{ nm}$)
TOF analyzer: reverse time of flight correlator
 $2 \times 3072 \text{ channels}$
 $1 \mu\text{s}$ minimum channel width
Detector: 2 Li-6 glass scintillation detector banks
 (90° & 270°) in time-focussing geometry
Sample environment: sample positioner for strain tensor determination
 - heater (up to 1000°C)
 - stress rig: max. force 30 t

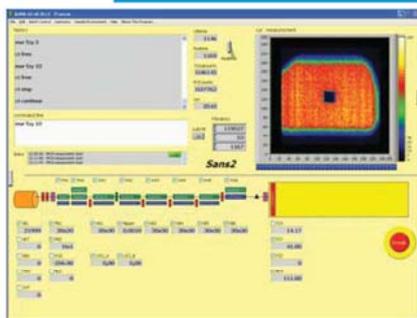
- FPGA Grab: 80 mal XCS40
- 10 mal Multi-I/O Karte
- Counter prescaler
- 68040 CPU Aufsummieren der Spektren (32 Bit Zähler)



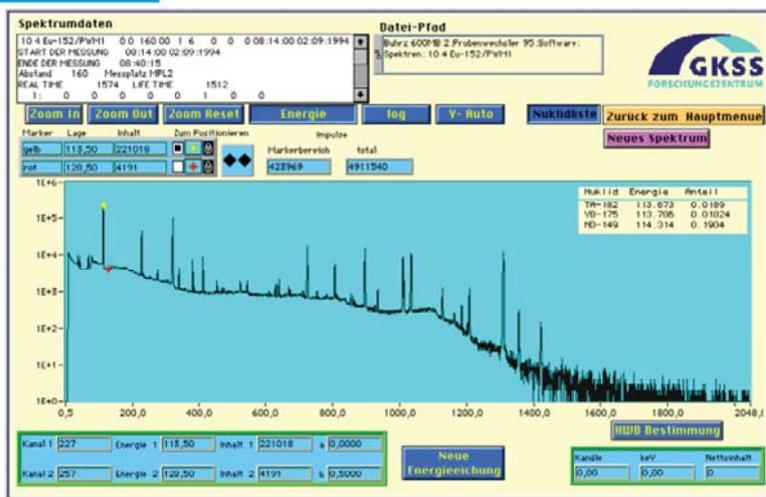
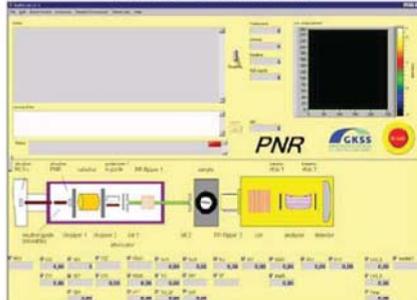
Jörg Burmester • 14.09.2014

13

LabVIEW / AnNA.tel / NAA



SANS/PNR am FRG



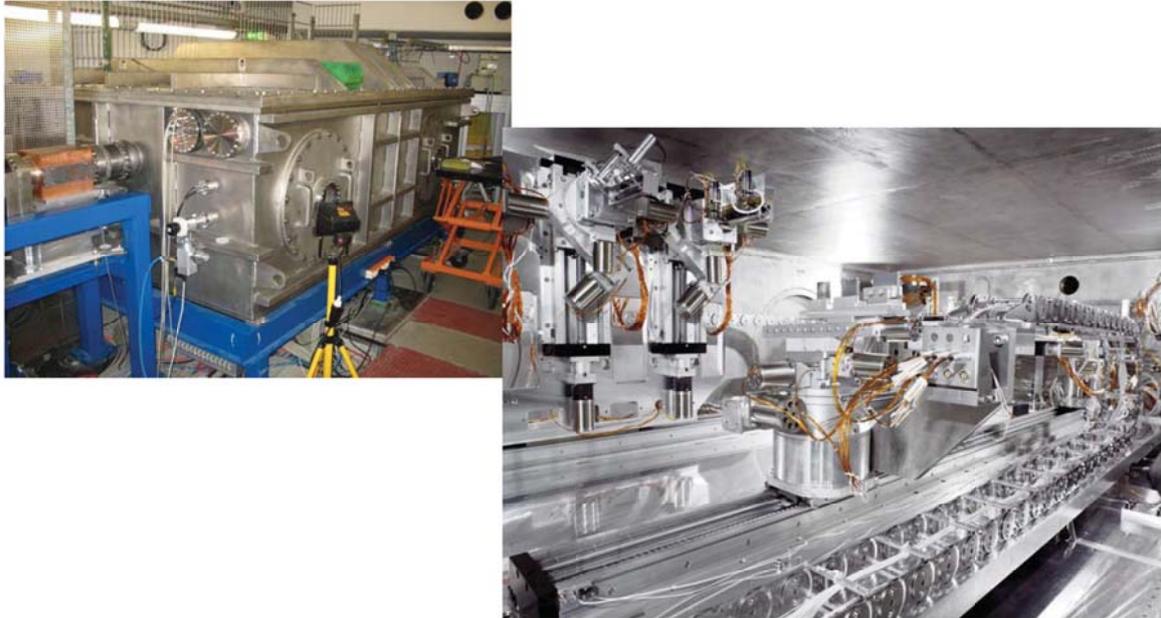
Spektrum :
Neutronen-Aktivierungs-Analyse

Energie Spektrum mit Nuklid Anzeige

Jörg Burmester • 14.09.2014

14

Monochromatortank HARWI II



Jörg Burmester • 14.09.2014

15

Auch mal Serienfertigung

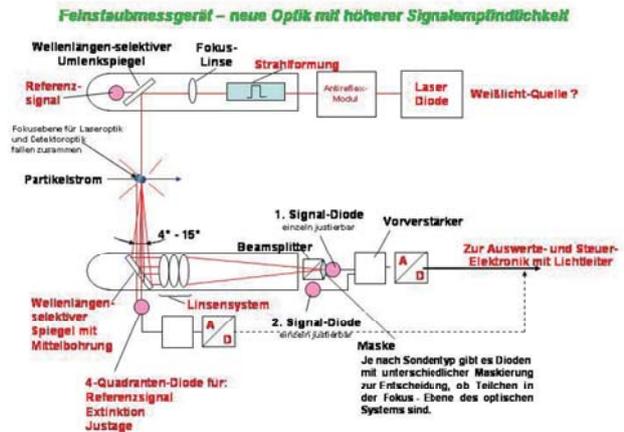


Vakuum-
Pumpstandsteuerungen

Jörg Burmester • 14.09.2014

16

Auch mal Arbeiten für die Industrie



Feinstaubmessgerät Kooperation mit der Firma DURAG
Korngrößen von 50nm-1µm
Überwachung von Abluftschornsteinen...
Nutzen von Know-How in der Aerosolmesstechnik

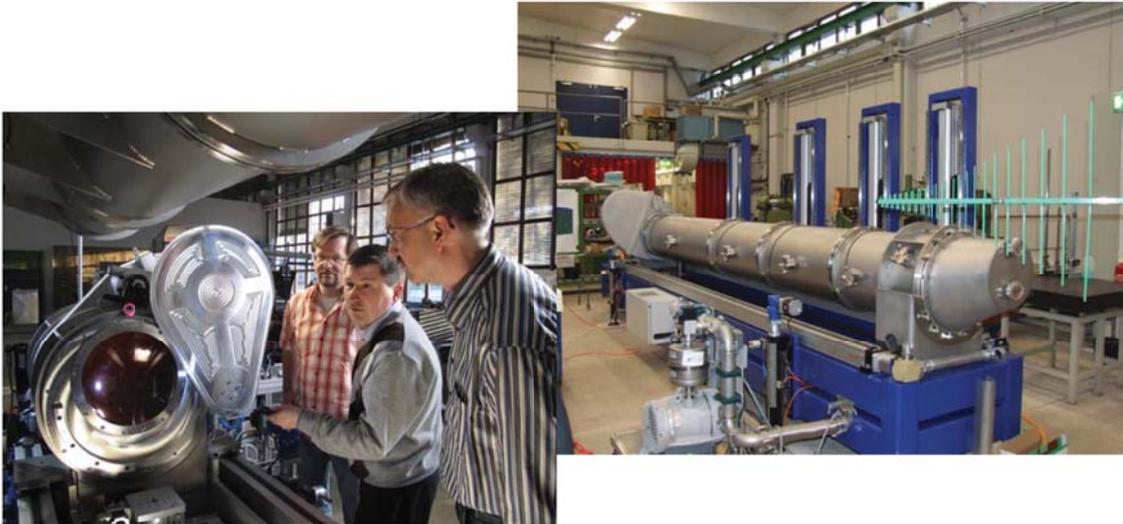
Auch mal Arbeiten für die Industrie



Triggerkarte für
Offsetdruckplatten-Belichter
für die Firma basysPrint

Modifikation der MCA-
Karten

EMBL BioSAXS Detektor Stage at Petra III



Vollautomatischer Positionswechsel des Detektors

Jörg Burmester • 14.09.2014

19

Kollimation SANS1 am FRM2



Jörg Burmester • 14.09.2014

20

Sicherheit



CE

PILZ Safety SPS



Beckhoff SPS

Jörg Burmester • 14.09.2014

Anflug auf FINO3



Ausbildung der Mitarbeiter

Jörg Burmester • 14.09.2014

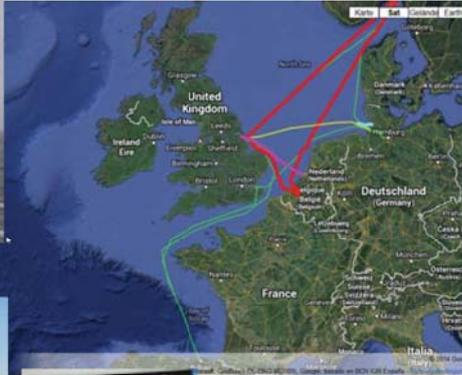
Ferrybox



TorDania



Lysbris



Ferrybox Wartung
„Funny Girl“

Schiffe:

- TorDania
- Lysbris
- MS Funny Girl

neu:

- Mein Schiff

Wasseranalytik

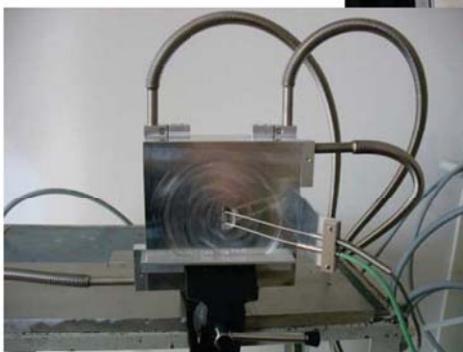
- Salzgehalt
- Temperatur
- Ammonium
- Phosphat
- Nitrat

Ludwig Prandtl



Datenerfassung/verteilung Fächerecholot etc.

Aufbau explosionsgefährdeter Anlagen



Membranentwicklung
Wasserstoffspeicherung

Jörg Burmester • 14.09.2014

25

Arbeitspferde der frühen 90er Jahre



Dual-Port RAM
oder Treiber



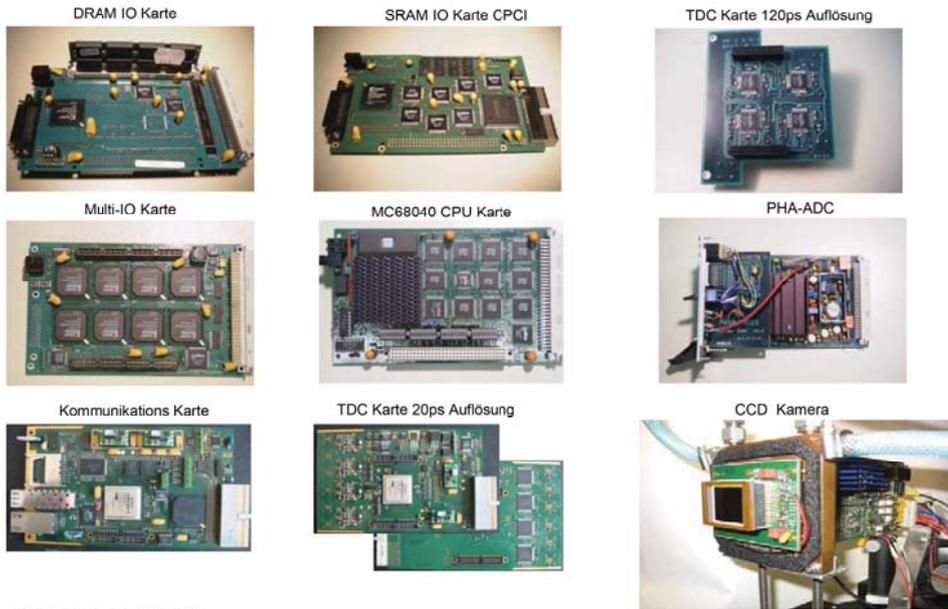
Apple Macintosh Performa 475
mit Ankopplung an TKE-Bus

Modulares Multiprozessorsystem
Kopplung mit Dual-Port RAM

Jörg Burmester • 14.09.2014

26

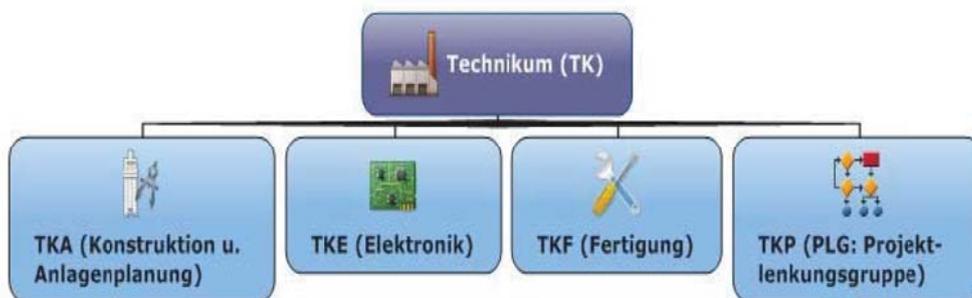
Leiterplatten Historie TKE



Jörg Burmester • 14.09.2014

27

Technikum des HZG



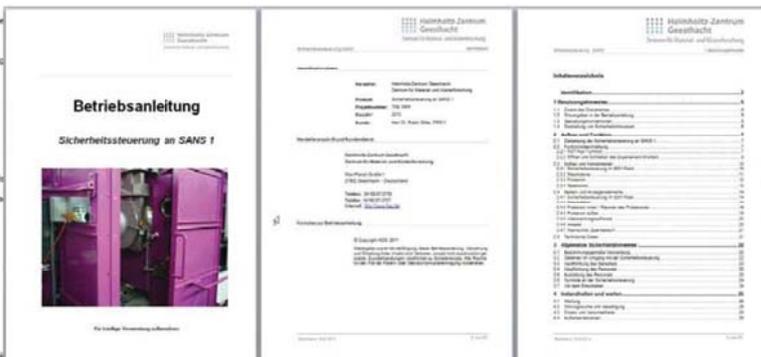
Jörg Burmester • 14.09.2014

28

CE / Auftragsdokumentation / Leistungsverrechnung



- Transparenz
- CE-Konformität
- Gefahrenanalyse
- Normen/Richtlinien Vorschriften



- ca. 100 Aufträge/Jahr
- Kostenkontrolle: Material/Zeit
- Dokumentation von Änderungen sehr wichtig
- Filemaker-Datenbank
- CATS Stunden
- Datenabgleich mit SAP

Jörg Burmester • 14.09.2014

29

Elektronikabteilung TKE

Elektronikabteilung TKE	
Name	Funktion
Jörg Burmester	Abteilungsleiter / Firmenchef "Spurwechsel"
Jan Bödewadt	operationelle Messsysteme / offshore
Jürgen Buhz	Software (LabVIEW) / Datenerfassungsanlagen / Ex-Anlagen
Oliver Frank	Software / Experimentsteuerungen / Datenauswertung
Dennis Heims	Mess- / Steuer- / Regelungsanlagen und -geräte / Ausbildung 3. u 4./Ex-Anlagen
Jörn Plewak	Hardware / FPGA / VHDL / Datenübertragung / Server / Netzwerk
Wolfgang Puls	Elektrik / Elektronik / Mechanik Ausbildung 1. u 2. Lehrjahr
Jurij Stell	Elektrik / Elektronik / Mechanik / Reparatur / Wartung / offshore
Burkhard Wenzel	Projektkennung / Arbeitsvorbereitung / Leiterplattenentwicklung
Lars Wiese	Anlagenplanung / SPS-Steuerungen
Stephan Meyer-Loges	Hardware / SPS-Steuerungen - TKE Außenstelle am DESY
Matthias Jacobsen	Elektronikfertigung
Janis Urbanski	Elektronikfertigung
Arthur Kaiser	Elektronikfertigung
Auszubildende:	Elektroniker/in für Geräte und Systeme
Janet Weber	3. Lehrjahr
Tim Hinrichs	3. Lehrjahr
Jan Moser	2. Lehrjahr
Jonas Burmester	2. Lehrjahr
Nikolas Schaly	1. Lehrjahr
Patrick Böttcher	1. Lehrjahr

Jörg Burmester • 14.09.2014

30

Elektronikabteilung TKE

- Mess-, Steuer-, Regelelektronik
- Hardware, Software
- FPGA Programmierung
- Leiterplattenentwicklung
- Analog-, Digitaltechnik
- Anlagenplanung
- Elektronikfertigung
- Sicherheitssteuerung
- EX-Anlagen

- Ausbildung 2 Azubi/Jahr
- Spurwechsel

- 1-2 Diplom/Bachelor/Masterarbeiten im Jahr

- Einsatzgebiet 4000m Wassertiefe bis 15km in den Wolken offshore, onshore, etc.....
 - Aufspüren von Methanquellen in 4000m Tiefe
 - Erfassen von Eiskristallen in Cirrus-Wolken 15km



 **spurwechsel**
Ausbildungsprojekt des Helmholtz-Zentrums Geesthacht

Elektronikabteilung TKE

Vielen Dank für ihre
Aufmerksamkeit

Mythen des PCB Designs digitaler High Speed Signale

Rudi Ganss
Dr. Heinz-Hartmut Ibowski

SEI-Tagung am HZG, Geesthacht, 10.-12.03.14

Überblick

- **Einführung**
- **Mythen des PCB-Designs digitaler High Speed Signale**
 - erforderliche Bandbreite = halbe Datenrate / n-fache Datenrate !?
 - Basismaterial muss HF-Material sein !?
 - Impedanz muss eng toleriert werden !?
 - digitale High Speed Signale sind differentielle Signale !?
 - extreme Gleichlängenforderungen sind einzuhalten !?
 - differentielle Signale sind unempfindlich gegen Übersprechen !?
 - parasitäre Kapazitäten müssen kompensiert werden !?
- **Schlussbemerkungen**

b1 Engineering Solutions



- Elektronik- und Software-Entwicklungsdienstleistungen
- 60 Mitarbeiter in München + weitere Standorte in Deutschland (Berlin, Regensburg, Stuttgart, Frankfurt, Köln, ...)
- seit Jan. 2014 zugehörig zur Blaupunkt Technology Group
- Zugriff auf Near-Shore Entwicklungszentren in Polen (Software)
- Kosteneffiziente Fertigungskapazitäten in Malaysia (PCB, Kunststoffe, Metall)
- Consulting, Projekte und Werksverträge, Fix-Price und T&M
- Hauptmärkte: High-Tech Electronics, Medizintechnik, Automotive

Weitere Infos unter: www.b1-es.com

3

SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

Übersicht Datenraten



	Physikalische Datenrate	Beispiele
Stand der Technik	1 Gbit/s – 6 Gbit/s	PCIe Gen1/2, SATA 2.0/3.0, USB 3.0, 1000BASE-CX, 10GBASE-KX4, ...
Einführungsphase	8 Gbit/s – 11 Gbit/s	PCIe Gen3, USB 3.1, 10GBASE-KR, ...
Zukunft	16 Gbit/s(?), 25 Gbit/s	PCIe Gen4(?), 100GBASE-KR4

Digitale serielle High Speed Signale bewegen sich zweifelslos im Mikrowellen Frequenzbereich.

Müssen sie deshalb auch so behandelt werden?

4

SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

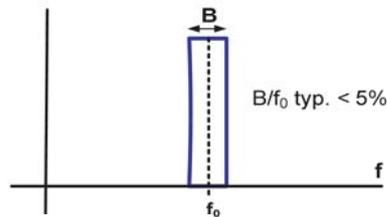
Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

Mikrowellentechnik vs. Digital High Speed



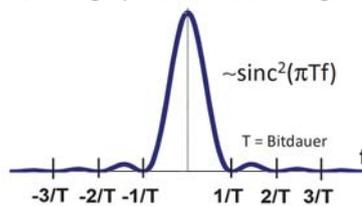
- **Mikrowellensignale** sind analoge Signale mit **kleinem Signal-to-Noise Ratio** und **kleiner relativer Bandbreite**

Leistungsspektrum Mikrowellensignale



- **Digitale High Speed Signale** sind analoge Signale mit **großem Signal-to-Noise Ratio** und **sehr großer Bandbreite**

Leistungsspektrum binärer Signale

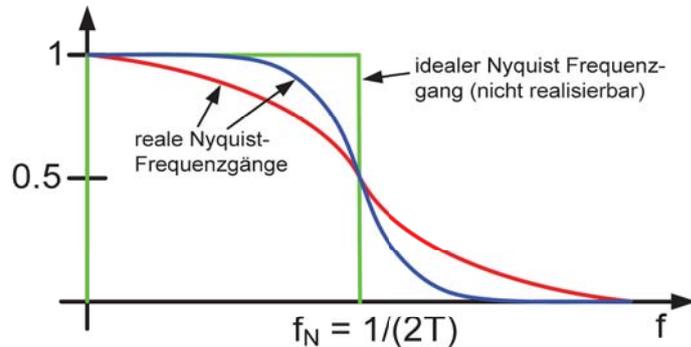


⇒ **ganz unterschiedliche physikalische Randbedingungen!**



Mythen des PCB-Design digitaler High Speed Signale (Auswahl)

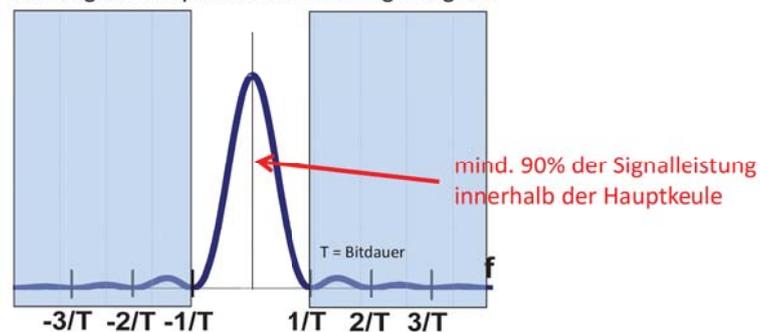
Bandbreite = halbe Datenrate !?



- Nachrichtentheorie: fehlerfreie Übertragung bei idealem Nyquistfrequenzgang
- fehlerfreie Übertragung auch möglich bei punktsymmetrischem Frequenzgang um die Nyquistfrequenz (z.B. Cosinus-Roll-Off Filterung)
- **kein** realer High Speed Signalpfad besitzt diese Punktsymmetrie
- fehlerfreie Übertragung dennoch, wenn der Frequenzgang im Bereich bis $f = 1/T$ keine „allzu großen“ Störungen (z.B. Resonanzen) aufweist

Bandbreite = n-fache Datenrate !?

Leistungsdichtespektrum binärer Digitalsignale



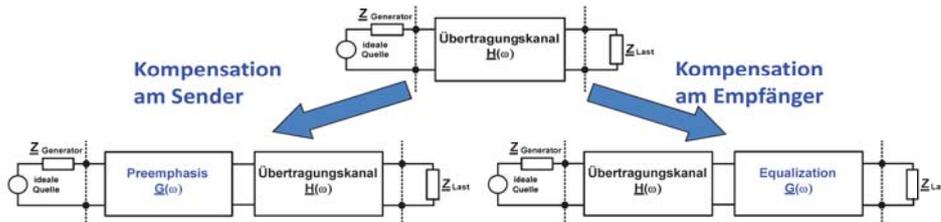
- bei binären Digitalsignalen verteilt sich mindestens 90% der Signalleistung auf den Frequenzbereich bis $f = 1/T$ (Rechteck: =90%, Trapez: >90%)
- Nebenkeulen spielen für fehlerfreie Detektion nur untergeordnete Rolle (**aber nicht bei EMV Betrachtungen!**)

⇒ **notwendige Signalpfad Bandbreite = Kehrwert der Bitdauer T**

Basismaterial muss HF-Material sein !?



Signal Conditioning kann in Standard-Crates (z.B. 19" Technologie)
die frequenzabhängigen Verluste von FR4 kompensieren!

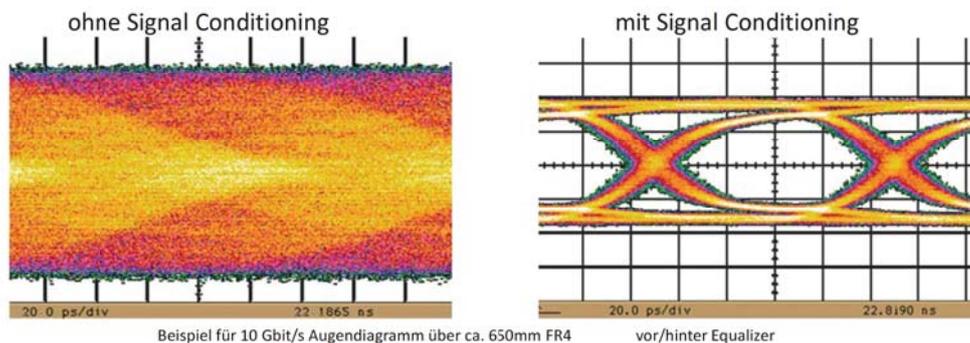


- Signal Conditioning kann am Empfänger, am Sender oder (aufgeteilt) auf beiden Seiten erfolgen
- Praktisch sind nur „glatte“ $H(\omega)$ -Abweichungen (TP-, HP-Verhalten) vom ge-wünschten Verlauf kompensierbar. Kompensation von Resonanzen/Reflexionen ist praktisch ausgeschlossen
- Signal Conditioning Verfahren sind in heutige IO-Zellen integriert und steht damit quasi kostenlos zur Verfügung

Beispiel Signal Conditioning Performance



Augendiagramme für 10 Gbit Signale



Beispiel für 10 Gbit/s Augendiagramm über ca. 650mm FR4

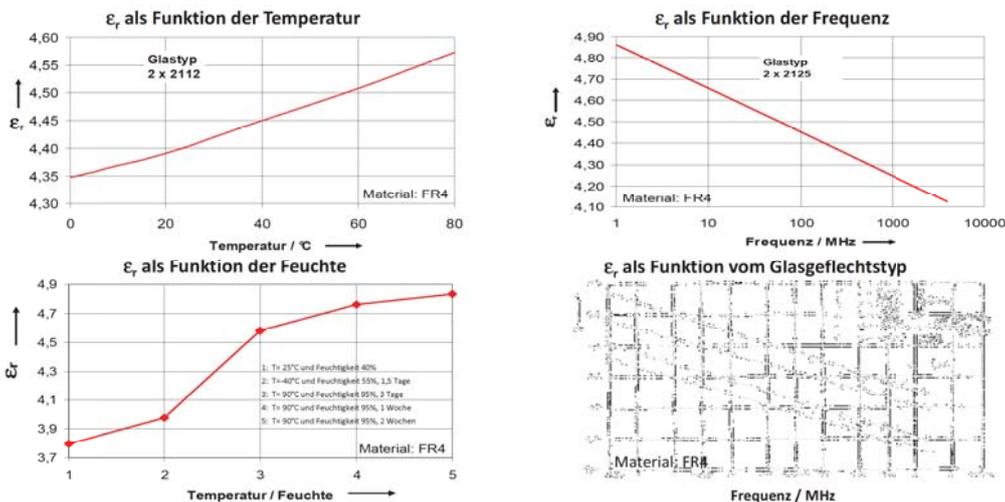
vor/hinter Equalizer

Die frequenzabhängigen Verluste der Verbindung werden
problemlos kompensiert!

Impedanz muss eng toleriert werden !?

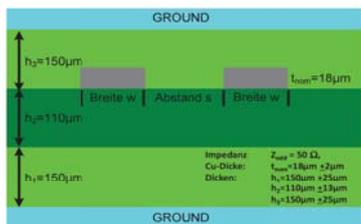


$$\epsilon_r(\text{FR4}) = f(\text{Temperatur, Frequenz, Feuchte, Glasgeflecht})$$



Impedanztoleranz allein wegen variablem ε_r zwischen 3% und 5%

Impedanz muss eng toleriert werden !?



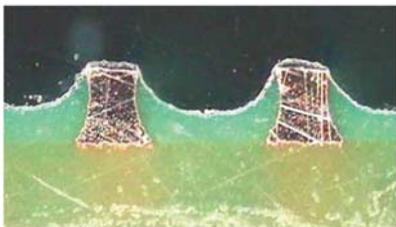
Δw / μm	w=100, s=120 / μm		w=140, s=230 / μm	
	ΔZ / Ω	ΔZ / %	ΔZ / Ω	ΔZ / %
±10	3,0	6,0%	2,9	5,9%
±15	4,3	8,6%	3,5	7,1%
±20	5,5	11,1%	4,3	8,6%
±25	6,8	13,8%	5,1	10,2%
±30	8,2	16,5%	5,9	11,8%

- Material- und Ätztoleranzen liefern weitere Impedanztoleranz von ca. 5% - 15%
- Toleranzen addiert: ⇒ **Impedanztolerierung ≤10% auf FR4 ist sinnlos!**
- kann ein digitales High Speed Signal damit leben?

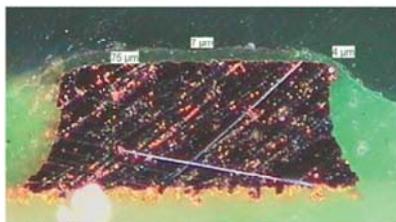
Erfahrungswerte:

- ΔZ ≤ 10%: kostengünstigeres Design möglich (Ätztoleranz)
- 10% < ΔZ ≤ 15%: kein Problem, auch über Backplane
- 15% < ΔZ ≤ 20%: kein Problem auf PCB; über Backplane Probleme möglich
- ΔZ > 20%: Designfehler

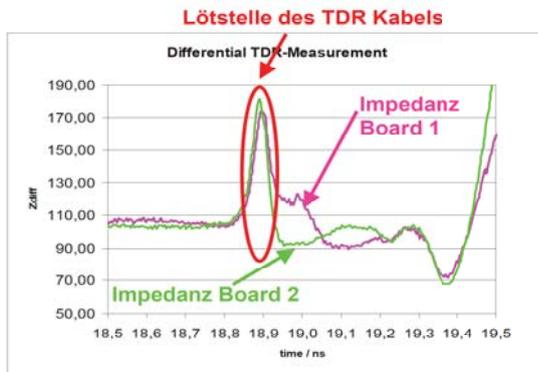
Vorsicht Falle: schmale Leitung Außenlage



Quelle: PPC



Quelle: PPC



- Identisches Board Layout!
- 100µm Leitungen auf Außenlage
- $\Delta Z \approx 35\Omega$

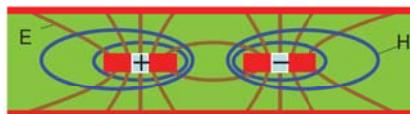
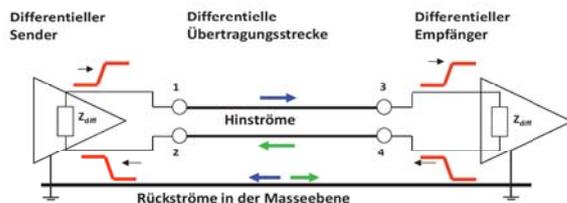
auf Außenlagen erheblich größere Toleranzen wegen Galvanik und Lack, insbesondere bei schmalen Leitungen!

13

SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

High Speed Signale sind differentielle Signale !?



- Aus Geometriegründen sind Leitungen auf dem PCB nur schwach verkoppelt. Die Verkopplungen zu(r) Referenzebene(n) sind i.a. größer als die Verkopplung mit dem zugehörigen Nachbarleiter
- In den beiden Hinleitern fließen zwei Ströme, die entgegengesetzt gleich sind;
- In der Masseebene fließen zwei Rückströme, deren Summe im Idealfall Null ergibt

⇒ statt ein differentielles, zwei single-ended Signale

14

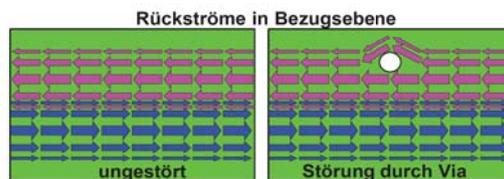
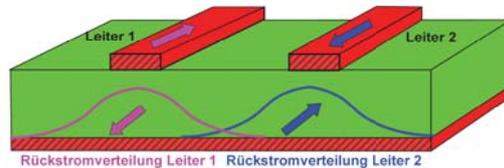
SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

Routing High Speed Signale



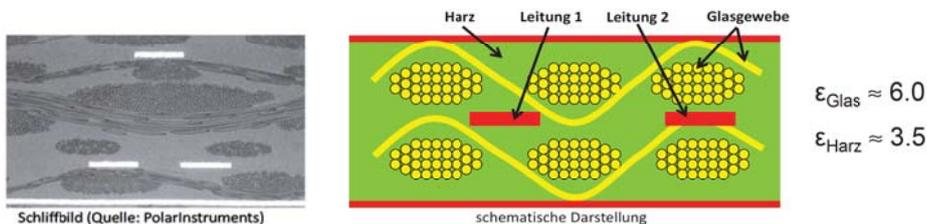
- beide „heiße“ Adern des High Speed Signals beim Routing möglichst vollkommen gleichartig behandeln
- Dies gilt nicht nur für die beiden „heißen“ Adern, sondern auch für die in der Bezugsebene fließenden Rückströme, deren Summe Null ergeben soll
- Rückstromverteilung räumlich deutlich verteilter als die auf die Leitung begrenzten Aderströme.
⇒ Deutlich empfindlicher gegen Symmetriestörungen (z.B. durch einseitig benachbarte Via)



extreme Gleichlängenanforderungen !?



- High Speed Standards haben oft extreme Anforderungen an geometrische Gleichlängen eines differentiellen Leitungspaares, was i.a. zu elektrisch ungünstigen Ausgleichsfiguren führt.
- **Geometrische Gleichlänge heißt jedoch nicht, dass auch die für das Signal relevanten elektrischen Längen gleich sind!**



- Effekt des inhomogenen Glasgewebes: $\Delta\tau$ bis 0,3ps/mm ($43\mu\text{m}/\text{mm}$).
⇒ bei z.B. $\ell = 150\text{mm}$: $\Delta\tau = 45\text{ps}$, entspricht geometrisch $\Delta\ell \approx 6,5\text{mm}$!
- wie die Leitungsadern relativ zum Glasgeflecht liegen, lässt sich von Entwickler nicht festlegen! ⇒ **Kompensationsmaßnahmen**

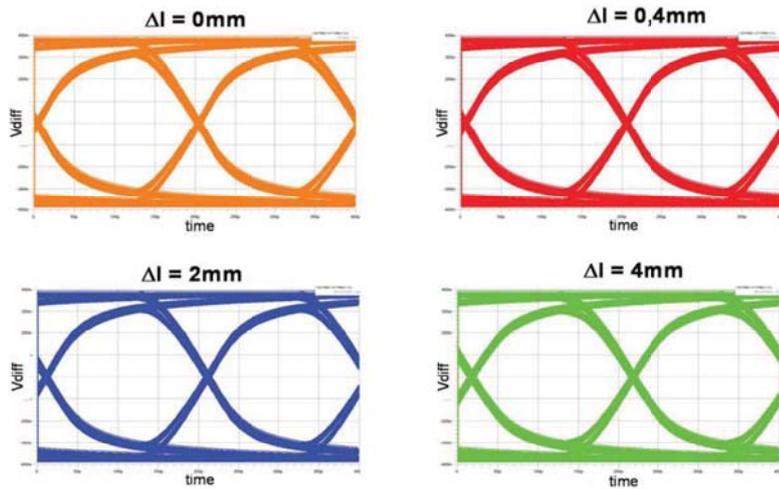
extreme Gleichlängenanforderungen !?



- extreme Gleichlängenforderungen (z.B. 127 μ m/254 μ m bei PCIe) machen weder physikalisch noch technisch Sinn.
- Beispiel: simulierte 5Gbit/s differentielle Augendiagramme

Simulationsdaten:

- Datenrate 5 Gbit/s
- 150mm FR4 Leitung
- Δl von 0mm bis 4mm
- verlustloses Leitungsmodell (worst case)



17

SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

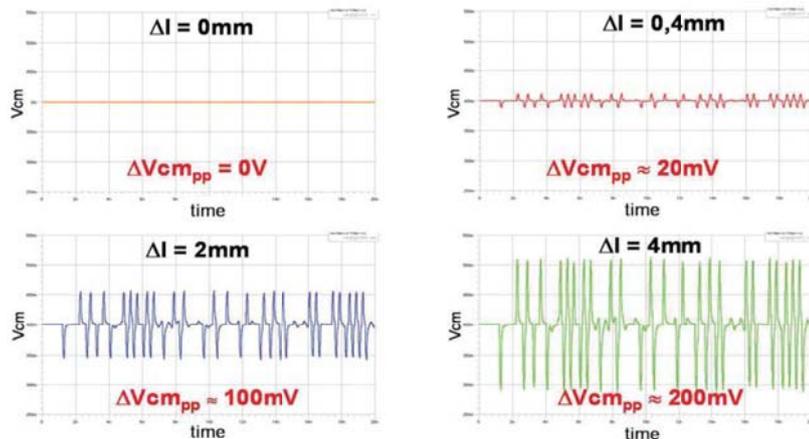
extreme Gleichlängenanforderungen !?



- Wenn man mit den entstehenden Common Mode Störungen leben kann, kann man entspannte Gleichlängenforderungen zulassen (z.B. $\Delta l \approx 1$ mm pro PCB).
- Beispiel: simulierte 5 Gbit/s Common Mode Störungen

Simulationsdaten:

- Datenrate 5 Gbit/s
- 150mm FR4 Leitung
- Δl von 0mm bis 4mm
- verlustloses Leitungsmodell (worst case)



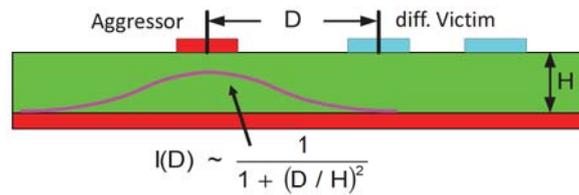
(gewöhnlich kein Problem für einen differentiellen Empfänger)

18

SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

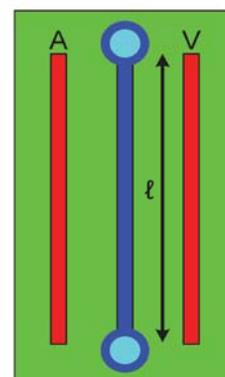
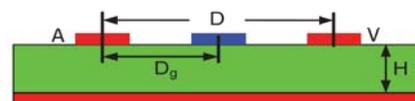
unempfindlich gegen Übersprechen !?



- Übersprechen erfolgt über Koppel-Kapazitäten und Koppel-Induktivitäten
- In digitalen Schaltungen dominiert i.a. das induktive Übersprechen
- Stromdichte in Bezugsebene, die mittels ihres Magnetfeldes Übersprechen induziert, fällt quadratisch mit dem Leiterabstand
- Faustformel: $D \geq 3 * H$ für Single Ended Signale
 $D \geq 5 * H$ für X-Talk sensitive Signale
- **Wichtig: Differentielle Signale sind gegen das interne Übersprechen ebenso empfindlich wie Single Ended Signale!**

High Speed Signale schirmen ?

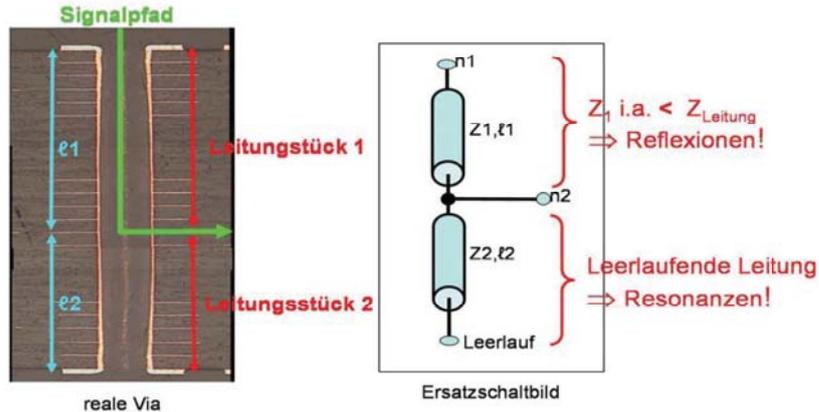
- Schirmleitungen sind i.a. kontraproduktiv und überflüssig:
 - sie müssen weit genug von der Signal-leitung entfernt, damit sie deren Impedanz nicht beeinflussen
 - brauchen in regelmäßigen, kurzen Abständen $\ell \ll \lambda/4$ Vias, um Resonanzen der Schirmleitung zu verhindern
 - haben demzufolge einen sehr großen Platzbedarf (mindestens Via Antipad-Durchmesser, meist mehr wg. Impedanz)
- **Merkregel:**
Wenn man Platz hat für eine Schirmleitung, braucht man sie nicht



parasitäre Kapazitäten kompensieren !?



- Parasitäre Kapazitäten von Leitungsecken oder Löt pads von Koppel-C's (Bauform 0402, 0603) müssen nicht kompensiert werden
- **parasitäre Effekte der Vias können die Signalintegrität unheilbar zerstören und müssen deshalb immer auf Relevanz untersucht werden!**



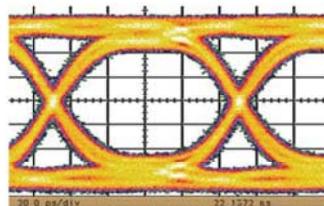
21 SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

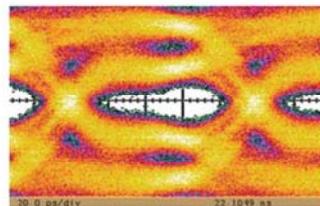
kein Mythos: Vias - Gefahr für Signalintegrität



- Vias können je nach Geometrie und Signalführung sowohl Reflexionen als auch Resonanzen erzeugen. **Insbesondere Einpress- und Einlötvias sind kritisch!**

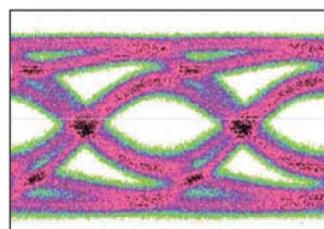


kurzer Signalpfad in Via

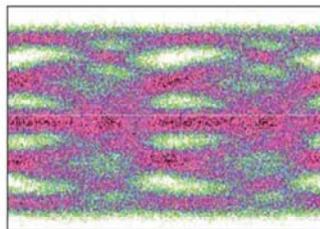


langer Signalpfad in Via

10 Gbit/s Signal
 30mm Backplane
 Verbindung
 Gesamtlänge: 90mm



kurzer Via Stub



langer Via Stub

10 Gbit/s Signal
 250mm Board
 Verbindung
 keine Stecker

22 SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

Schlussbemerkungen

Wege zum zuverlässigen High Speed Design

- Entwicklung von High Speed PCBs erfolgt meist mit Guidelines, von denen sich viele als Mythen entpuppen
- Das ist per se nicht dramatisch, da die Guidelines – wie alle Mythen – auf einem wahren Kern beruhen; es spricht nichts dagegen Guidelines zu befolgen, solange man mit anderen Randbedingungen nicht in Konflikt gerät.
- Kritisch wird es erst, wenn die Mythen zu Dogmen erhoben werden
- Wenn „Guides“ zu „Musts“ werden, fehlt die Flexibilität, wenn die Guidelines mit sich selbst in Widerspruch geraten (was bei High Speed oft vorkommt bzw. die Regel ist!)

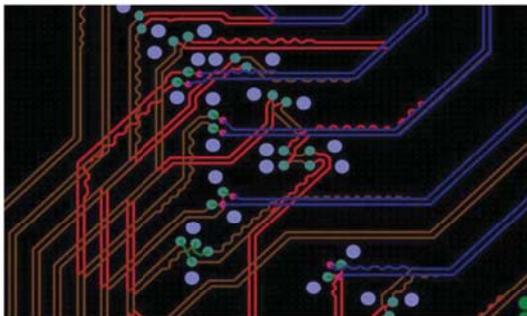
Wie kommt man trotzdem zu einem zuverlässigen Design?

- Guidelines sind Empfehlungen, keine Gesetze – immer kritisch hinterfragen!
- Erfahrungsaustausch (Internet, Kollegen, ... – auch immer kritisch hinterfragen!)
- Wissen, was man auf keinen Fall machen darf
- Freiheitsgrade nutzen (Lagenaufbau, Signalaufteilung, FPGA/Stecker-Pinning, ...)
- Routingkonzept für die High Speed Signale (vor Layout, vor Lagenaufbau!)

Beispiel Routing Konzept



gleiche Connectivity!



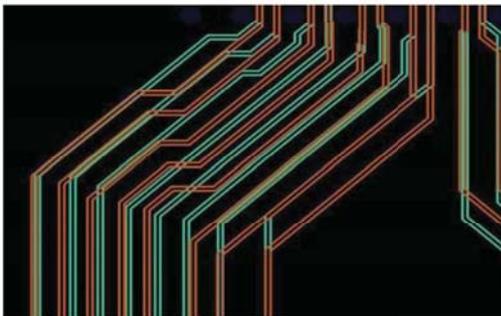
Routing ohne Konzept
Tohuwabohu

- vier Signallagen nötig
- RX/TX-Signale in einer Lage gemischt
- Längenausgleich Strukturen
- unnötige Vias im Signalpfad



25

SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014



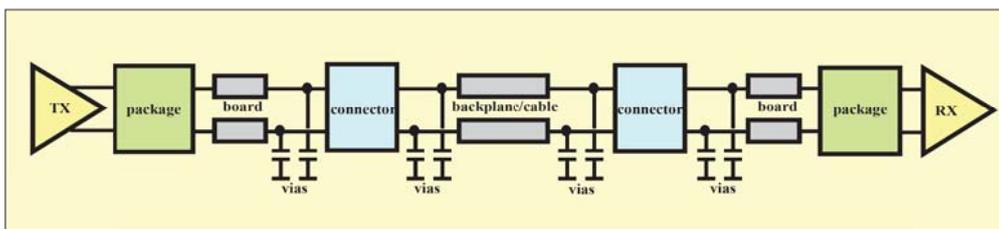
Routing mit Konzept
optimales Design

- nur zwei Signallagen
- separate Lagen für RX und TX
- keine Längenausgleiche nötig
- keine zusätzlichen Vias im Signalpfad



Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale

Königsweg: Simulation des Signalpfades



- Die Simulation des kompletten Signalpfades vom Sender zum Empfänger entmystifiziert das Design von High Speed Systemen
- Die Simulation gibt qualitative und quantitative Antworten auf Fragen bei der Suche nach dem optimalen High Speed Design
- Simulation liefert tiefgehende Einblicke in das physikalische Verhalten eines Signalpfades, die für Messungen nicht zugänglich sind
- Geeignete Tools gibt es viele; essentiell für die Simulation von High Speed Links sind hinreichend genaue Modelle ...

26

SEI-Tagung am HZG, Geesthacht, 10.-12.03.2014

Rudi Ganss, Mythen des PCB-Designs digitaler High Speed Signale



Vielen Dank für Ihre Aufmerksamkeit!

Rudi Ganss
rudi.ganss@b1-es.com
+49 6196 76602 8120

b1 Engineering Solutions GmbH
Schertlinstraße 8, 81379 München, Germany

www.b1-ES.com
blog.b1-ES.com

FPGA based readout and control for PANDA components

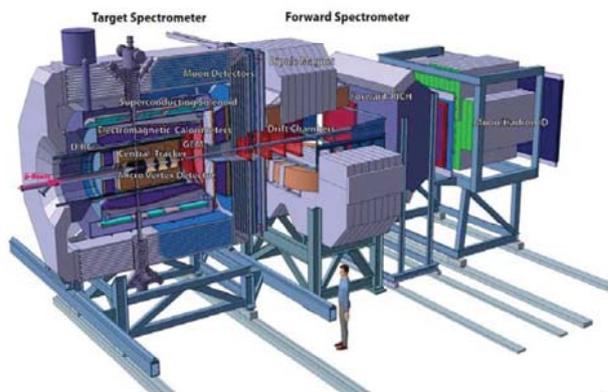
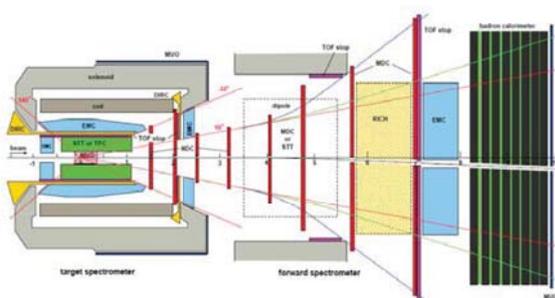
10 März 2014 | Matthias Drochner, Harald Kleines

Übersicht

- FAIR, PANDA, MVD, DAQ Struktur
- Readout: GBT-Link
- Control: SODANET
- Hardware
- Erfahrungen mit KC705, Vivado, GTX

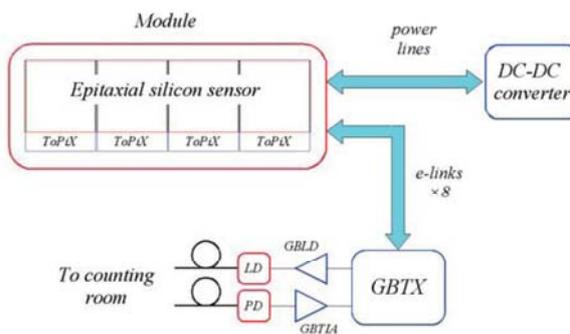
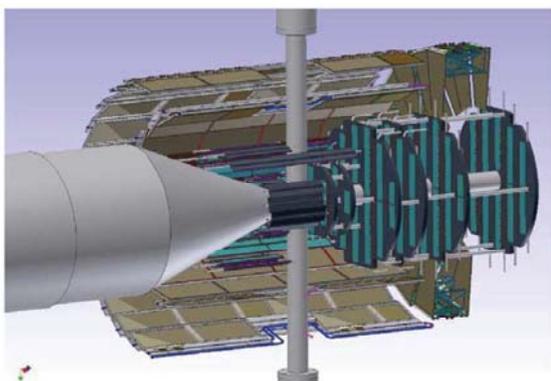
PANDA (AntiProton Annihilations at Darmstadt)

- Detektorsystem (mit Pellet-Target) am **HESR** (High Energy Storage Ring) an **FAIR** (Facility for Antiproton and Ion Research) in Darmstadt
- Ziel: Untersuchung der Wechselwirkung von Antiprotonen mit Kernen und Kernbausteinen



Figures: PANDA TPR

Micro Vertex Detektor



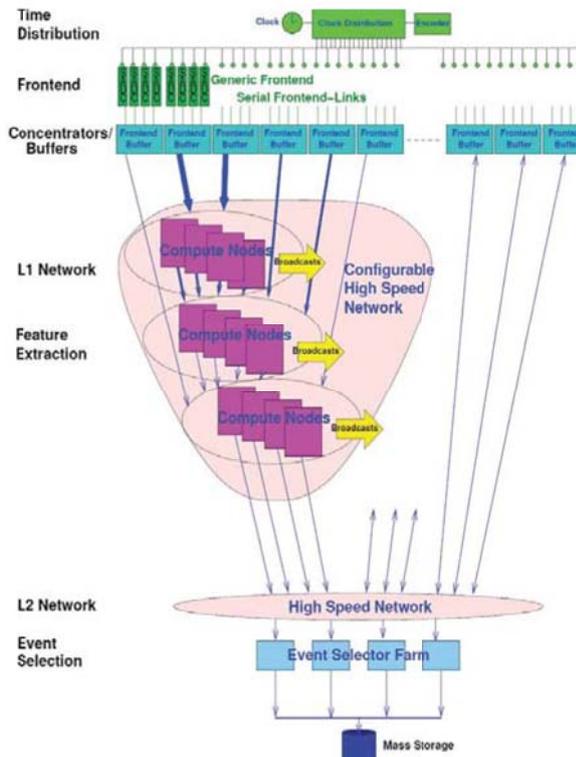
Auslese-Konzept für Pixeldetektoren

- Silizium-Pixel und Silizium-Streifen Detektoren, ca 10^7 Kanäle
- Extreme Datenmengen => Auslese mit CERN GBT
- GBT: 3.36 Gb/s incl. Slow Control
- Radiation Hard, Reed Solomon Encoding
- Reference Implementierungen für Xilinx und Altera FPGAs verfügbar

Figures: G. Mazza

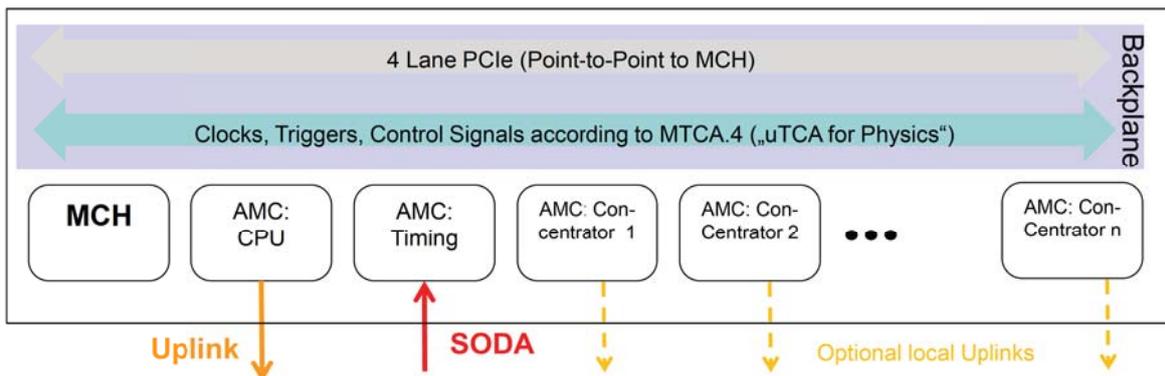
PANDA DAQ

- Kein Hardware-Trigger
- Freilaufendes System
- L1-Trigger: Feature Extraction
- L2-Trigger: Event Selection
- Hardware-Plattform: ATCA
- SODA: Zeitverteilung und Synchronisation



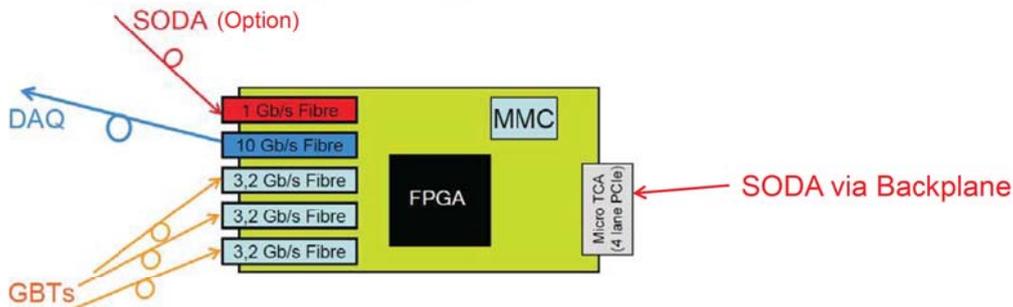
MicroTCA für den PANDA Concentrator Layer

MicroTCA Crate



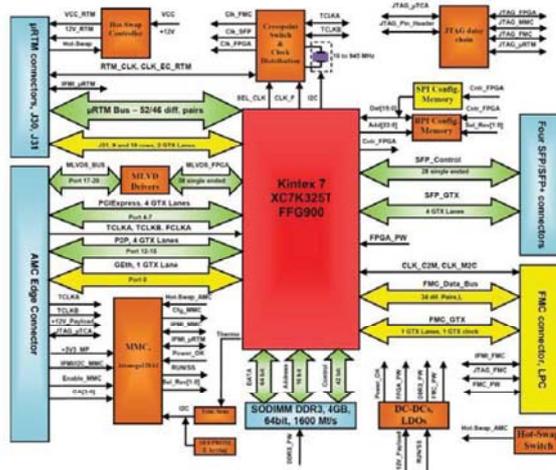
- Local Uplinks auf Concentrator AMCs für Hochraten-Subsysteme
- Zentraler Input für SODA, Verteilung über die Backplane
- Optionale CPU für Management und Control

Konzept für Multiplexing Board



- Multiplexen von 3 GBT links auf einen 10 Gbit uplink
- Mengengerüst: 202 GBT links
- Skalierbare Architektur, auch für kleine Laborsysteme
- CPU für Konfiguration und Control
- Kommerzielle Komponenten verfügbar

HGF-AMC (MTCA.4)



Entwicklung von DESY / Kit

- 4 GTX Lanes zum Front Panel, 2 GTX Lanes zum uRTM connector, 1 GTX Lane zum FMC Konnektor (LPC)
- Programmierbare Oszillatoren für die GTX Transceiver
=> Geeignet für SODA and GBT
- PCIe (4 Lanes) zur Backplane, 4 Gbyte SODIMM DDR3
- **Direkt einsetzbar als MVD Multiplexing Board (MMB)!!**
- Status: Zweiter Prototyp ist produziert

Entwicklung des FPGA Codes



Xilinx KC705

+



Vadatech FMC105 Quad SFP+

- Entwicklungsplattform: Kintex 7 Evaluation Board
 - SODA Protokoll
 - GBT-Protokoll + Uplink Protokoll
 - PCIe + Mapping zwischen den Protokollen
- Spätere Optimierung zur Erhöhung der Link-Anzahl pro Board
 - Optimierung von FMC und RTM mit optischen Links (10Gb/s + GBT)

Readout: GBT

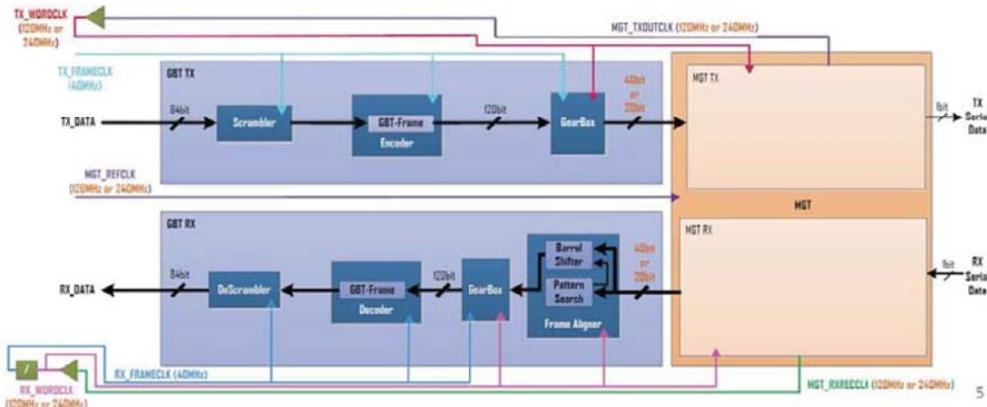
- CERN-Entwicklung – Chipset und FPGA-Cores
- Release April 2014 mit Support u.a. für Kintex7
- Chipset für Verwendung in Detektoren
- Rad. Hardness: Empfänger empfindlicher !
- unidirektional
- FEC (Reed-Solomon), latenzoptimiert
- Link Speed 155/622 GB/s (OC-x) (noch aktuell?)

The context: "multiple needs" (2 of 5)



Multiple Platforms

- Xilinx: Virtex 5, Virtex 6, Kintex 7, Virtex 7...
- Altera: Stratix V, Cyclone V,
- Microsemi?: SmartFusion2, Igloo2 (Rad-Hard FPGAs)



Status & Outlook



Status

- Figures
 - Resources utilization of one GBT Bank instantiating one GBT Link:

Xilinx (Kintex7: XC7K325T)		
Resources	STD (%)	LATOPT (%)
LUT	2658 (1.30)	2776 (1.36)
FD_LD	817 (0.20)	969 (0.24)
BMEM	10 (1.12)	0 (0.00)
GTX	1 (6.25)	1 (6.25)

Altera (Cyclone V: 5CGTFD9E5F35C7N)		
Resources	STD (%)	LATOPT (%)
ALM	1674 (1.47)	1827 (1.61)
Register	1100 (0.24)	1475 (0.32)
Mem (M10K)	10 (0.81)	2 (0.16)
GT	1 (8.33)	1 (8.33)

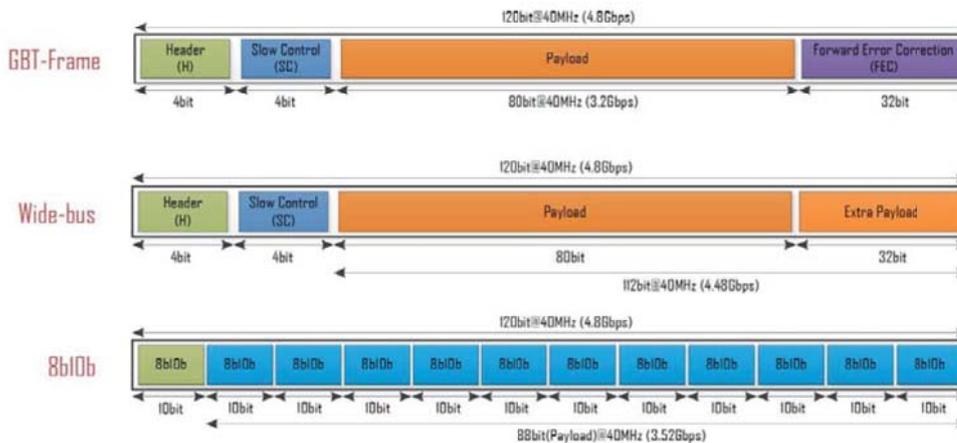
Issues usually come from Clocking Resources!!!

The context: "multiple needs" (3 of 5)



Multiple Configurations

- Encoding



[Main page](#)

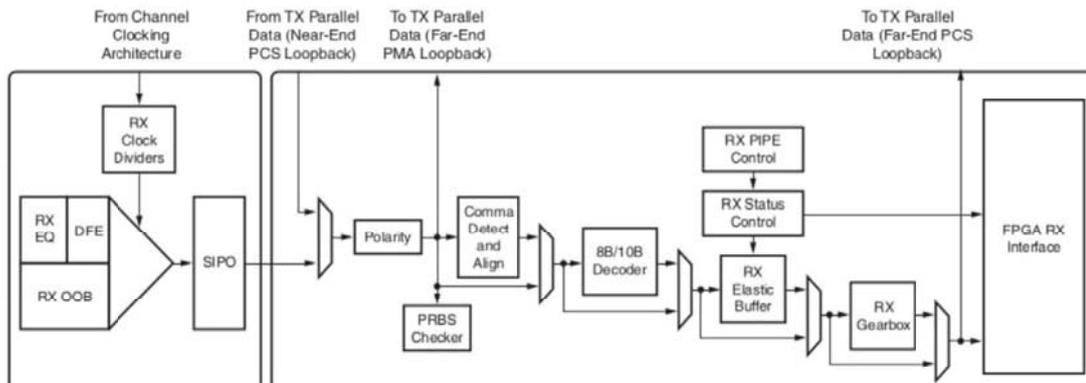
32



Control: SODANET

- Historie: GSI, HADES, TRB
- Komplettes Tree-System, inklusive Slow-Control,
- versch. phys. Layer
- Wir verwenden nur Synchronisation und minimales
- Control (Reset, Status, ...).
- 8-Byte-Worte, Header mit 4 Komma-Characters
- (ungünstig für Alignment-Logik)
- Timing aus Bitclock – nichttrivial in FPGA

GTX/GTH Transceiver Block Diagramm



SODANET Paket Format

- In order to make SODANET compatible with other TRB protocols, SODANET package will have a following structure (total length 64 bits, each block corresponds to 1 byte):

K (FB)	Data, bits 31-24	K (FB)	Data, bits 23-16	K (FB)	Data, bits 15-8	K (FB)	Data, bits 7-0
--------	---------------------	--------	---------------------	--------	--------------------	--------	-------------------

Data with highest bits is coming first.

There are two types of SODANET package:

- Super-burst start, eventually end of previous superburst
Bit 31: 1
Bits 30-0: Super-burst number
- Command data
Bit 31: 0
Bit 30: Time calibration
Bit 29: DAQ start
Bit 28: DAQ stop
Bit 27: Reset
...
Bits 7-0: CRC checksum (CRC8-CCITT)

Erfahrungen: Vivado

- mehr integriert, besserer Simulator, Impact, ChipScope,
- BERT
- statt EDK jetzt Block Design:
 - kein BSB, dafür Connection Automation
 - Reihenfolge wichtig wg. Platzierung von Clock Manager
 - unterstützt reine AXI-Struktur ohne CPU (z.B. TrafficGenerator, VFIFO)
 - hierarchisch (aber umständlich, Module nicht einzeln speicherbar)
- Constraints: neues xcf-Format (Tcl), keine automatische Konvertierung
- Herkunft von Constraints z.T. mysteriös, z.T. fehlerhaft

Erfahrungen: Transceiver Wizard 3.x

- implementiert Reset-Logik, entweder "in core" oder "in example design"
- RX state machine braucht DATA_VALID, sonst Resets
- Dokumentation fehlerhaft, z.B. TRACK_DATA_OUT existiert nicht
- RXCDRLOCK jetzt "reserved"
- LPM vs. DFE?
- nicht alle Details in Simulation (z.B. DRP)
- Word Alignment (auf 2 od. 4 Bytes) funktioniert?

MTCA for the Optical Synchronization Systems at XFEL and FLASH

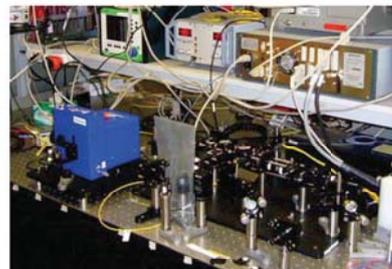
for Beam Diagnostics, Laser Synchronization, Reference Distribution

Matthias Felber
DESY, MSK Group
SEI Tagung Geesthacht
HZG, 10th March, 2014



Overview

- > MTCA.4
 - Crate Standard
 - Helmholtz Validation-Fond (HVF)
- > Introduction
 - Optical Synchronization System
 - Fiber Link Stabilization
 - Principle System Layout
- > MTCA Setups
 - Link Control: Building Blocks
 - Crate Topology
 - Laser Synchronization
- > Conclusion



MTCA.4 Crate Standard

> Development partnership „xTCA for Physics“ (38 partner): 03/2009

- **Research insitute:** SLAC, FNAL, IHEP, IPFN, ITER, DESY
- **Industry:** connector-, board-, crate-, system manufacturer



> Ratification PICMG 2011 (<http://www.picmg.org>)

- **Micro Telecommunications Computing Architecture .4 (MTCA.4)**

> Modular + modern architecture

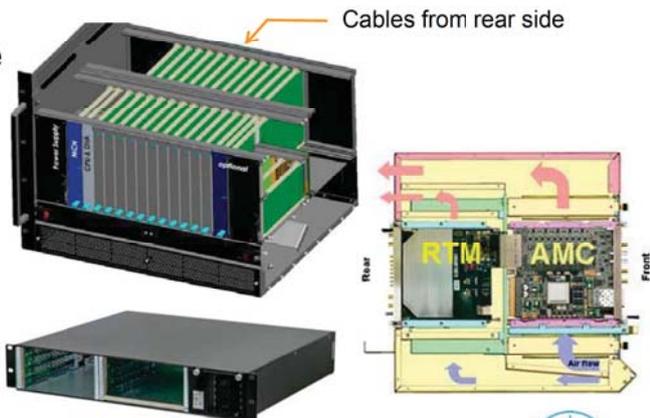
- Reusability + PCIe + Ethernet

> High availability

- Redundant power and fan optional
- Well defined remote management

> High digital performance

- Very low analog distortions
- 4 lanes PCIe: 400 MB/s ... 3.2 GB/s



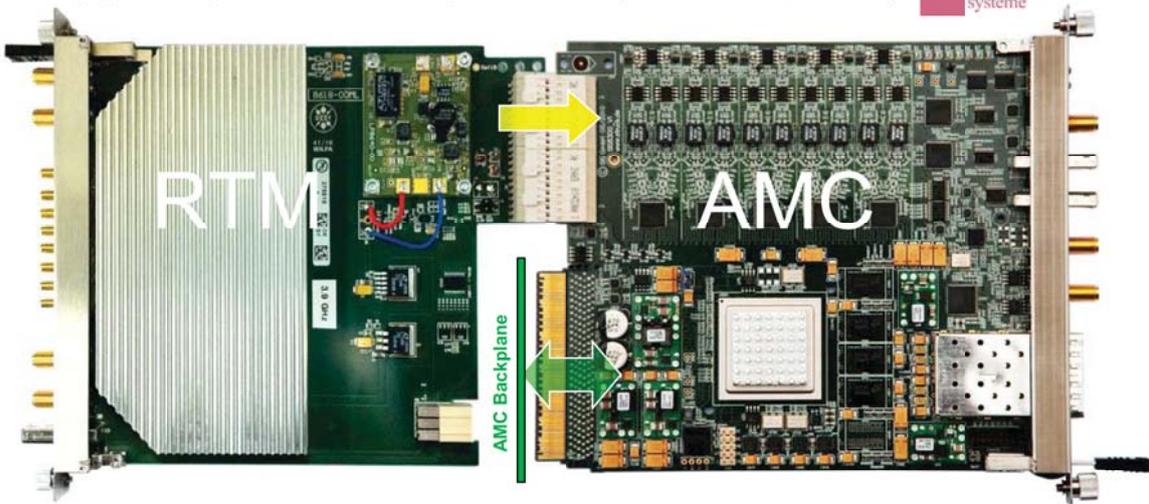
Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 3



Example: Signal Conditioning and Digital Processing

> High frequency Down-Converter
(Application specific, DRTM-DWC10)

> Multi-Channel fast ADC Digitizer
(Universal board, SIS8300) struck innovative
systeme



- 10 channel field detection (1.3GHz, ..., 3.9GHz)
- Resolution, 0.003%, 0.003deg, < 10fs

- 10 channel ADCs (125Mps, 16-Bits)
- FPGA pre-processing partial cavity vector sum
- Low latency links via MTCA-backplane

First and Last Name | Title of Presentation | Date | Page 4



MTCA.4 Developments at DESY and Industry . . .

Rear Transition Modules

- > Machine Protection System
- > DRTM-AD84
 - 8 ch ADC 95 MSPS, 16bit
 - 4 ch DAC 16 MSPS, 16bit
- > Test RTM
- > Coupler Interlocks
- > BPM Readout
- > 2 ch APD Pulse Stretcher
- > Beam Loss Monitors
- > Toroid protection / readout
- > Wire Scanner
- > Clock & Trigger Contr. for Exp.



Advanced Mezzanine Cards

- > DAMC2 - Xilinx Virtex 5, FMC carrier, 4 SFPs (100 pcs in production)
- > X2Timer - ps Clock and Timing Distribution
- > DAMC-TC7 - Kintex 7 FPGA, 16Gb DDR3 DRAM, 8xSFP+(12.5GBPS), PCIe x4 gen. 3 (8GBPS), 2x GbE (1 GBPS)
- > DRTM-VM2 - 2 channel Vector-Modulator, 1.3GHz (in production)
- > DAMC-DS800 - 8/4 channel ADC (12-bits, 800/1600MSPs, 2.7GHz) - 2 channel DAC (16-bits, 160MSPs, 400MSPs) - Xilinx Virtex 6, DDR Memory, 2 SFPs



. . . and more and more from Industry . . . <http://mtca.desy.de>

Crates
 PS-1138/...
 PM Wiener
 SIS8300/8900
 AM900
 uLOG (RTM)
 ADQxxx
 MCH
 TAMC900
 ADIO24 . . .



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 5



MTCA.4 hardware platform – availability: Crates –



12 Slot



6 or 7 Slot



■ Elma

■ Schroff

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 6



MTCA.4 for Industry (HVF-0016)

To foster industrialization of MTCA.4 :

> DESY designs -> industry (licensing)

- Cost and quality improvements
- New modules to complete portfolio

> Supporting industry to

- Add missing modules
- Improve EMI with test environments and shielding
- Gain new MTCA.4 applications in more markets

> Support for institutes and industry

- Consulting: Help to start with MTCA
- User guide and Web Site
- Organization of workshops and exhibitions



→ Technology Transfer Division / DESY

Project duration: mid 2012 ... mid 2014

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 7



Work Packages of HVF

AP 3.1 Support and consulting

FAQ, Helpdesk
Request Tracker system
Hotline
Available product lists / evaluations
Templates for AMC/RTM management & MMC firmware

AP 3.2 MTCA.4 user guide

Book published DESY/N.A.T.

AP 3.3 Product marketing & information

2x MTCA workshops
Support for interests groups / task force / discussion forum
Marketing of industrial exhibitions
Road show through HGF
Webpage

Webpage URL <http://mtca.desy.de/>

MTCA Training:

<http://mtca.desy.de/support/training>

Training Schedule

Date
29 April - 30 April 2014 09:00 to 17:00
24 June - 25 June 2014 09:00 to 17:00
29 July - 30 July 2014 09:00 to 17:00



The 3rd MTCA workshop for industry and research will be held from 9th December to 11th December 2014 in Hamburg

Workshop URL <http://mtcaws.desy.de/>

MTCA.4 for Industry and Research

Broad Alliance for MTCA in Research and Industry

MTCA (Micro Telecommunications Computing Architecture), also known as MicroTCA™ and µTCA™, has rapidly evolved to become a viable standard for demanding applications in large scale research facilities of the high-energy physics and photon science community. Originally derived from AdvancedTCA™ or ATCA™ (Advanced Telecommunications Computing Architecture), the MTCA standard has gained popularity as a compact, versatile and cost-efficient alternative wherever ultra-high speed analog and digital signal processing is required.

MicroTCA is a standard defined by the PICMG (<http://www.picmg.org>). MTCA.4 is an MTCA enhancement for real I/O and precision timing. It was developed by several institutes and industry and published in October 2011 by PICMG.

A broad alliance of developers, users, module manufacturers and system integrators has formed to develop new boards, refine the specification of the backplane and resolve any interoperability issues that may arise from applications in

Goal of the workshop is to foster the MTCA.4 standard in further industrial applications and in research projects. The first half-day will be dedicated to people new to MicroTCA. A tutorial given by experts will give an overview of the MTCA.4 standard. Talks and discussion of the remaining one and a half days will cover lab reports and presentation from industry.

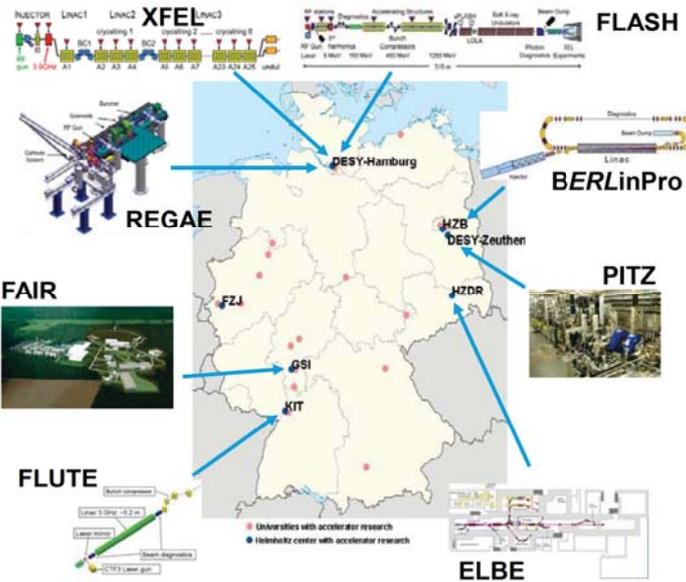
Program:

- Status of projects and applications their experience and requirements
- Availability of existing and planned MTCA modules
- Discussion of possible improvements
- Finding common interfaces and sharing of hardware, firmware and drivers
- Further topics: management, clocks and triggers, data links, backplane, EMI, Hot-plug, drivers, ...

Exhibition: Presentation of modules and systems from industry and research

Single Cavity LLRF Systems in MTCA.4 Europe / Worldwide

> Involvement in Facilities:



> ... and in Europe:

- EUROPEAN SPALLATION SOURCE**
 Total budget ~ 1,47B€
 Construction: 2013-2019
- ITER**
 the way to new energy
 Total budget ~ 1,47B€
 Construction: 2013-2019
- POFEL**
- AMPEGCN**
- STFC**
- ASTeC**
- TARLA, ...**
- > Worldwide:
- SLAC** NATIONAL ACCELERATOR LABORATORY
- KEK** HIGH ENERGY ACCELERATOR RESEARCH ORGANIZATION
- PAL** POHANG ACCELERATOR LABORATORY

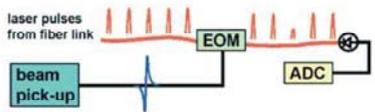


Introduction – Optical Synchronization System

Provide a global reference for the synchronization of timing-critical (fs-level) subsystems of the accelerator

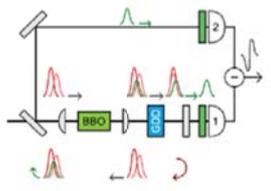
> Bunch arrival time measurements (BAM)

- These monitors are used by the beam-based feedback to synchronize (= stabilize) the arrival time of individual bunches to the optical reference



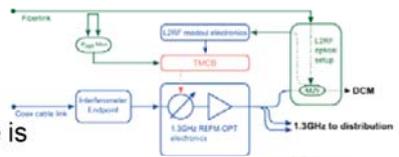
> Laser synchronization (L2RF & L2L)

- Injector-, Seed-, and Pump-Probe lasers (their repetition rate and phase of the pulse train) are synchronized to the optical reference.



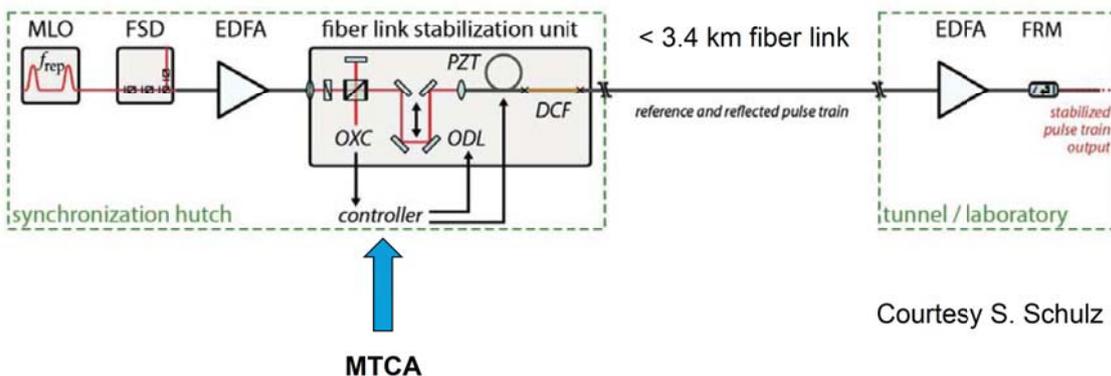
> RF synchronization for LLRF-reference (L2RF)

- The 1.3 GHz reference input from the main drive line is synchronized to the optical reference in the REFMs



Introduction – Fiber Link Stabilization

- > Long- and short-term phase-stable optical pulse train has to be distributed along ≤ 3.4 km
- > Active fiber link length stabilization

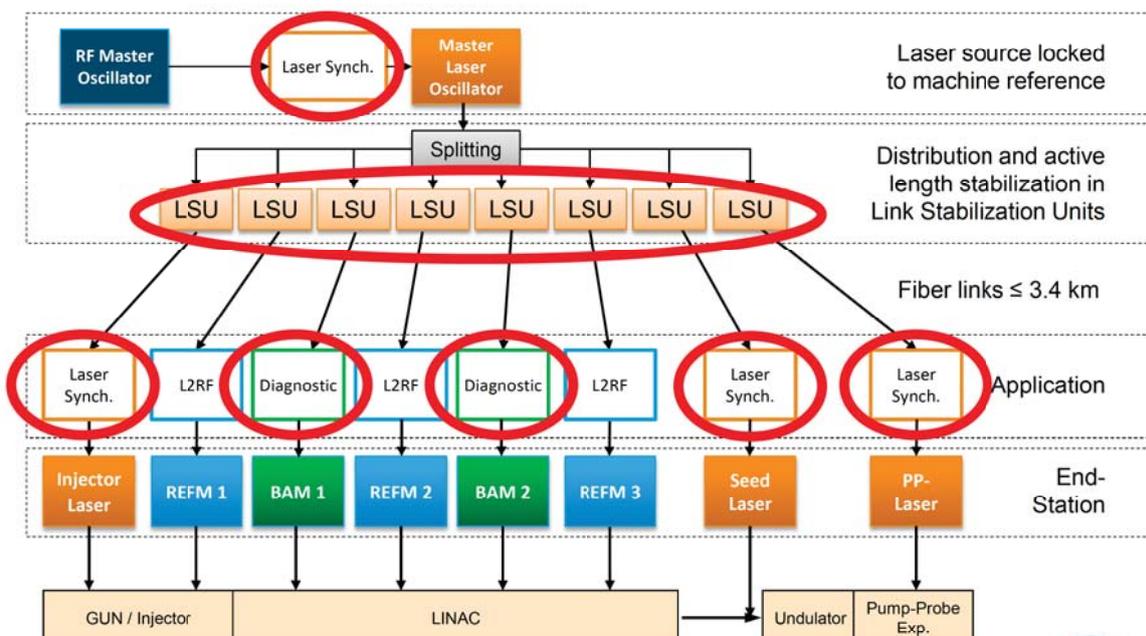


Courtesy S. Schulz

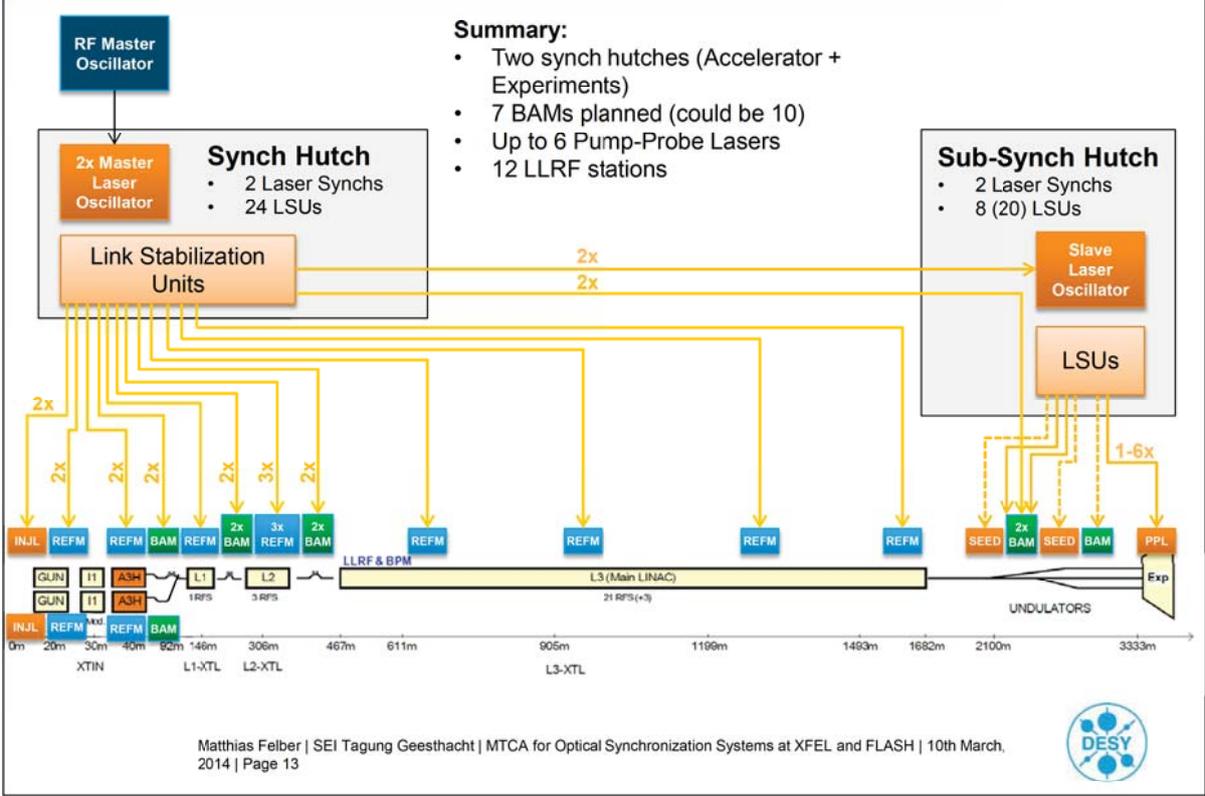


Introduction – Principle System Layout

The reference timing information is encoded in the precise repetition rate of an optical pulse train



Introduction - Optical Links at the European XFEL



MTCA integrates many components in a compact form factor

Now: Electronic Infrastructure for Opt. Synch @ FLASH (2 MLOs, 16 LSUs)

→

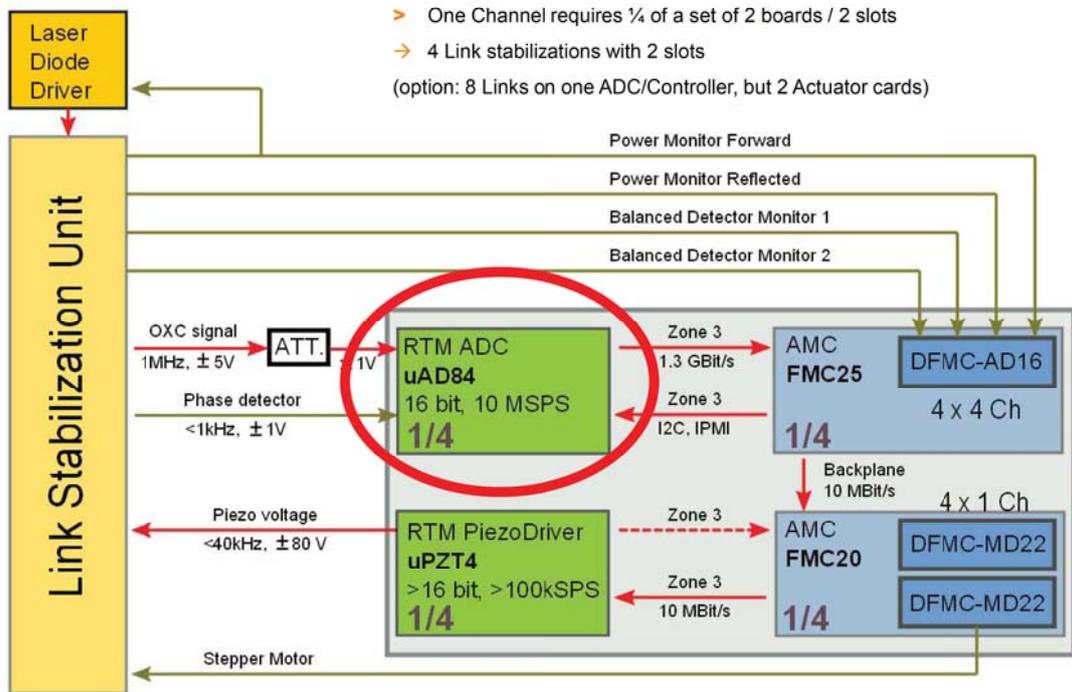
Future

- 4 x 42 HE Racks
- 5 x VME Crates (ADCs, DSPs, DACs, BAM-Readout, LDDs)
- 6 x PLC (Beckhoff Step-Motors, GPIO, Temperature, Monitoring)
- 18 x Piezo-Driver
- 6 x Vector Modulators

- 1 x 42 HE Racks
- 3 x MTCA Crates

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 14

MTCA Setups – LSU Control: Building Blocks



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 15



MTCA Setups – LSU Control: Building Blocks

Digitizer-RTM

DRTM-AD84

- 8 x ADC:
 - 16 bit
 - 10 MSPS
 - 50 Ω or 1 kΩ
 - 90 MHz (2 MHz)
 - ±1 V
- 4 x DAC
 - 16 bit
 - 1 (16) MSPS
 - ±1 V / ±3 V @ 50 Ω
- Zone 3: D1.0 / D1.1

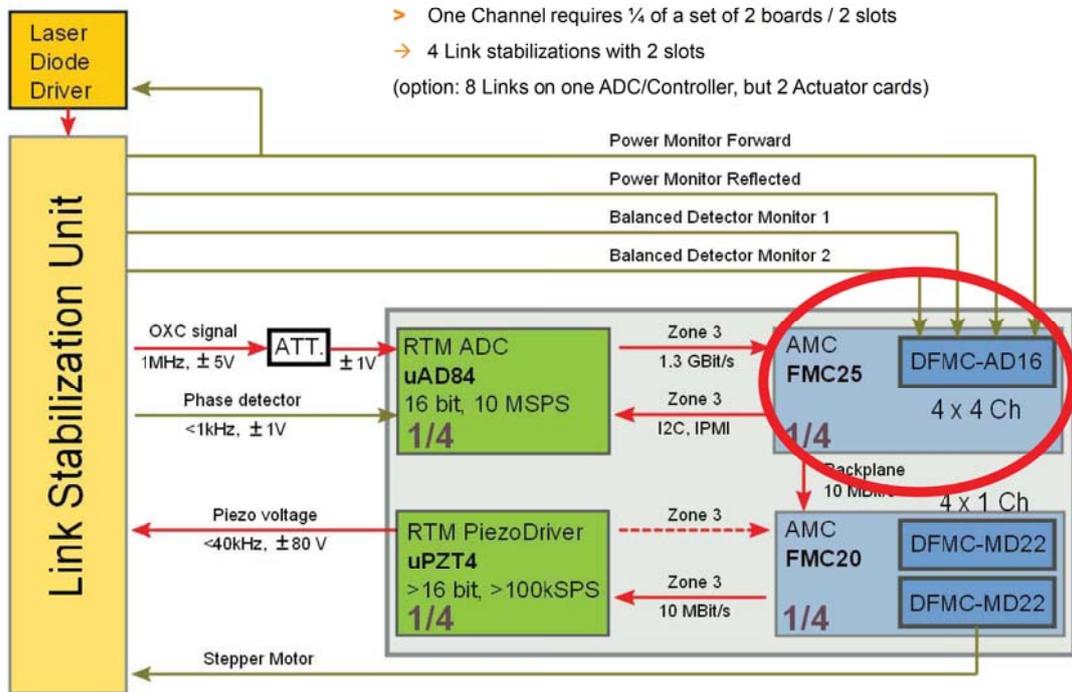


Developed by Robert Wedel, Desy

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 16



MTCA Setups – LSU Control: Building Blocks



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 17

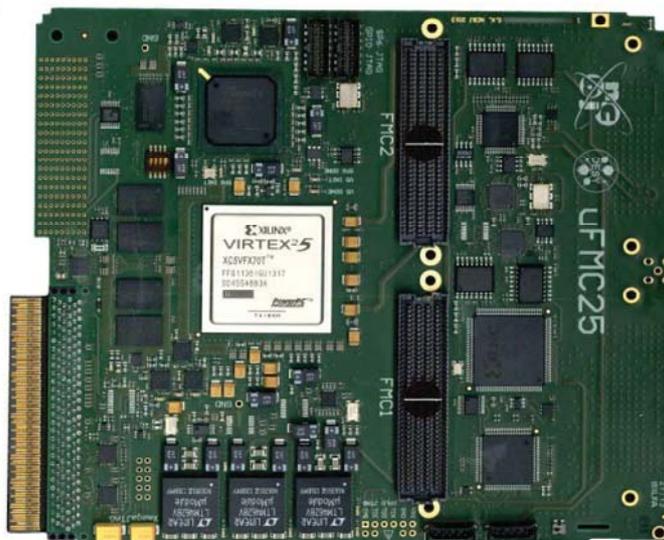


MTCA Setups – LSU Control: Building Blocks

Controller-AMC

DAMC-FMC25

- Processing:
 - Virtex 5
- Communication:
 - Spartan 6
- 2 x FMC (HPC)
- Zone 3: D1.1 / D1.2 / D1.3

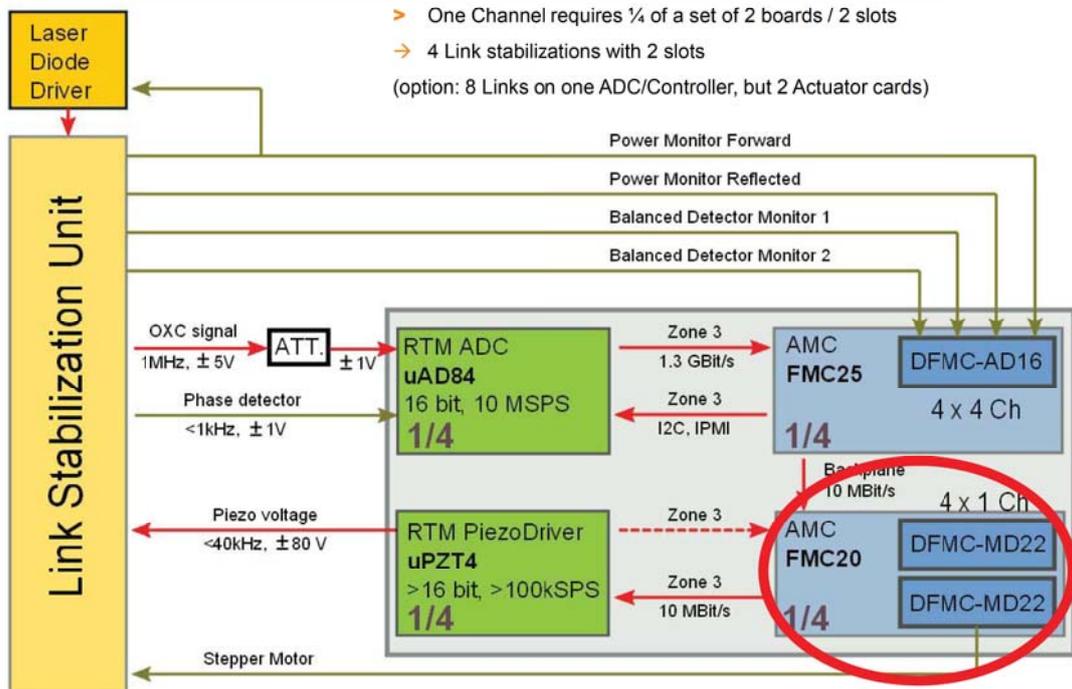


Developed by Jaroslaw Szewinski, NCBJ

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 18



MTCA Setups – LSU Control: Building Blocks



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 19



MTCA Setups – LSU Control: Building Blocks

FMC Carrier-AMC

DAMC-FMC20

- Processing:
 - Spartan 6 (LX150)
- Communication:
 - Spartan 6 (LX45)
- 2 x FMC (HPC/LPC)
- Zone 3: D1.0
- Licensed to EicSys

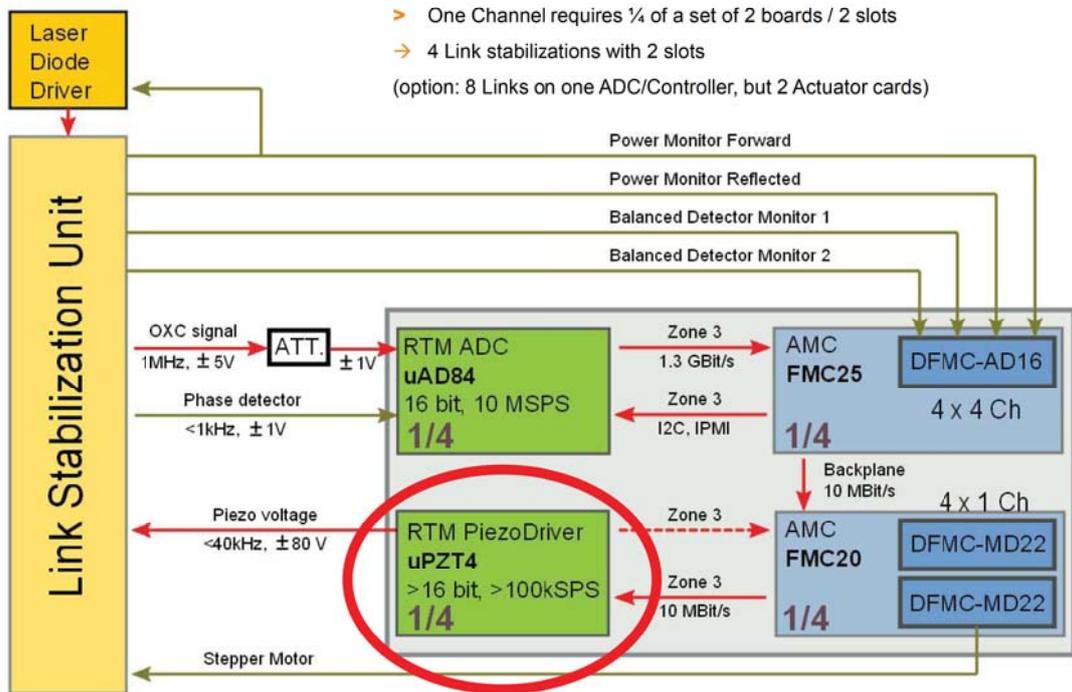


Developed by Hans-Thomas Duhme, Desy

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 20



MTCA Setups – LSU Control: Building Blocks



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 21



MTCA Setups – LSU Control: Building Blocks

Piezo Driver-RTM

DRTM-PZT4

- 4 x Channel
- On-board ±85 V PS
- On-board DACs
- Metal-cover
- Zone 3: D1.0 / D1.1 / D1.2

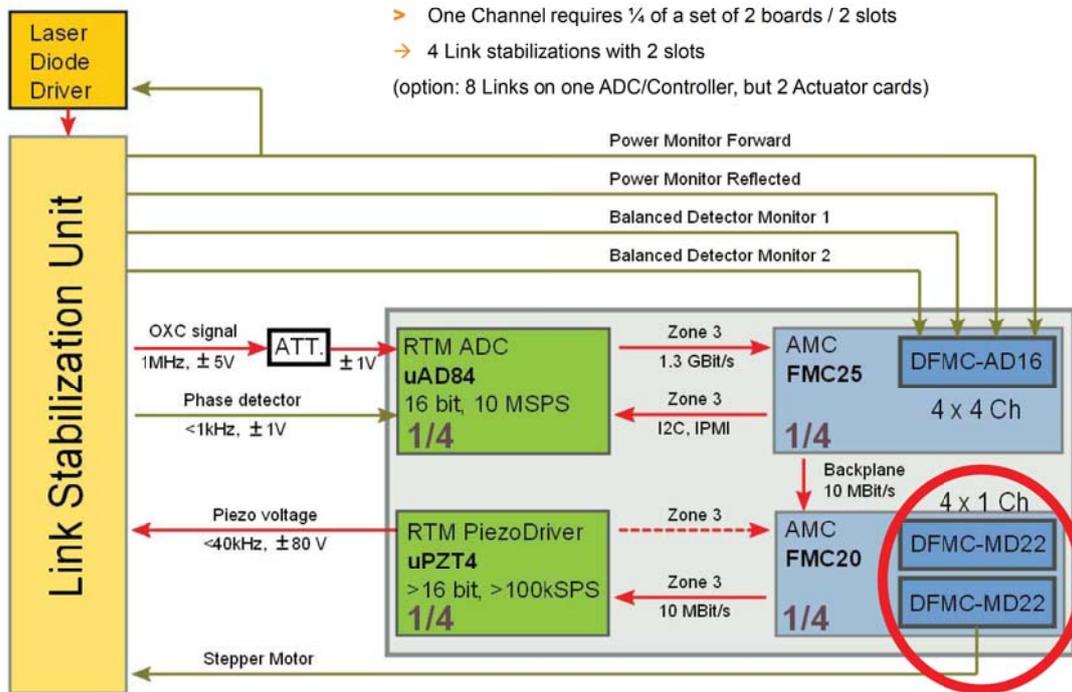


Developed by Konrad Przygoda, DMCS

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 22



MTCA Setups – LSU Control: Building Blocks



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 23

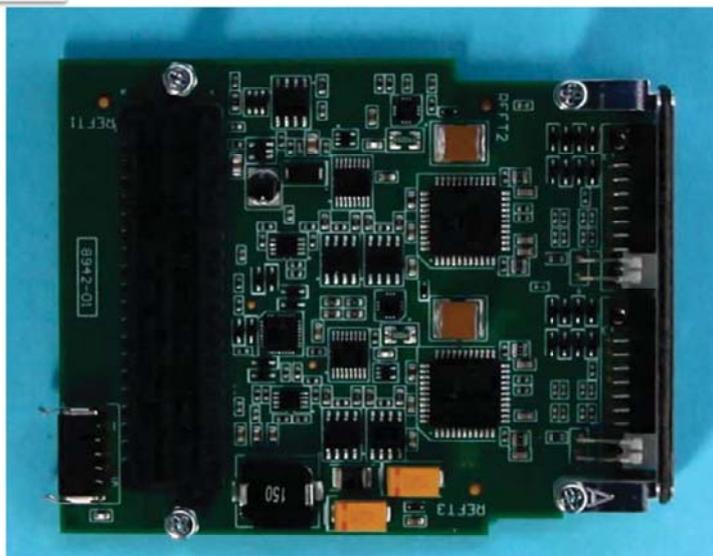


MTCA Setups – LSU Control: Building Blocks

Motor Driver-FMC

DFMC-MD22

- Stepper Motors
- 2 x Channel
- End switch readout
- Encoder readout

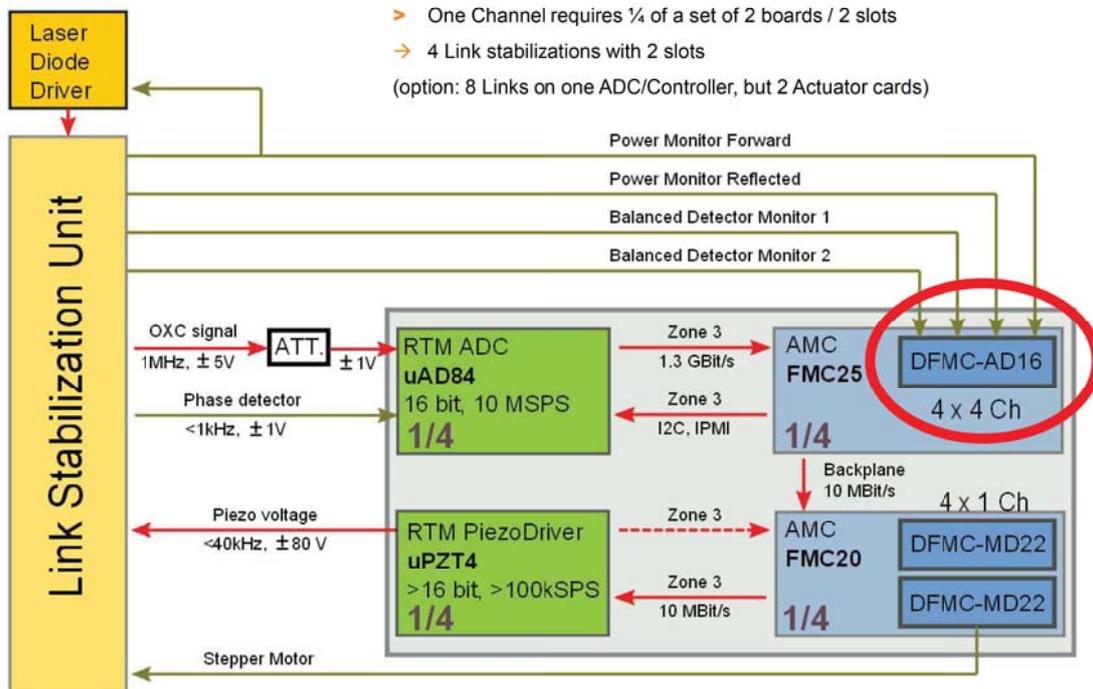


Developed by Robert Wedel, Desy

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 24



MTCA Setups – LSU Control: Building Blocks



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 25



MTCA Setups – LSU Control: Building Blocks

Monitor ADC-FMC

DFMC-AD16

- 16 (2x8) x ADC
 - 18 bit
 - 200 kSPS
 - 1 MΩ
 - 23 kHz / 15 kHz
 - ±10 V / ±5 V

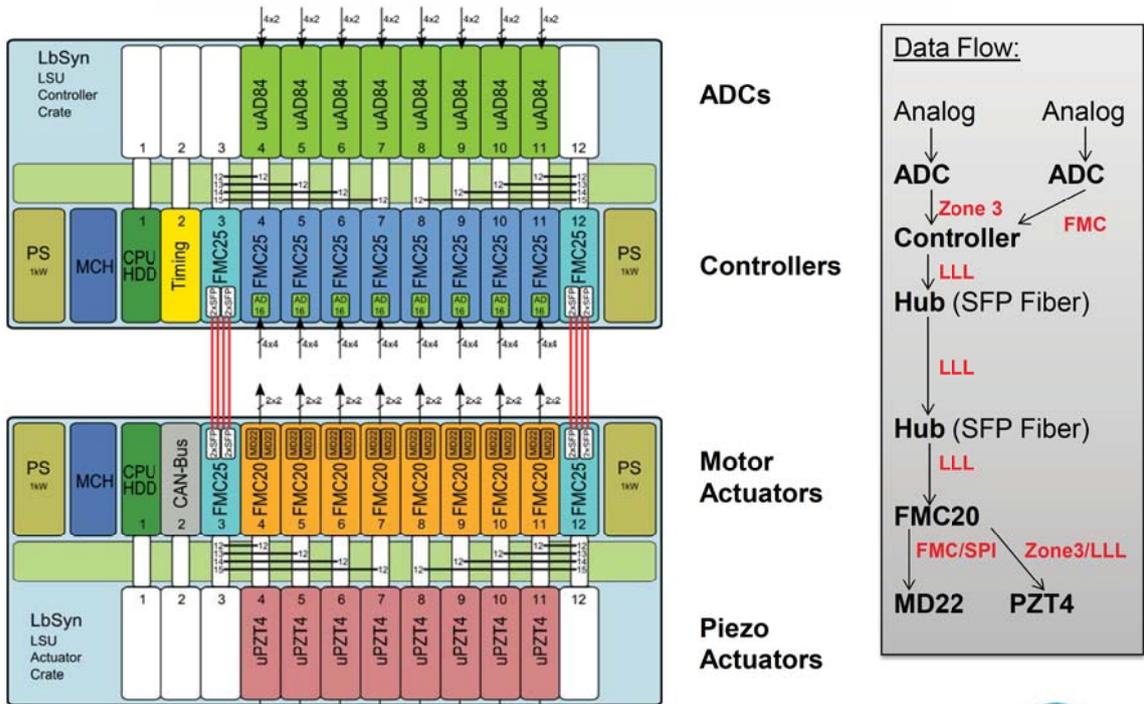


Developed by Robert Wedel, Desy

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 26



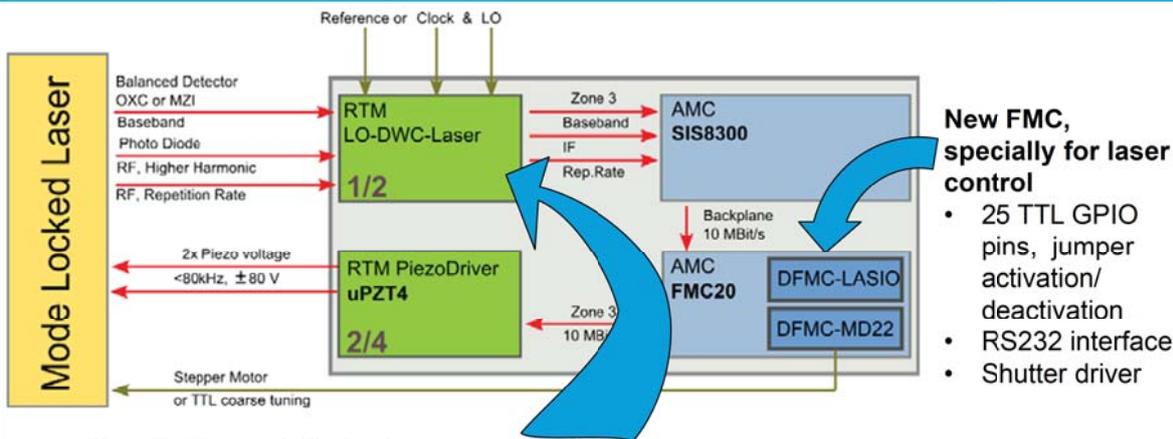
LSU Control: Crate Configuration (max. 32 Links)



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 27



MTAC Setups - Laser Synchronization



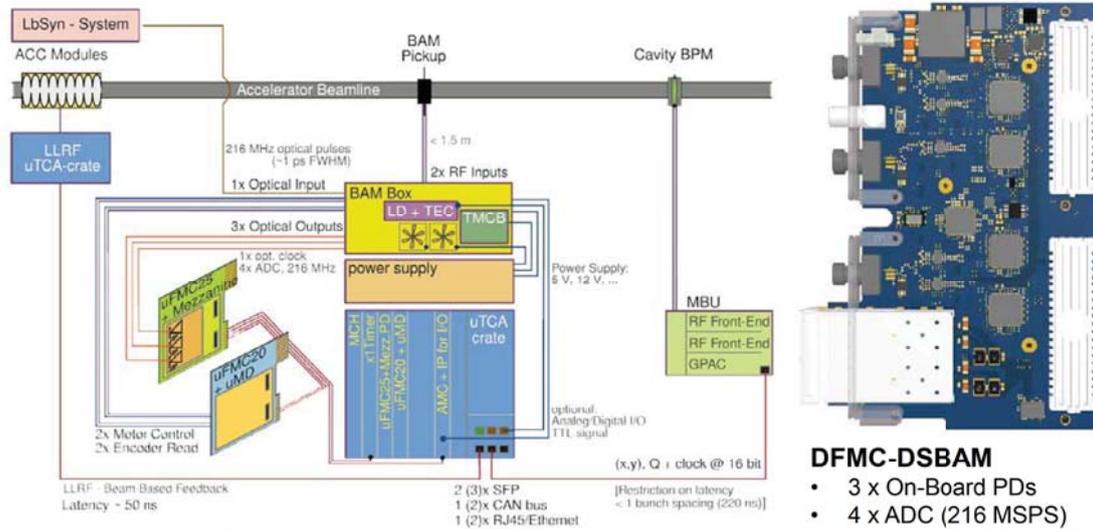
New RTM, specially for laser synchronization

- 4 DWC cells - only two with mixer, others for bucket detection (direct sampling)
- External LO/Clk input or internal generation from Reference
- Baseband inputs for balanced detector
- DAC for external feed of PZT4 or other analog driver
- Laser signal:
 - RF input (ext. diode)
 - Optical input (int. diode)
 - PS for ext. Diode

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 28



MTCA Setups - BAM Electronics



Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 29



Conclusion

- MTCA.4 is the new crate standard for high performance computing (FPGA, PCIe) combined with low noise analog signal conditioning (LLRF, BPMs, ...)
- The HVF opened the possibility for a wide application portfolio and acceptance in research and industry
- For the optical synchronization, MTCA will replace most of the existing hardware solutions (VME, Beckhoff, Piezo Driver, ...)
- AMCs: FMC20, FMC25, SIS8300L, CAN, x2Timer
- RTMs: AD84, PZT4, DWC10 (-> "LO-DWC-LAS")
- FMCs: MD22, AD16, LASIO, DSBAM
- Laboratory Test-Setups available
- First implementation ('System Ready') in 3 month!

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 30



Backup Slides

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 31



Helmholtz association (HGF) validation-fond (HVF)

What is the HGF validation fond?

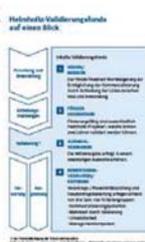
- Finance instrument to support the spin-off and technology transfer from scientific, technical inventions or developments from HGF centers to the industry and society
- Validation: increase of value (material/immaterial) with direct application to society / industry
- Ideally: generate commercial product

Boundaries:

- Duration max. 2 years
- Funding max. 2 M€/a (50% by HGF)

Screening of DESY (2011):

- “MTCA.4” good candidate



Ansprechpartner

Kontakt
 Für weitere Fragen stehen Ihnen die Technologiemanagerinnen der Helmholtz Validierungsfonds zur Verfügung.

Als Ansprechpartner in der Geschäftsstelle der Helmholtz Validierungsfonds:
 Helmut Pfeiffer
 Petra Lorenz-Kunze
 Helmholtzstr. 15, 22607 Geesthacht
 Tel. +49 386 240 377
 Fax +49 386 240 379
 gmf@hvf.de

Helmholtz Validierungsfonds

HELMHOLTZ GEMEINSCHAFT
 DEUTSCHER FORSCHUNGSZENTREN
 HELMHOLTZ VALIDIERUNGSFONDS

HELMHOLTZ GEMEINSCHAFT

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 32



Projects HGF Validation-fund

Main objectives of project:

Establish MTCA.4 electron crate system

- In accelerator community
- Industrial branches
- Scientific community

by reducing the market entry barriers and foster MTCA.4 to industry

Business model:

- Marketing for the RF controls modules via Company using DESY License

Consortium:



Consortion is steadily growing ...

> Status 30. September 2013

▪ Cooperation partners

• Original HVF Consortium:



• New Partners:



• Negotiation phase:



Structure of HGF Validation-fund proposal

AP1 Commercialization of LLRF module developments:

- AP1.1 Industrialization of existing modules
- AP1.2 Optimization for single (small number of cavities) LLRF systems
- AP1.3 Extension of portfolio for frequencies 10MHz – 6 GHz
- AP1.4 Supplementary systems for RF controls
- AP1.5 Full integration of RTM-RF Backplane in MTCA.4

AP2: Completion of MTCA.4 for industry and institutions:

- AP2.1 Extension of product portfolio for MTCA.4
- AP2.2 EMI optimization and classification of MTCA.4 components
- AP2.3 Applications of MTCA.4 in industry (*LLRF system...*)
- AP2.4 Industrial market evaluation / demands in scientific community
- AP2.5 Large scale integral system test MTCA.4 and reliability study (*FLASH ...*)

AP3: Consulting and support for industry and institutions:

- AP3.1 MTCA.4 support and consulting
- AP3.2 Users guide for MTCA.4
- AP3.3 Exhibition and marketing
- AP3.4 Workshops

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 35



Status: Kommerzialisierung von LLRF Modulen

> a) Ergebnisse /Erfolge der wissenschaftlichen Arbeiten

- Komponenten: Module für Single/Multi Cavities (AP1.1-AP1.3)

AP1.1.1: uDWC

Entwicklung abgeschlossen
Lizenz an Struck vergeben
Produktion bei Struck erfolgreich
Vorserie (40) in Lieferung

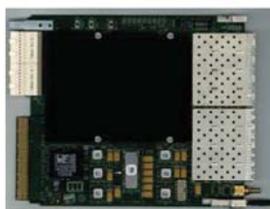


HF Felddetektor

DRTM-DWC10

AP1.1.2: uTC

Prototyp im Test
8 x 10GbE ok (32 MGT)
Kintex7 K355/K420
Nur kleinere Fehler/MMC
Lizenz: Vadatech/I-TECH



Controller

DAMC-TC7

AP1.1.3: uVM

Prototyp im Test
Analog (ok)/Digital ok
Footprint Fehler
Impedance matching
Lizenz: I-TECH



HF-Steuereinheit

DRTM-VM2

AP1.1.4: uLOG

Prototyp im Test
Lizenz an Sandona vergeben
Peltier Regelung fehlt
HF Mezzanine im Test



Lokale Frequenz & Clock Generierung

eRTM-LOG1300

Matthias Felber | SEI Tagung Geesthacht | MTCA for Optical Synchronization Systems at XFEL and FLASH | 10th March, 2014 | Page 36



Status: Kommerzialisierung von LLRF Modulen

➤ a) Ergebnisse /Erfolge der wissenschaftlichen Arbeiten

- Komponenten: Supplementäre Module (AP1.4)

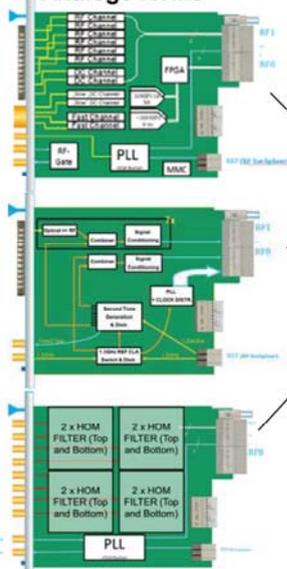
Anwendungs-Beispiele:

Klystron
life-time
Management

High-Order Mode
Messungen
(1.3/1.7/2.4GHz)

Femtosecond
Fiberoptic
Synchronization

Analoge RTMs



AP1.4.1: uDS800
Prototyp im Test
 8 x 800MSPS, 12 bit
 Bestückungsfehler Firma
 Lizenz: Struck/Vadatech/CAEN



**Sehr breites
Anwendungsspektrum**

**Anfrage von
ITER/Frankreich
INFN/Italien
KIT/Deutschland
Uni. of Hawaii**

Direkte HF Abtastung

DAMC-DS800



Status: Kommerzialisierung von LLRF Modulen

➤ a) Ergebnisse /Erfolge der wissenschaftlichen Arbeiten

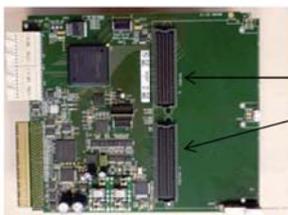
- Komponenten: Supplementäre Module (AP1.4)

AP1.4.2.1: uFMC20
Prototyp im Test, Rev.1
 Kostengünstig, FMC Carrier
 Bauteilbeschaff., MMC
Breites Anwendungsfeld!
 Lizenz: Eicsys

AP1.4.2.2: FMC_MD
Entwicklung abgeschl.
 Kostengünstig
 Real Time Motoranstr.
Nicht Beschl. Spez.
 Lizenz: ESD, TEWS

AP1.4.2.3: uPZ4
Prototyp im Test
 HV-DCDC inkl.
 kleine Fehler
Nicht Beschl. Spez.
 Lizenz: I-TECH, ...

AP1.4.2.4: uHVPS_eRTM
Projekt verschoben
 HV mit hoher Leistung
 Steckmodul eRTM
Industrieauftrag
 Management AP1.5.1.1



FMC Trägerboard

DAMC-FMC20



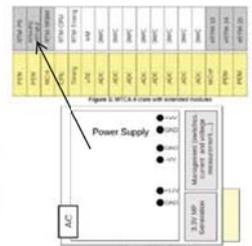
Motor Treiber

DFMC-MD22



Piezotreiber

DRTM-PZ4



HV-PowerSupply



Structure of HGF Validation-fond proposal

AP2: Completion of MTCA.4 for industry and institutions

Extension of product portfolio for MTCA.4

1. Industrial production of timing module
2. 2 MSPS, 4 channel , 12bit ADCs on RTM & AMC
3. Management low noise power supplies

EMI optimization and classification of MTCA.4 components

1. EMI test board development
2. EMI current distribution in MTCA.4 crate
3. Optimization of crate-contact transitions
4. Shields for AMC/RTM boards
5. EMI Bypass-concept
6. Vibration studies and vibration reduction
7. EMI classification of AMC and RTM boards commercially available
8. AMC Backplane/connector/board development towards 10Gbit/sec



Application of MTCA.4 in industry

1. Integrated klystron life-time and LLRF system

Evaluation of MTCA.4 market

1. Market evaluation for industry
2. Market evaluation for institutes
3. Optional industry order after evaluation

Integral test of MTCA.4 in large facility, availability, failure analysis

1. Inter-compatibility of boards/sub-systems, radiation, remote controllability



Heterogeneous Systems in Computing Intensive Applications: FPGA – GPU complexes

Central Institute for Engineering, Electronics and Analytics

Dr. Sergey Suslov

Outline

Talk covers:

- Premise for Heterogeneous System Employment
- Peculiarity of Heterogeneous System Design
- Compact High Performance Computing with FPGAs and GPUs (Project Examples)
- FPGA vs GPU: comparing technologies

Premise

Status of Technology

- improvements in computer performance:
 - less frequency growth but more computing parallelism
- many calculation intensive applications have intrinsic parallelism
 - benefit from parallel platforms
- increase in IC integration level enables High Performance Computing in workstations (Compact HPC)
- three main approaches:
 - symmetric multiprocessor (SMP)
 - configurable logic – Field-Programmable Gate Array (FPGA)
 - stream processing architecture – Graphics Processing Unit (GPU)
- trends:
 - Accelerated Processing Units (APU): multi-core CPU + GPU + shared address space
 - System on a Programmable Chip (SoPC): multi-core CPU + configurable logic FPGA

Mitglied in der Helmholtz-Gemeinschaft

10.03.2014

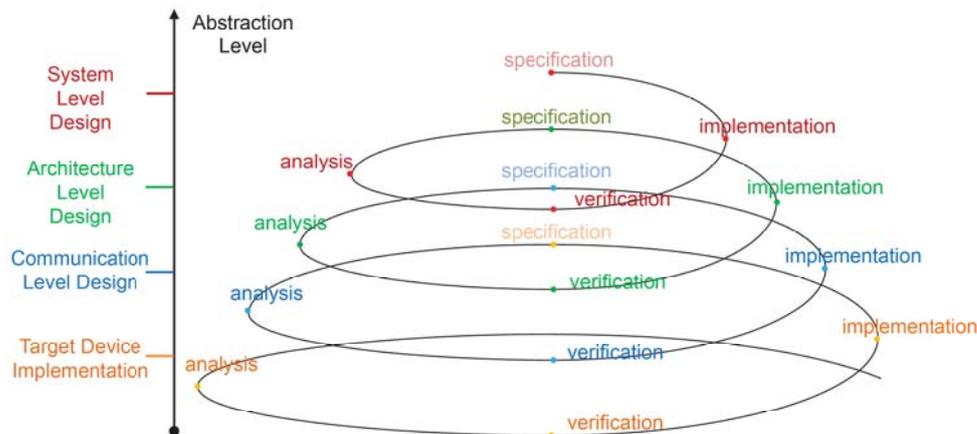
Premise

3

Peculiarities of Design

Methodology:

- top-down design approach
- early partitioning
- gradual refinement
- cyclic: specification → implementation → verification → analysis



Mitglied in der Helmholtz-Gemeinschaft

10.03.2014

Peculiarities of Design

4

Compact High Performance Computing with FPGAs and GPUs

Example Projects:

- Gray Scale Code (GSC) segmentation (FPGA vs GPU)
- Cone-Beam Computer Tomography reconstruction (GPU only)
- Magnetoencephalography (FPGA & GPU)

Mitglied in der Helmholtz-Gemeinschaft

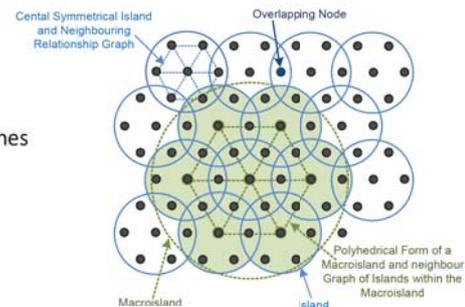
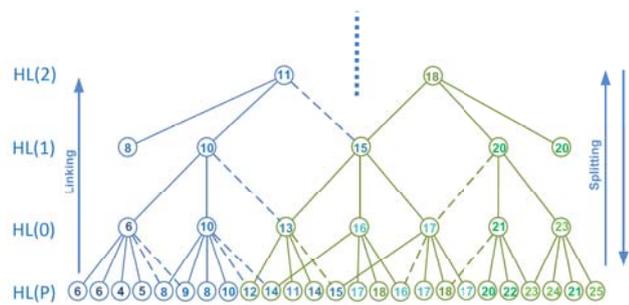
10.03.2014

Compact HPC with FPGAs and GPUs

5

Fundamentals of the GSC method

- hierarchical (multi-resolution) region-growing approach
- topology: hexagonal lattice
- region (R) forming criteria:
 - area
 - homogeneity of a feature (F)
 - spatial neighbourhood
- phases:
 - coding: (island_{HL(P)}; F(P); Neighbouring Graph) → R_{HL(0)}
 - linking: (island_{HL(n)}; F(R_{HL(n)}); Overlapping) → R_{HL(n+1)}, branches
 - splitting: generate disjoint segments (S) in region forest
 - result generation: F(S) → F(P)



Mitglied in der Helmholtz-Gemeinschaft

10.03.2014

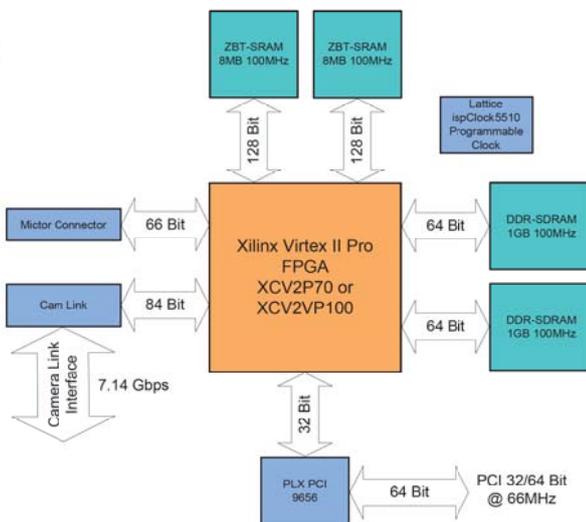
Compact HPC with FPGAs and GPUs

6

Implementation Platform FPGA

FPGA Expansion Board (Virtex II Pro)

- configurable logic (99,216 LCs @100MHz)
- two DDR SDRAM banks (1GB@100MHz each)
- two ZBT SRAM banks (8MB@100MHz each)



Mitglied in der Helmholtz-Gemeinschaft

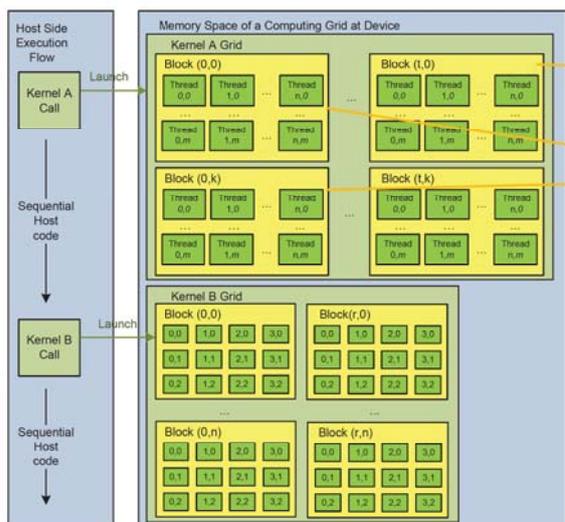
10.03.2014

Compact HPC with FPGAs and GPUs

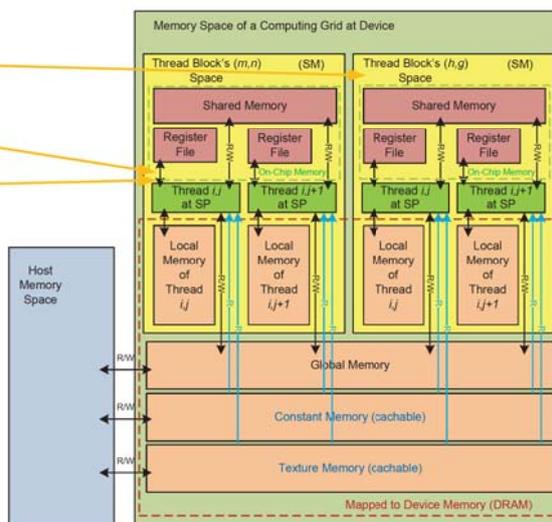
7

Implementation Platform GPU

Programming Model



Hardware Architecture



Tesla C1060: 240SP@602MHz; 4GB GDDR3@1.6GHz

Mitglied in der Helmholtz-Gemeinschaft

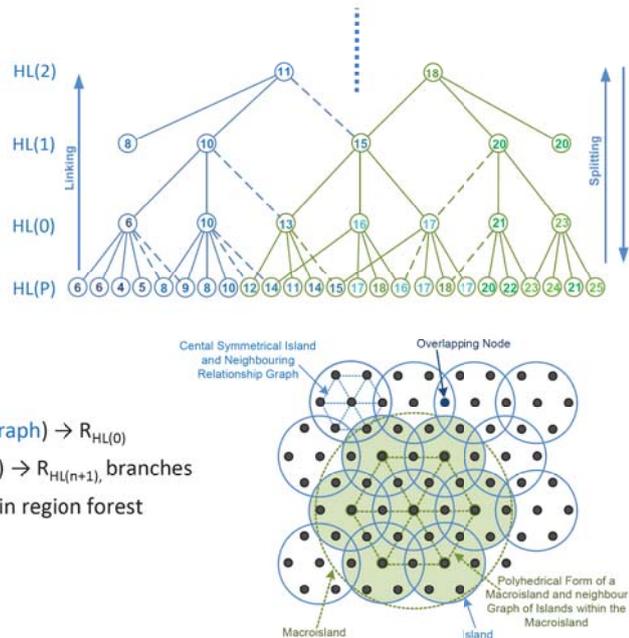
10.03.2014

Compact HPC with FPGAs and GPUs

8

Fundamentals of the GSC method

- hierarchical (multi-resolution) region-growing approach
- topology: hexagonal lattice
- region (R) forming criteria:
 - area
 - homogeneity of a feature (F)
 - spatial neighbourhood
- phases:
 - coding: $(\text{island}_{HL(P)}; F(P); \text{Neighbouring Graph}) \rightarrow R_{HL(0)}$
 - linking: $(\text{island}_{HL(n)}; F(R_{HL(n)}); \text{Overlapping}) \rightarrow R_{HL(n+1)}$, branches
 - splitting: generate disjoint segments (S) in region forest
 - result generation: $F(S) \rightarrow F(P)$



Mitglied in der Helmholtz-Gemeinschaft

10.03.2014

Compact HPC with FPGAs and GPUs

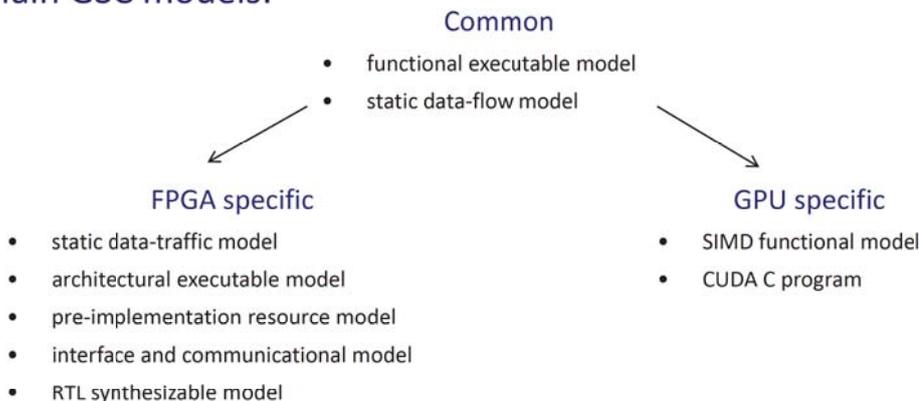
9

GSC Implemented Models

Methodology:

- top-down design approach
- gradual refinement
- cyclic: specification \rightarrow implementation \rightarrow verification \rightarrow analysis

Main GSC models:



Mitglied in der Helmholtz-Gemeinschaft

10.03.2014

Compact HPC with FPGAs and GPUs

10

GSC GPU implementation

GPU Optimisation strategy

- Global memory optimisation
 - addressing scheme
 - data structure layout
- Memory architecture peculiarity exploitation
 - texture memory
 - constant memory
- Shared memory layout
 - addressing scheme
 - data volume optimization
 - memory reuse
- Kernel control-flow optimisation
 - execution path optimisation
 - branching minimisation
- Operation level optimisation
 - intrinsic GPU instructions
 - specialised math
- Block size parameters selection

GSC Results

Performance

- 2048²: 85 ms (FPGA), 99 ms (GPU) vs. 1985 ms (CPU)
- achieved acceleration endorses the use of the parallel GSC in real-time and interactive applications
- even older generation FPGA beat newer GPU processors

Efforts

- analysis of the method
 - extreme important
 - discover the parallelization potential of the algorithm
- development cycle is significantly longer for FPGA

CT Reconstruction

in collaboration with Central Institute for Technology (ZAT, F. Pauly)

The Micro-Focus CT Equipment

The micro-focus CT equipment (Figure 1) in the Zentral Institute for Technology (ZAT) of the Research Center Jülich consist of the following components:

- Source: VISCOM XT 9225, DED, 225 kV / 3 mA / 320 W, focal spot: 3-7 μm
- Detektor A: PerkinElmer XRD 512-400 AI1 LFS, 205x205 mm, 512x512 pixel, 400 μm
- Detektor B: PerkinElmer XRD 1621 AN4, 410x410 mm, 2048x2048 pixel, 200 μm
- Gantry: 8 axis manipulator, Sauerwein MPS, Stapf Electronic PR 1-6, 1 μm precision



Figure 1: The Micro-Focus CT Setup

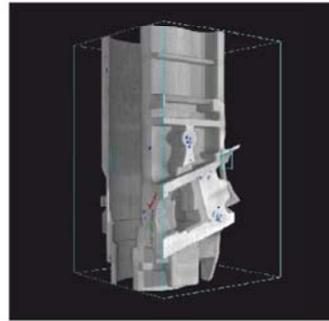


Figure 2: ADR of an Mg Casting

10.03.2014

Compact HPC with FPGAs and GPUs

13

CT Reconstruction

Applications:

Applications in focus comprise the needs of internal and external customers among others in the following areas:

- ✍ prefabricated parts of different materials (metal, synthetic material, etc.)
- ✍ sandwich materials (concrete, etc.)
- ✍ soil assays
- ✍ plants

For some applications newly developed algorithms based on the GSC segmentation allow the detection of defects in the material. The example in Figure 2 shows the automated defect recognition of a Mg casting. Red areas indicate a big defect volume, blue areas a low one.

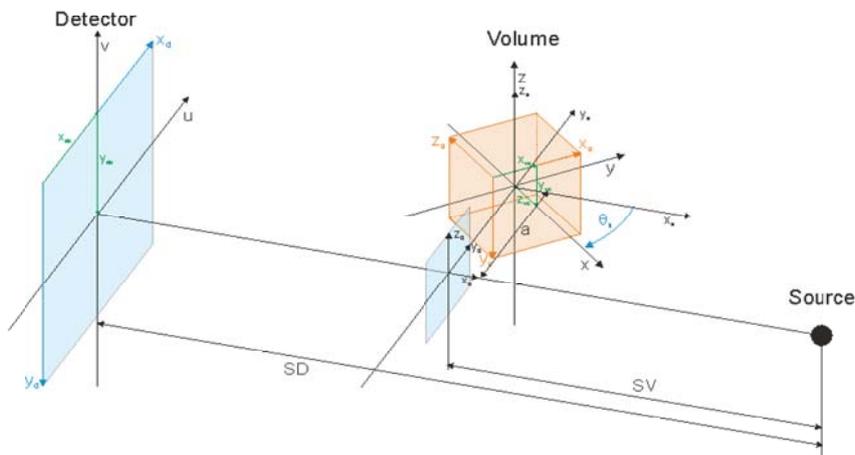
10.03.2014

Compact HPC with FPGAs and GPUs

14

CT Reconstruction

Geometric model:

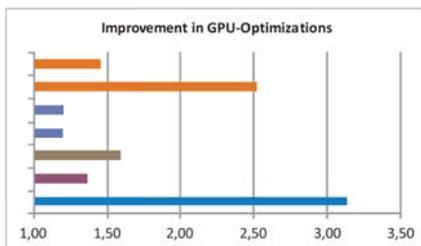


For the reconstruction of the volume (8G voxels in floating point accuracy = 32 Gbyte dataset) the well-known Feldkamp (FDK) algorithm is used slightly modified for appearing detector parallel shifts of the rotation axis (a in Figure 4). Due to the available memory on the GPU boards, the volume must be divided into volume parts, each computed separately.

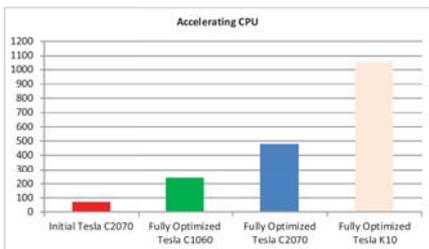
Mitglied in der Helmholtz-Gemeinschaft

CT Reconstruction

Optimization results:



- Projection processing outside the reconstruction loop → intermediate storage on disk
- Projections in the texture memory → exploitation of HW-Interpolation
- Higher Texture Hit by appropriate Block configuration → prefer z-dimension
- Projection constant variables in constant memory → avoiding Local Memory
- Constants' pre-calculation on host parallel to kernel execution
- Hiding file I/O and host → device data transfer by asynchronous kernel execution
- Arithm. pre-computation for y-invariant terms on host
- One thread processes a column section → shared memory usage



2048³ Volume of 1800 Projections:

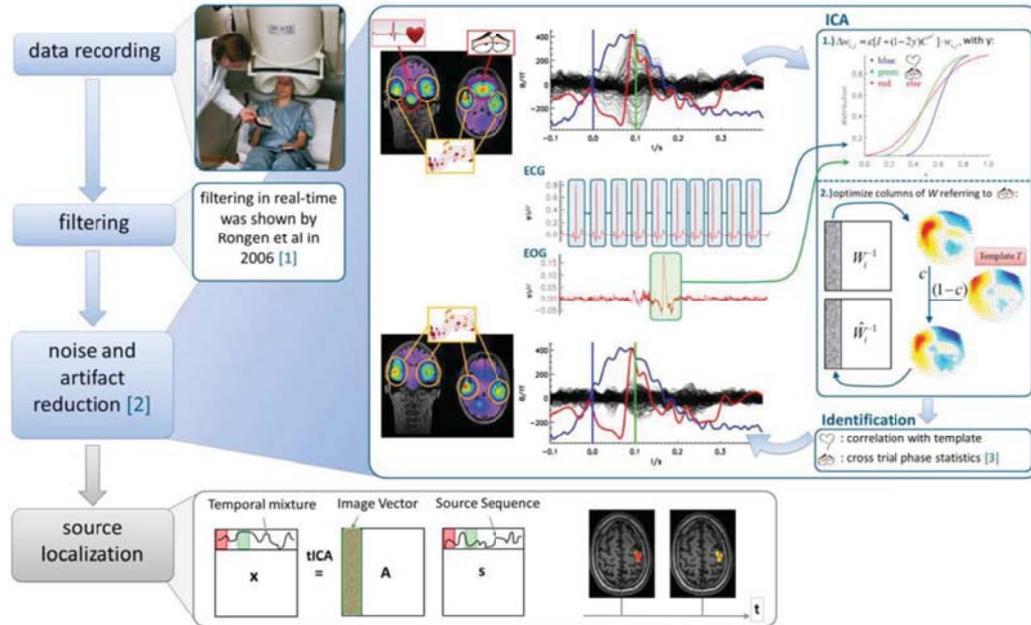
- CPU: 207 Hours (8,63 Days)
- Tesla C2070, non-optimized: 3,15 Hours
- Tesla C1060, optimized: 1 Hour
- Tesla C2070, optimiert: 26 Minutes
- Tesla K10, optimiert: 12 Minutes

Mitglied in der Helmholtz-Gemeinschaft

MEG Heterogeneous Complex

in collaboration with Institute of Neuroscience and Medicine (INM-4, Dr. J.Dammers)

Analysis pipeline:



Mitglied in der Helmholtz-Gemeinschaft

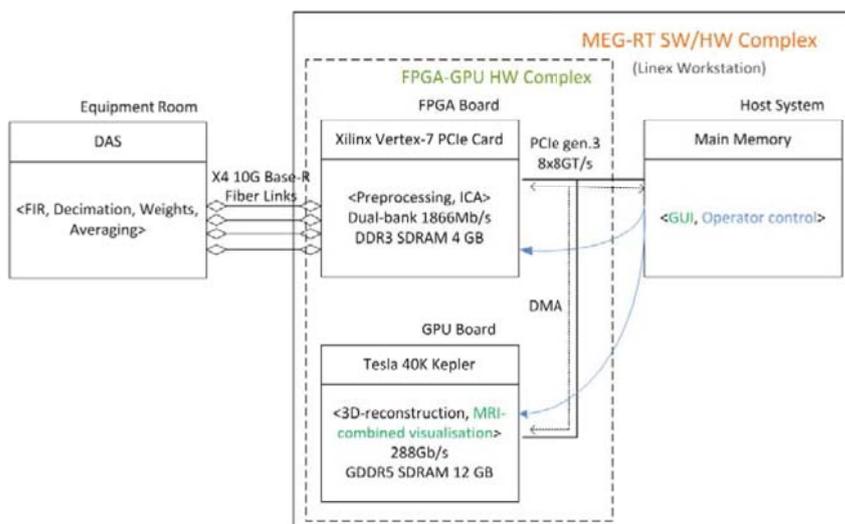
10.03.2014

Compact HPC with FPGAs and GPUs

17

MEG Heterogeneous Complex

Complex block diagram:



- Linux based Open Architecture HW/SW complex
- Python API to HW functions
- Single Workstation solution for Real-time operating
- Selectable HW tool set
- Dynamic HW tool chaining
- FPGA + GPU HW complex interaction with minimum Host interference

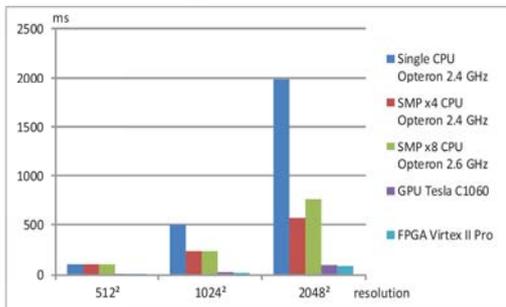
Mitglied in der Helmholtz-Gemeinschaft

10.03.2014

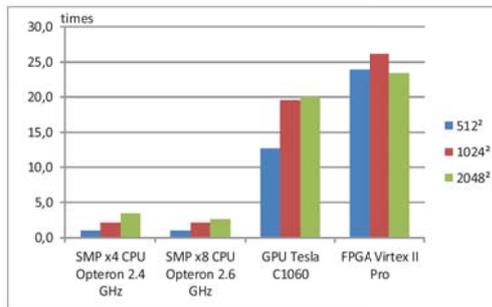
Compact HPC with FPGAs and GPUs

18

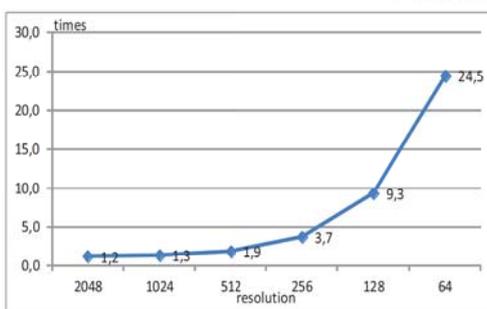
Comparison FPGA vs GPU: Performance



Elapse Time



Performance Acceleration Ratios



GPU to FPGA processing time ratios

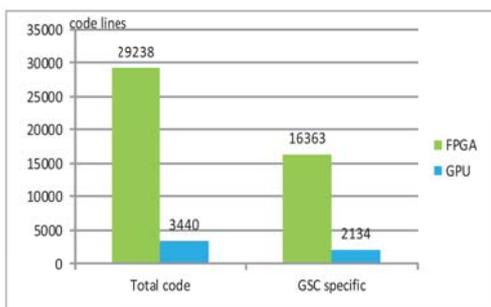
10.03.2014

FPGA vs GPU: comparing technologies

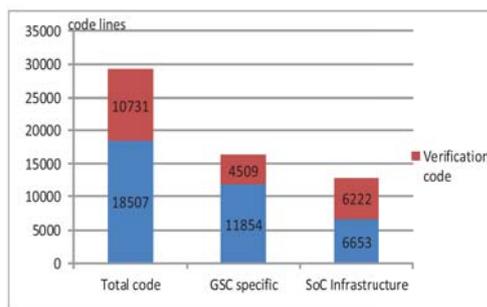
19

Mitglied in der Helmholtz-Gemeinschaft

Comparison FPGA vs GPU : Efforts



Efforts for FPGA and GPU solutions



FPGA code structure

10.03.2014

FPGA vs GPU: comparing technologies

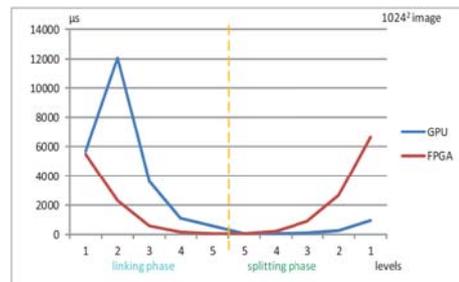
20

Mitglied in der Helmholtz-Gemeinschaft

Conclusions (1)

Flexibility

- FPGA
 - freedom for the organization of the computation
 - application specific buffering and data scheduling schemes
 - more effective bandwidth utilization
 - more elastic to data volumes
 - more flexible in data organization due to fine grained parallelism
 - lack of complex hardwired functional blocks



FPGA and GPU combined profile

10.03.2014

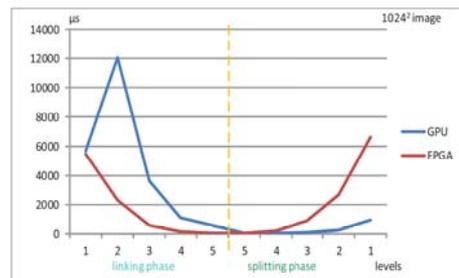
FPGA vs GPU: comparing technologies

21

Conclusions (2)

Flexibility

- GPU
 - adaptation of the algorithms to the target architecture
 - sensitive for complex code execution flow
 - ⇒ branching minimization
 - effective for huge amount of data
 - ISA imposes restrictions on data compaction
 - sensitive to temporary data in on-chip memory
 - ⇒ memory reuse techniques
 - sensitive to external data layout



FPGA and GPU combined profile

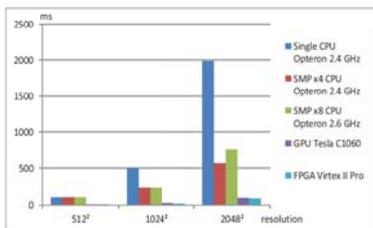
10.03.2014

FPGA vs GPU: comparing technologies

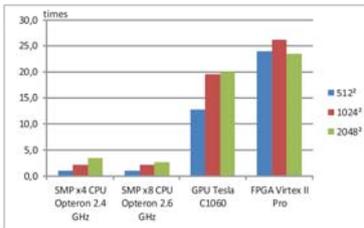
22

Summary

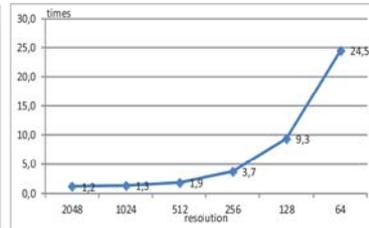
Performance



Elapse Time in ms

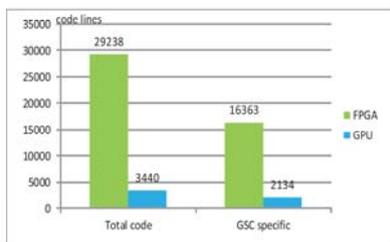


Performance Acceleration Ratios

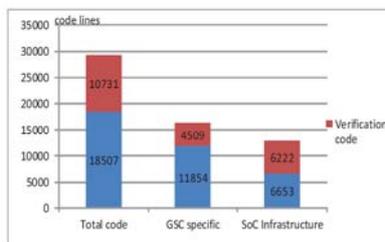


GPU to FPGA processing time ratios

Efforts



Efforts for FPGA and GPU solutions



FPGA code structure

Mitglied in der Helmholtz-Gemeinschaft

Mitglied in der Helmholtz-Gemeinschaft

Upgrade der Kameraelektronik der 12-Meter-Teleskope von H.E.S.S.



[Marko Kossatz](#), [Gianluca Giavitto](#), [Stefan Klepser](#), [Axel Kretzschmann](#), [Holger Leich](#), [Marek Penno](#)

SEI Tagung 10. März 2014



H.E.S.S. Experiment

- Teleskop Array zur Untersuchung von astronomischen Objekten die Gammastrahlung aussenden
- H.E.S.S. I → Vier Teleskope in Betrieb seit über 10 Jahren
- H.E.S.S.II Teleskop wurde 2012 in Betrieb genommen



Voraussetzungen für das Upgrade

Motivation

Altern der Elektronik (> 10 Jahre)

Stetig steigende Ausfallrate

- Verkabelung/Steckverbindungen, Netzteile
- Umgebungsbedingungen (Feuchtigkeit, Staub, Temperatur)

Vergleich zum H.E.S.S.II Teleskop:

- Geringere Performance
- Höhere Totzeit

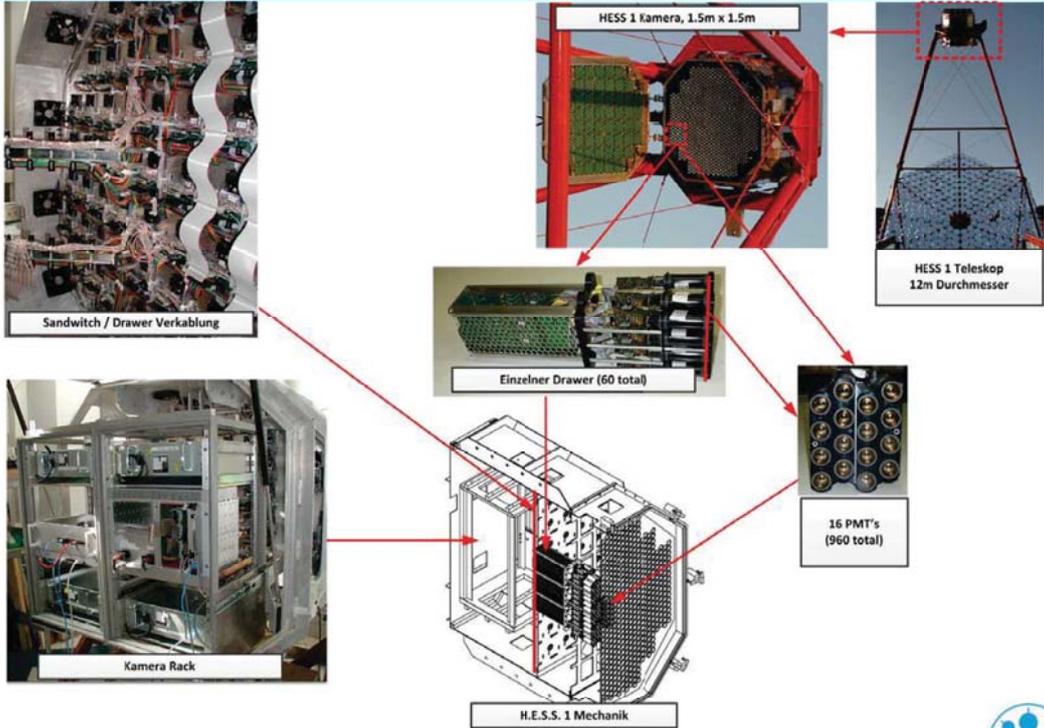
Voraussetzung

Keine Änderungen

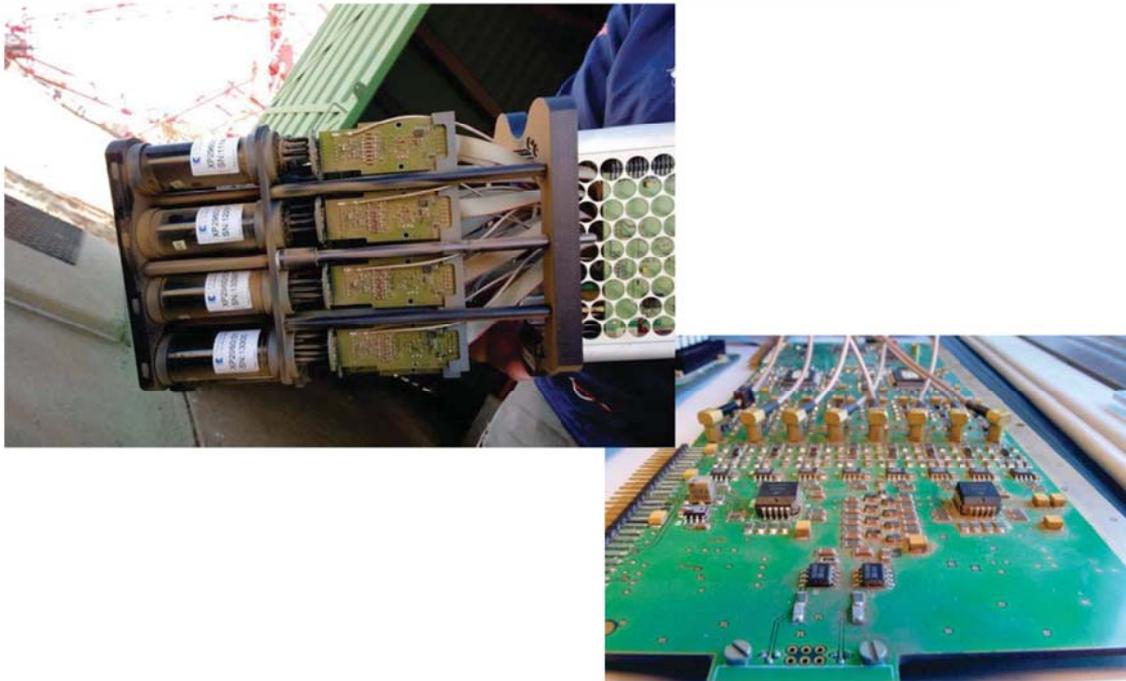
- an der Kamera-Mechanik
- an Photomultiplier (PMT), der PMT Basen
- am externen Trigger System
- am DAQ Software System



H.E.S.S. I - Kamera



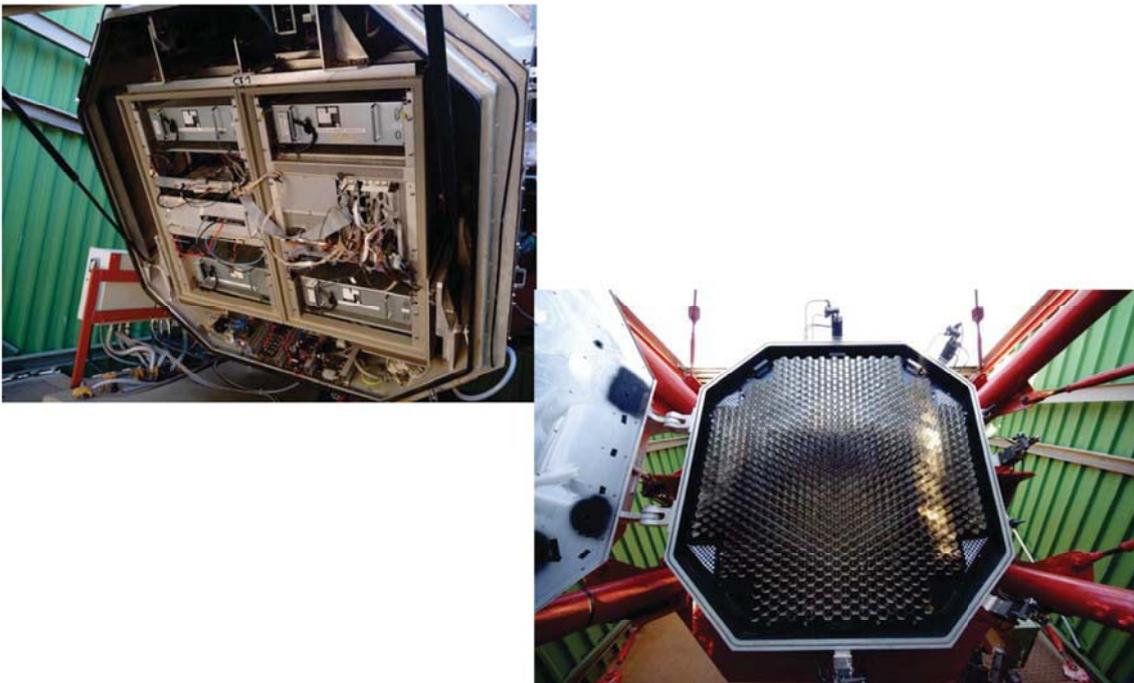
Boards nach mehreren Betriebsjahren



Marko Kossatz (DESY) | Upgrade der H.E.S.S. I Kamera | 2014-03-10 | Page 5



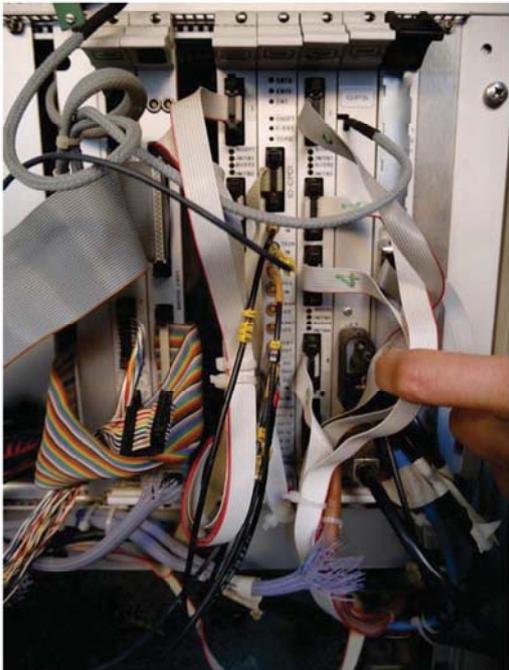
Kamera Ansichten I



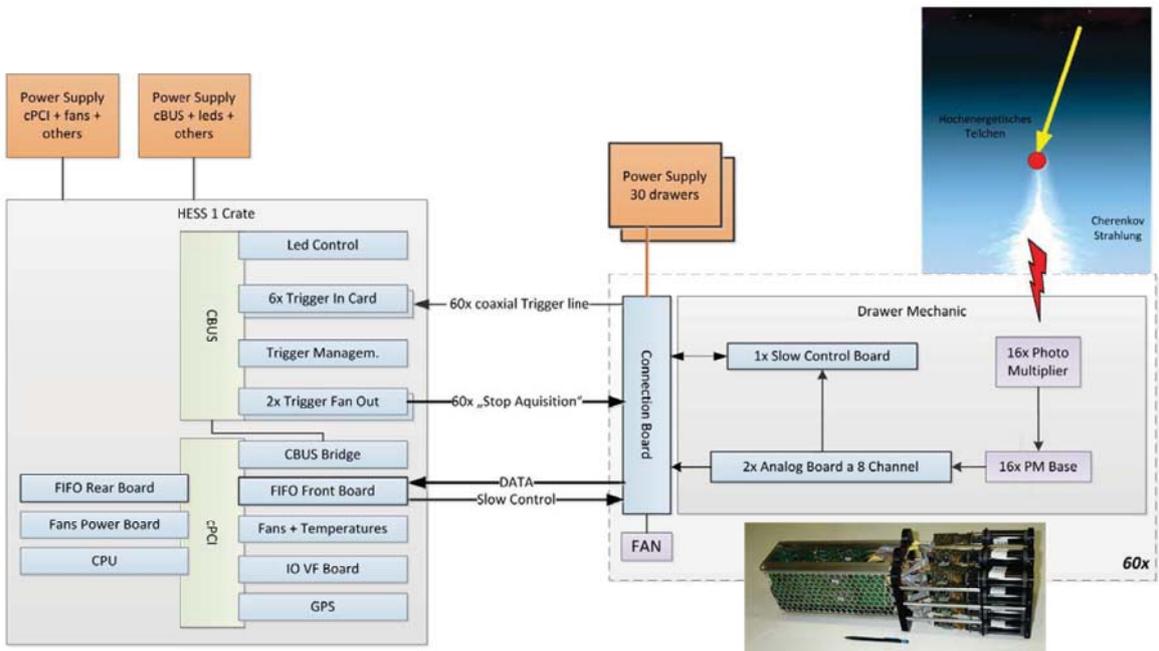
Marko Kossatz (DESY) | Upgrade der H.E.S.S. I Kamera | 2014-03-10 | Page 6



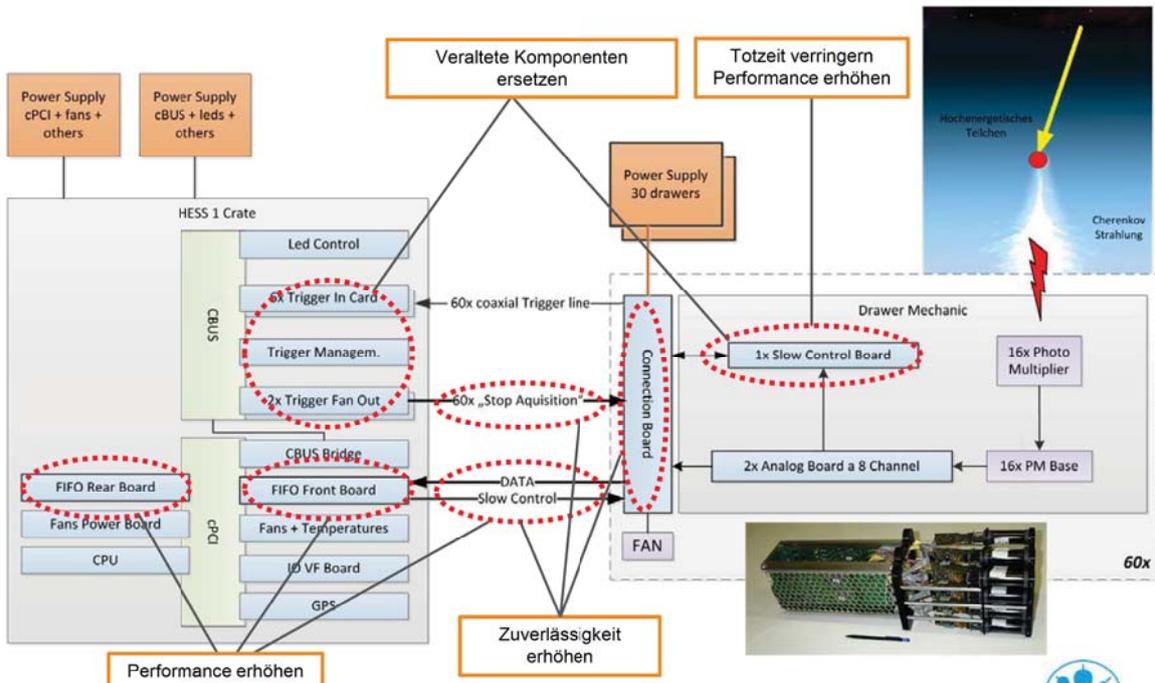
Kamera Ansichten II



Bisheriges H.E.S.S. I Kamera Schema



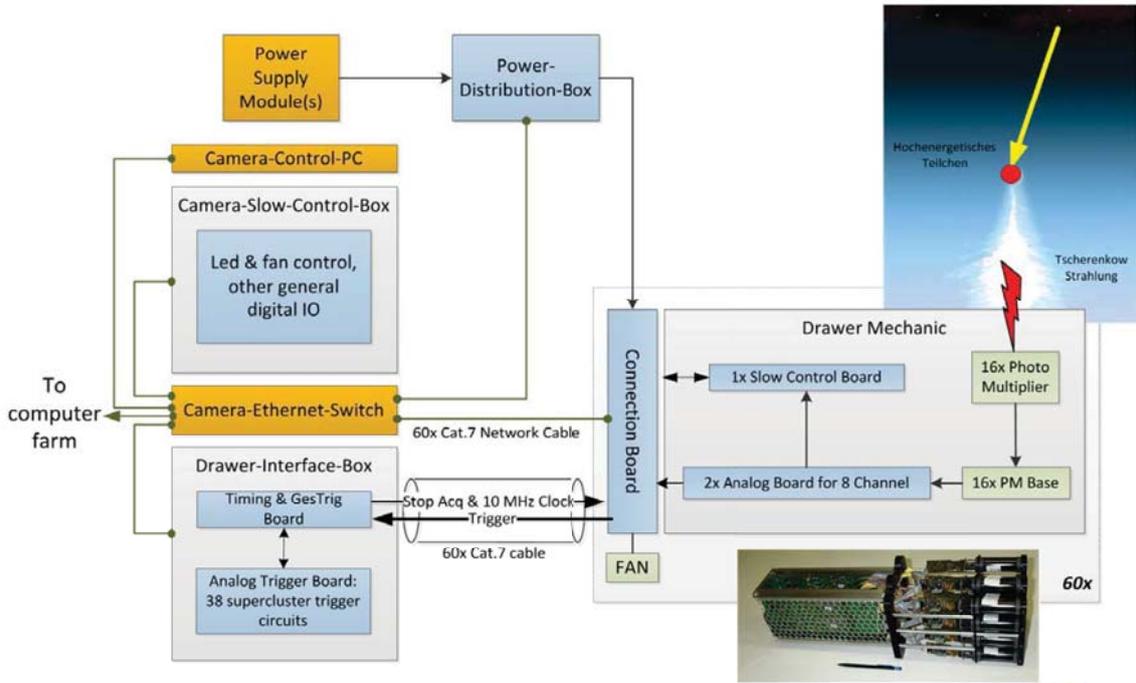
Bisheriges H.E.S.S.I Kamera Schema



Marko Kossatz (DESY) | Upgrade der H.E.S.S.I Kamera | 2014-03-10 | Page 9



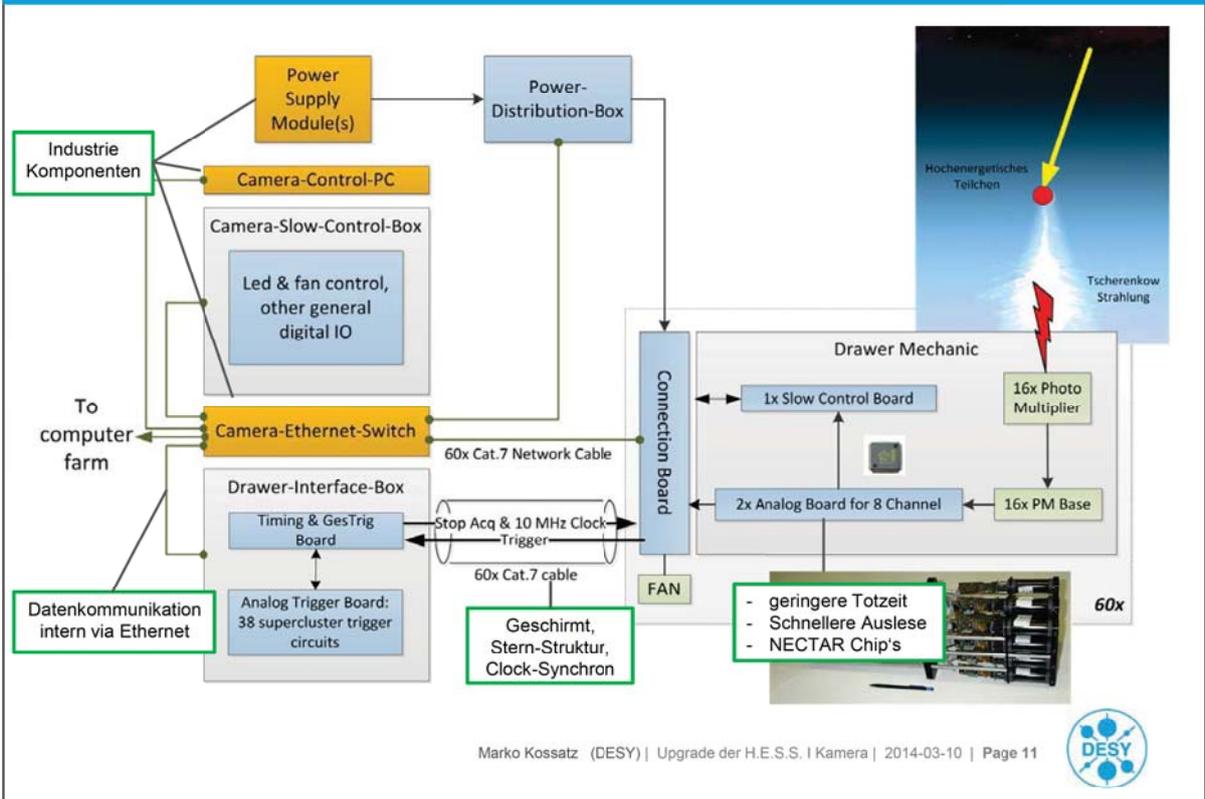
Geändertes H.E.S.S.I Kamera Schema für Upgrade



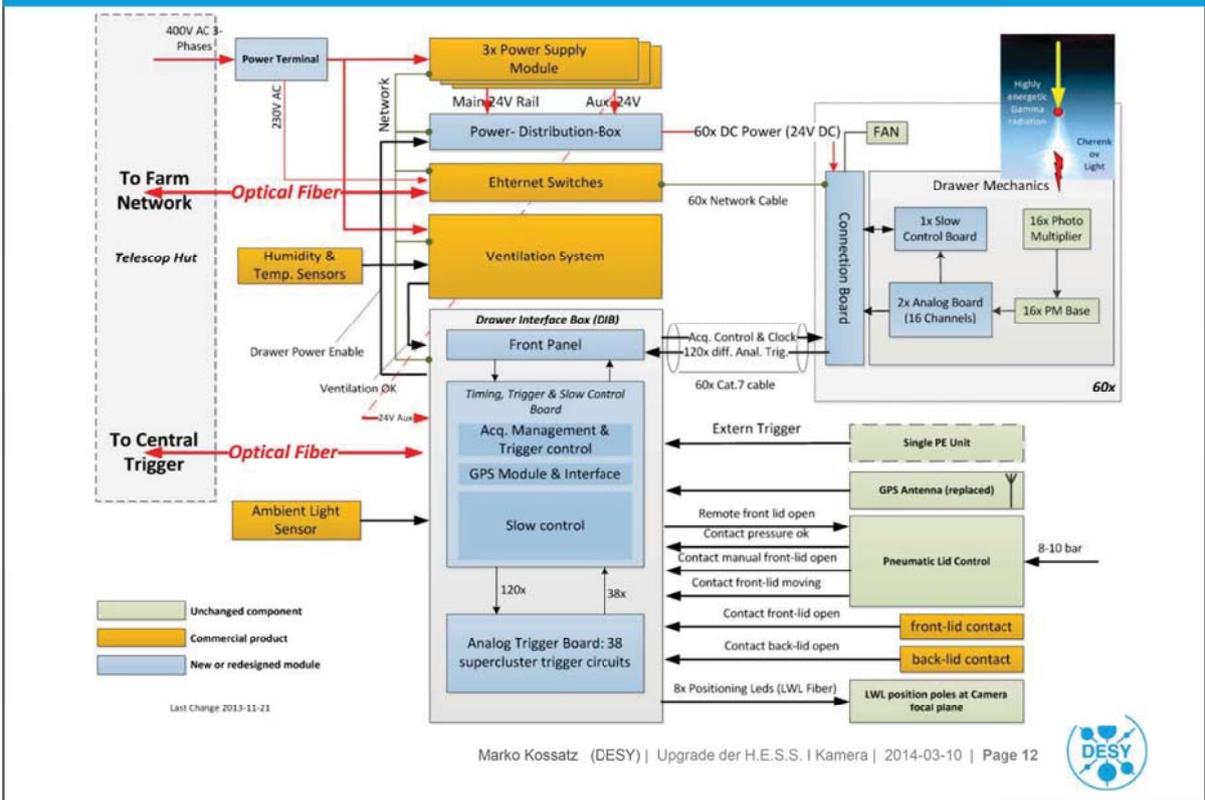
Marko Kossatz (DESY) | Upgrade der H.E.S.S.I Kamera | 2014-03-10 | Page 10



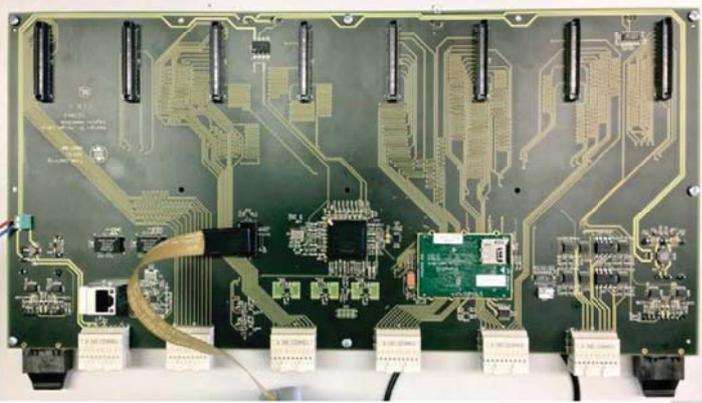
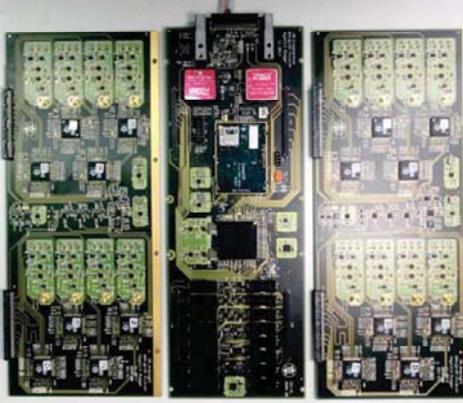
Geändertes H.E.S.S.I Kamera Schema für Upgrade



Geändertes H.E.S.S.I Kamera Schema für Upgrade



PCB-Prototypen

H.E.S.S.I Kamera Upgrade Überblick

- > Interne Verkabelung
 - Ethernet als Basistechnologie für Kommunikation
 - Ethernet-Technik günstiger als vorherige Verkabelung
 - Höhere Performance
- > Eliminieren von Spezial-Crates und Hardware
- > Weniger Baugruppen
- > Kamera-CPU
 - Standardsystem → Jederzeit austauschbar, nachrüstbar
 - Ortsungebunden → kann in Farm verlegt werden
- > Drawer für PMT Auslese
 - → höhere Performance → geringere Totzeit
 - Verwendung des NECTAR Chips
- > Neue Power-Verteilung
 - Einzelüberwachung Stromverbrauch und Spannung



Projektgruppe

- > H.E.S.S.- Gruppe
 - Stefan Klepser
 - Gianluca Giavitto
- > Elektronik-Gruppe
 - Marko Kossatz
 - Axel Kretzschmann
 - Holger Leich
 - Marek Penno
 - Carola Rürger
 - Markus Schade
- > Mechanik-Gruppe
 - Hartmut Lüdecke

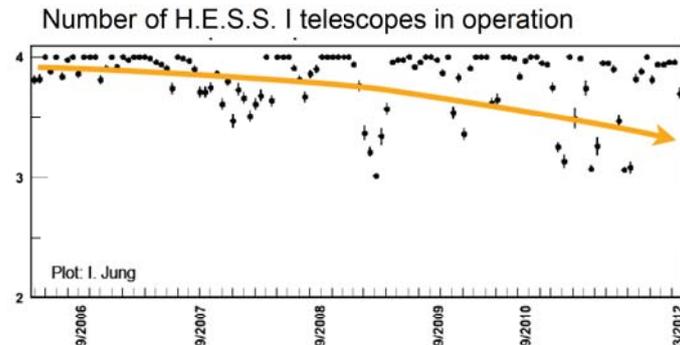


Danke für die Aufmerksamkeit!



Backup

> Aging of the system



> Many components in the camera trigger, the analogue pipeline etc. are obsolete now

> Deadtime: **45%** at 1 kHz (2-telescope coincidence mode)

> Maintenance effort



Stamp9G45: CPU-Module mit AT91SAM9G45 CPU Core



CPU

- Atmel® AT91SAM9G45 with ARM926EJ-S ARM core
- 32 kB Data-Cache / 32 kB Instruction-Cache
- MMU
- 400 MHz CPU-clock

Memory

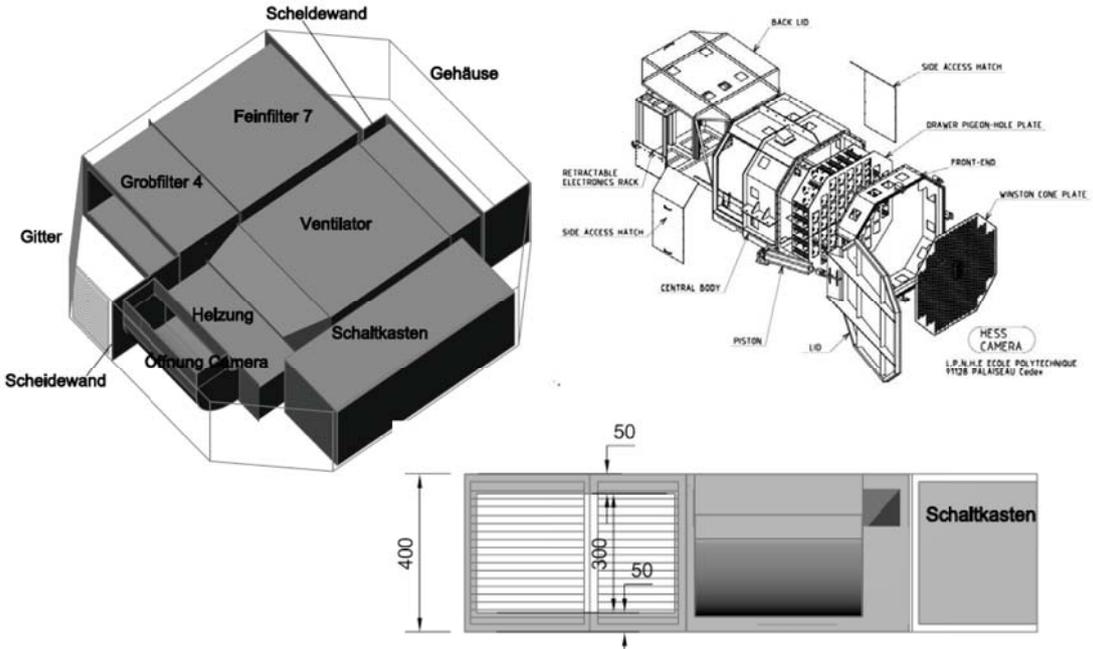
- Max. 256 MByte DDRAM
- Max. 512 MByte NAND-Flash

Interfaces

- 10/100 Ethernet MAC
- 3 x USB
- Up to 4 x RS-232
- MicroSD-Card Slot
- 2 x SSC
- 2 x SPI
- 2 x I2C
- **External SRAM interface**



Klimabox



SeRiVAS

Test- und Steuerungssoftware für VMEbus-Module

Sebastian Richter
SEI Tagung
Geesthacht, 10.03.2014



Überblick

- > Allgemeine Informationen
- > Anforderungen
- > GUI
 - Shortcuts
 - V1495-FPGA Upgrade
- > Fehlerbehandlung
- > Versionsübersicht



Allgemeine Informationen

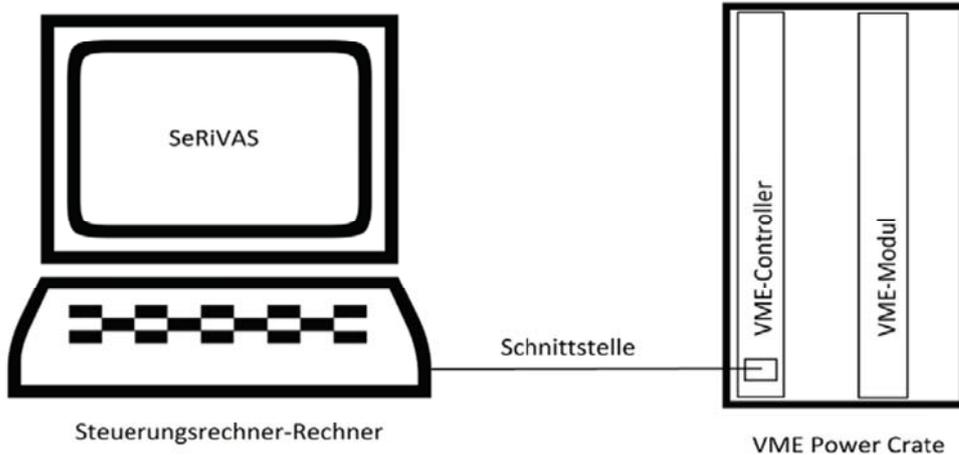
- > QT basiertes Tool mit graphischer Benutzeroberfläche zum Erstellen und Ausführen von Zugriffssequenzen auf VME-Module
- > Beliebige Schreib- oder Lesevorgänge auf Register der Module
 - Address modifier, DW, Address, Daten
- > Firmwareupgrade für FPGA V1495 durchführbar
- > Kommunikation via USB-Schnittstelle (VM USB-VME Controller) oder durch optisches Interface (PCI-Karte und V2718 Controller)

- > Dokumentation
 - Manual
 - Hilfe innerhalb der Software

- > Software Update



Anforderungen



Steuerungsrechner
 Linux (Kernel 2.4, 2.6, 3.1):
 Scientific Linux Cern, Ubuntu
 OS X: Snow Leopard (10.6.x), Lion (10.7.x)
 Windows: Windows XP, Windows Vista

Libraries und Treiber
 USB Libraries
 QT Libraries
 CAEN Treiber

Hardware Interface
 USB 2.0 Controller
 PCI-Karte, Optical Controller



VME-Hardware



Wiener & Plein VM USB-VME Controller



V1718 VME-USB2.0 Bridge (nicht getestet)



A2818 PCI CONET Controller (32 bit 33 MHz PCI-Karte)



V2718 VME-PCI Optical Link Bridge

Sebastian Richter | Sei Tagung | 10.03.2014 | Seite 5



GUI

- ① **Hauptmenü:**
 - Standardfunktionen, Laden und Speichern von Sequenzen
 - Konfigurieren von Shortcuts
- ② **Beschreibung und Hilfe:**
 - Kommentarfeld
 - Hilfe und Dokumentation
- ③ **Einstellungen:**
 - Steuerung der Geschwindigkeit durch Pausen
 - Änderung des Interfaces
 - Weitere Anpassungen
- ④ **Steuerung:**
 - Starten, Pausieren, Beenden und Bearbeiten von Sequenzen
- ⑤ **VME-Sequenz:**
 - Darstellung mehrerer Schreib- oder Lesebefehle als Liste
- ⑥ **Statusinformationen:**
 - Warnungen und Fehlermeldungen

The screenshot shows the SeRiVAS GUI with the following elements:

- 1** Menu bar: File, Window, Configuration, V1495 Upgrade, ?
- 2** Description field with a Help button.
- 3** Configuration panel with fields for 'Pause after loop' (1000), 'Pause after sequence' (1000), 'Pause after change' (500), and 'Loops' (2). It also has checkboxes for 'Highlight', 'Alert', 'Log file', 'Inc. data after seq.', and 'Inc. addr. after seq.'. On the right, there are radio buttons for 'USB-VME (Wiener)', 'V1718 USB-VME (CAEN)', and 'V2718 PCI-VME (CAEN)', along with 'Auto reset', 'Decimal data', 'Auto scroll', and 'Data R/W' options. 'Link' and 'Board' are set to 0.
- 4** Action buttons: Start, Pause, Stop, Add, Insert, Delete, Backup, Reset, and navigation arrows (Up, Down).
- 5** Sequence table with columns: Num, On, Loops, Address, Offset, Inc, AM, DW, Op, Data, Inc, Comment. The table contains 10 rows of data.
- 6** Status area at the bottom with 'Sequence info' (Loops (Sequence): 2/2, Loops (Line num: 2): 1/1) and 'Communication error' messages for sequence loops 1 and 2.

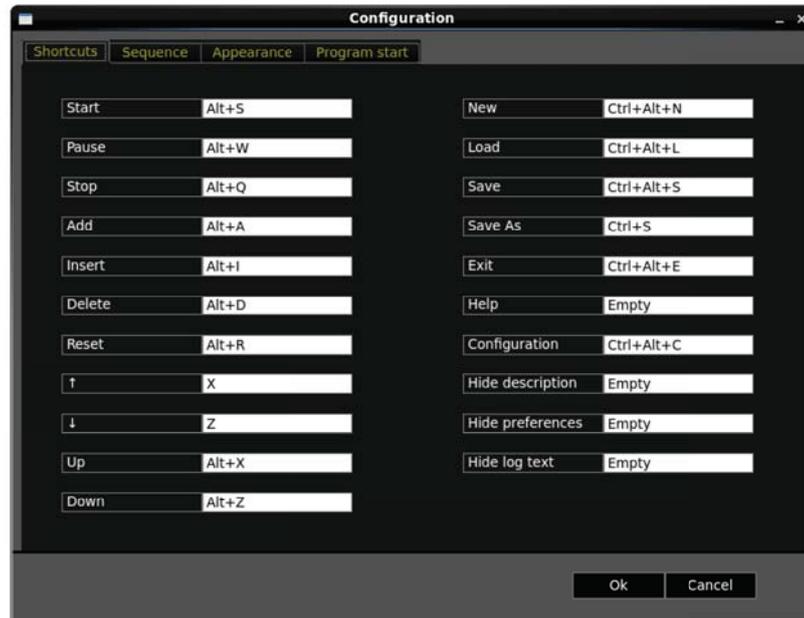
Sebastian Richter | Sei Tagung | 10.03.2014 | Seite 6



Shortcuts

> Hot-Key-Dialog:

- Festlegung von Shortcuts für die meisten Buttons

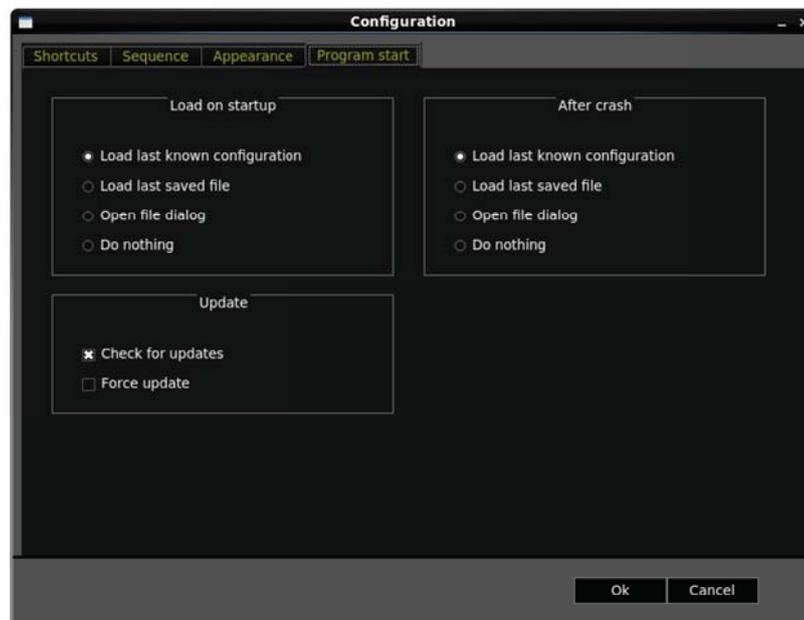


Sebastian Richter | Sei Tagung | 10.03.2014 | Seite 7



> Programmstart:

- Aktionen beim Start
- Aktionen bei Absturz
- Überprüfen nach Updates



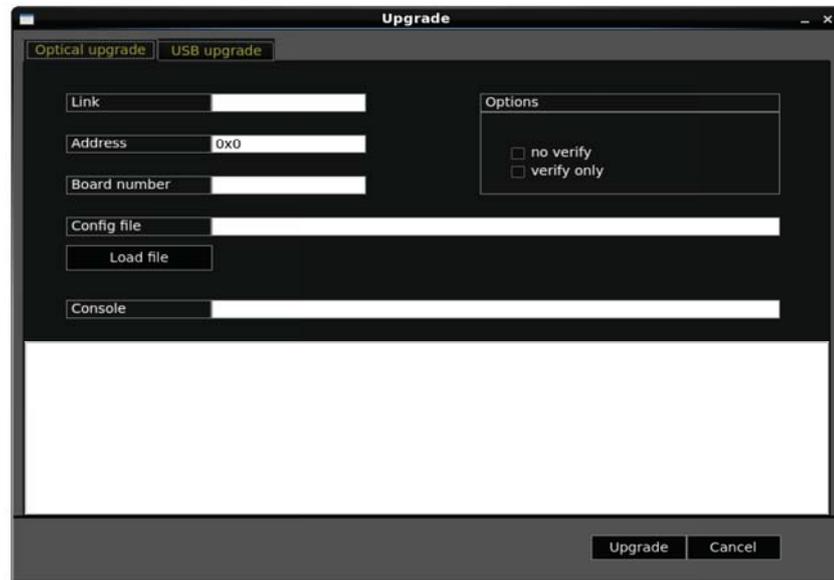
Sebastian Richter | Sei Tagung | 10.03.2014 | Seite 8



V1495-Upgrade

> Upgrade-Dialog:

- Link: Festlegung der PCI-Karte
- Address: FPGA-Adresse
- Config-File: rbf-Datei
- No Verify/Verify only: Nach Schreiben nicht überprüfen



Fehlerbehandlung

- > Warnungen => Anzeige von Warnhinweise
- > Allgemeine Fehler => Abbruch der Sequenz
 - Fehlerhafte Eingaben
 - Ungenügende Schreibrechte
- > VME-spezifische Fehler (nur mit optischem Controller erkennbar)
 - Communication Error – Kommunikation mit optischen Controller schlägt fehl
 - VME bus error – Modul kann Anfrage nicht verarbeitet (bspw. Adresse falsch)
 - Invalid parameter error – Parameter wie Address modifier sind falsch
 - Unspecific error, unknown error



Versionsüberblick

	Linux (Kernel 2.4, 2.6, 3.1)	OS X (10.6, 10.7)	Windows XP und Vista
VM-USB VME Controller	x	x	x**
V1718 VME-USB2.0 Bridge	x*	x*	x*
V2718 VME-PCI Optical Link Bridge	x		x*
Dokumentation	x	x	x
Autom. Updates	x	x	

*nicht (ausreichend) getestet

**keine aktuelle Version



Vielen Dank für Ihre Aufmerksamkeit!

FRAGEN???





QFN Rework

Der Flaschenhals im Produktionsablauf

by
Franz Leitenstern
Martin GmbH

SEI Tagung 2014- Martin GmbH

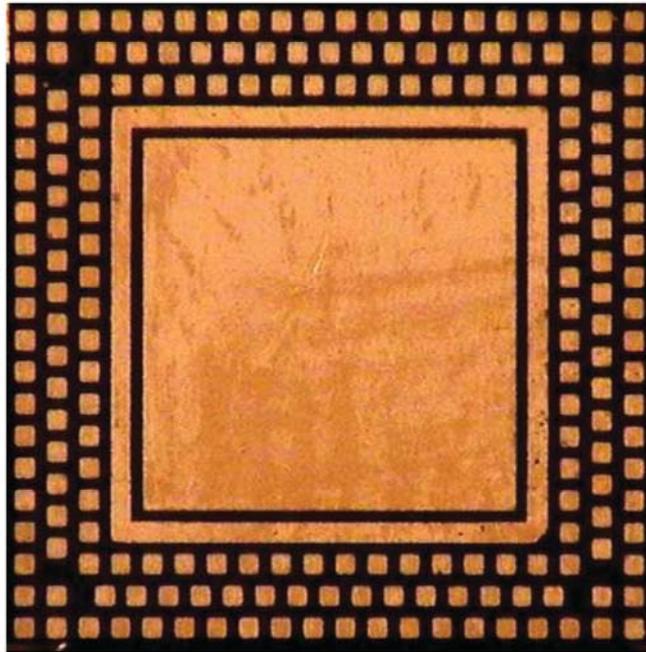
Agenda

- **Outline shape of lead less components**
- **Rework Process of Leadless Components**

Outline shape of lead less components

1. Rework Challenges:

- **MLP/QFN**
Micro Lead frame package
Quad flat package no lead
- **SO / TSSOP**
Small Outline
Thin shrink small outline package
- **LGA**
Land grid array
- **DFN**
Dual flat no lead
- **LED**
Light-Emitting-Diode
- **Fusion Quad**
- **Small Passives**



11.03.2014

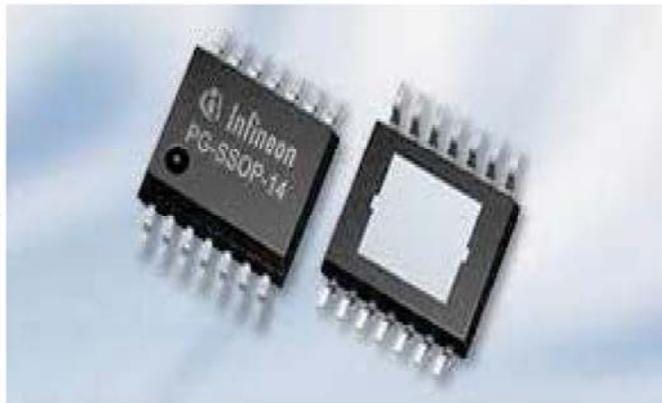
SEI Tagung 2014 - Martin GmbH

Sheet 3

Outline shape of lead less components

1. Rework Challenges :

- **MLP/QFN**
Micro Lead frame package
Quad flat package no lead
- **SO / TSSOP**
Small Outline
Thin shrink small outline package
- **LGA**
Land grid array
- **DFN**
Dual flat no lead
- **LED**
Light-Emitting-Diode
- **Fusion Quad**
- **Small Passives**



11.03.2014

SEI Tagung 2014 - Martin GmbH

Sheet 4

Outline shape of lead less components

1. Rework Challenges :

- MLP/QFN
Micro Lead frame package
Quad flat package no lead
- SO / TSSOP
Small Outline
Thin shrink small outline package
- LGA
Land grid array
- DFN
Dual flat no lead
- LED
Light-Emitting-Diode
- Fusion Quad
- Small Passives



Outline shape of lead less components

1. Rework Challenges :

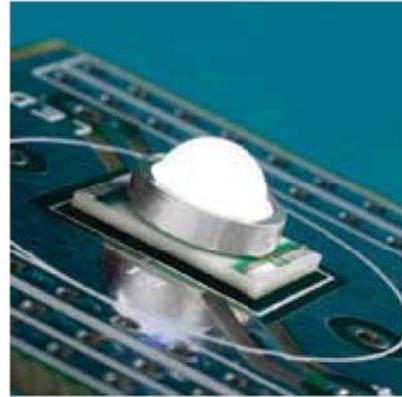
- MLP/QFN
Micro Lead frame package
Quad flat package no lead
- SO / TSSOP
Small Outline
Thin shrink small outline package
- LGA
Land grid array
- DFN
Dual flat no lead
- LED
Light-Emitting-Diode
- Fusion Quad
- Small Passives



Outline shape of lead less components

1. Rework Challenges :

- MLP/QFN
Micro Lead frame package
Quad flat package no lead
- SO / TSSOP
Small Outline
Thin shrink small outline package
- LGA
Land grid array
- DFN
Dual flat no lead
- LED
Light-Emitting-Diode
- Fusion Quad
- Small Passives



Outline shape of lead less components

1. Rework Challenges :

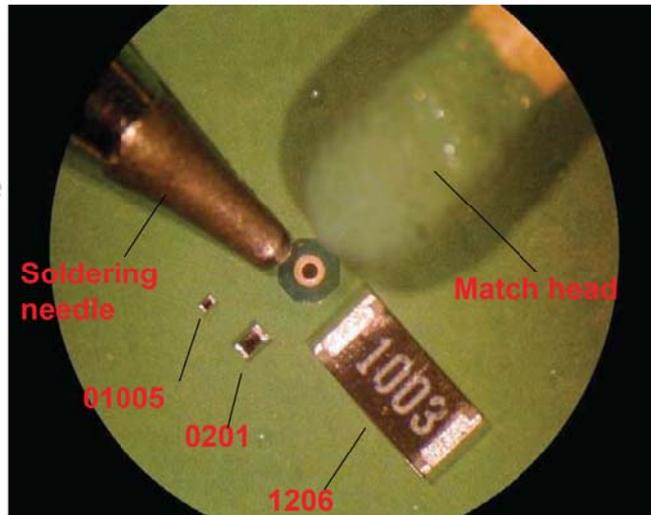
- MLP/QFN
Micro Lead frame package
Quad flat package no lead
- SO / TSSOP
Small Outline
Thin shrink small outline package
- LGA
Land grid array
- DFN
Dual flat no lead
- LED
Light-Emitting-Diode
- Fusion Quad
- Small Passives



Outline shape of lead less components

1. Rework Challenges :

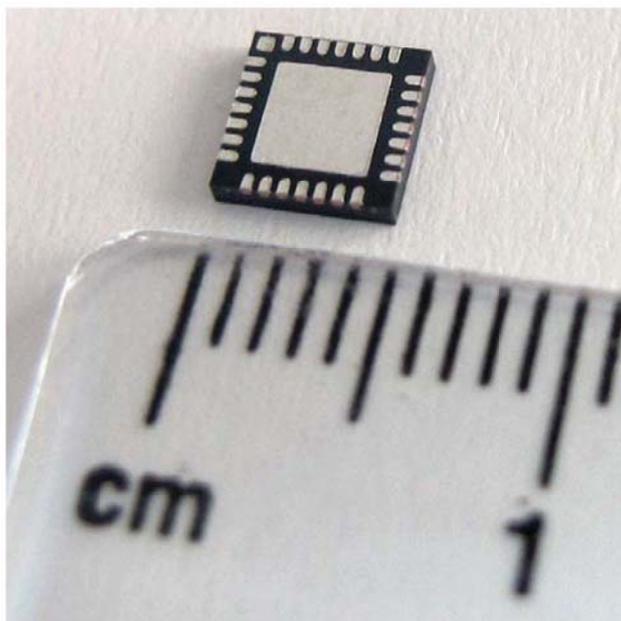
- MLP/QFN
Micro Lead frame package
Quad flat package no lead
- SO / TSSOP
Small Outline
Thin shrink small outline package
- LGA
Land grid array
- DFN
Dual flat no lead
- LED
Light-Emitting-Diode
- Fusion Quad
- **Small Passives**



Outline shape of lead less components

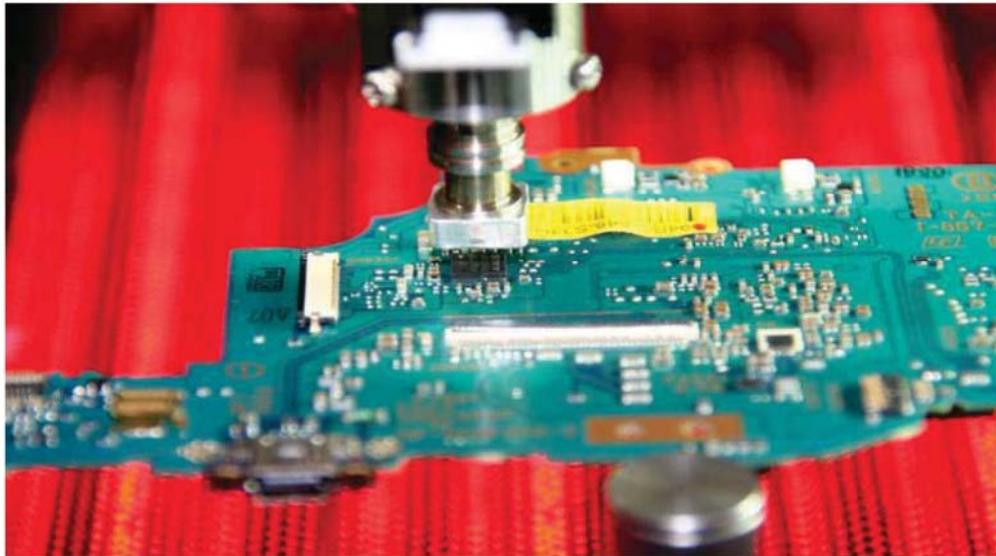
Advantages of QFN components?

- **Space-saving**
- **Robust**
- **Good head dissipation**
- **Large numbers of contact pads**
- **Suitable for power electronics**



QFN Rework / Processes

Desoldering of Components



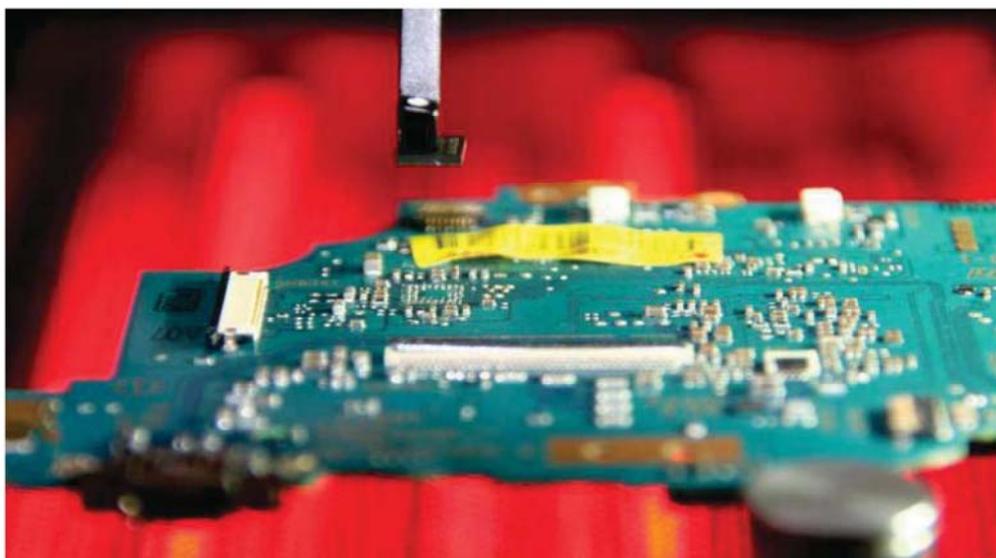
11.03.2014

SEI Tagung 2014 - Martin GmbH

Sheet 11

QFN Rework / Processes

Pick up of Components

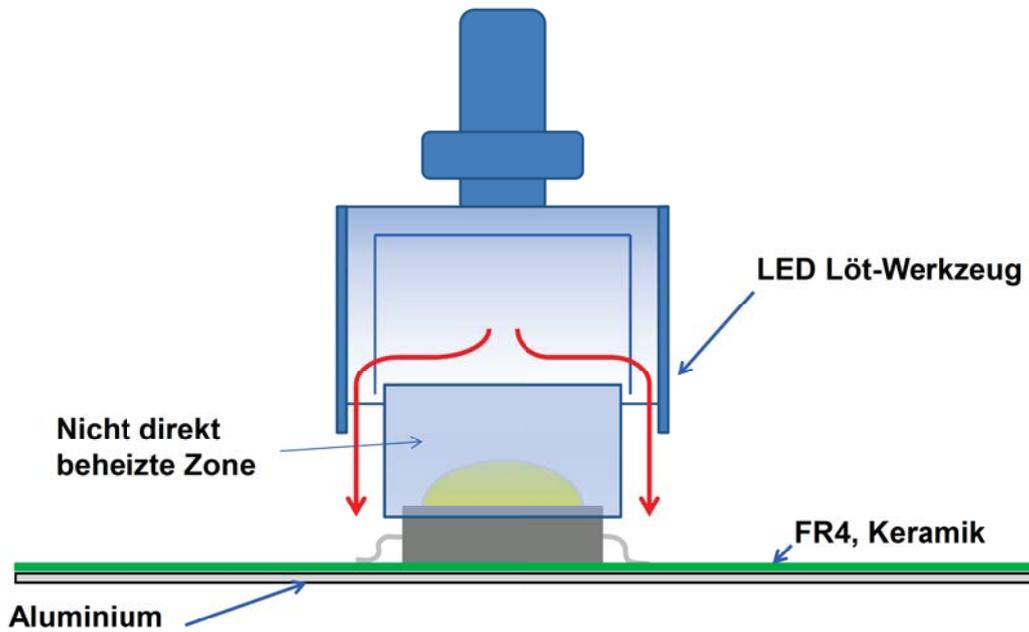


11.03.2014

SEI Tagung 2014 - Martin GmbH

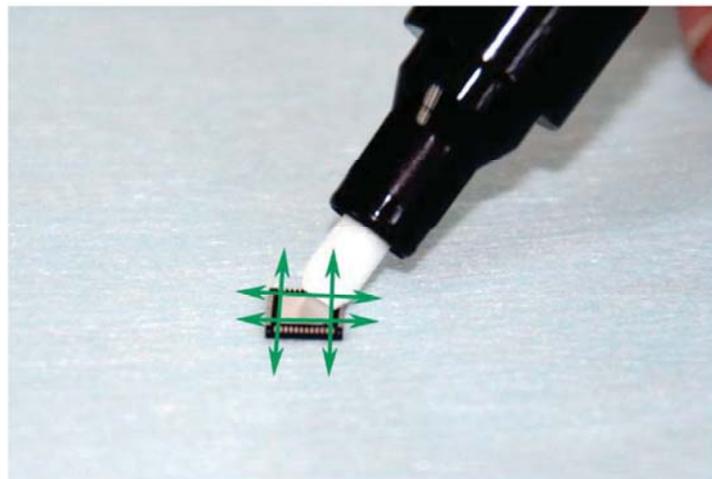
Sheet 12

QFN Rework / Processes



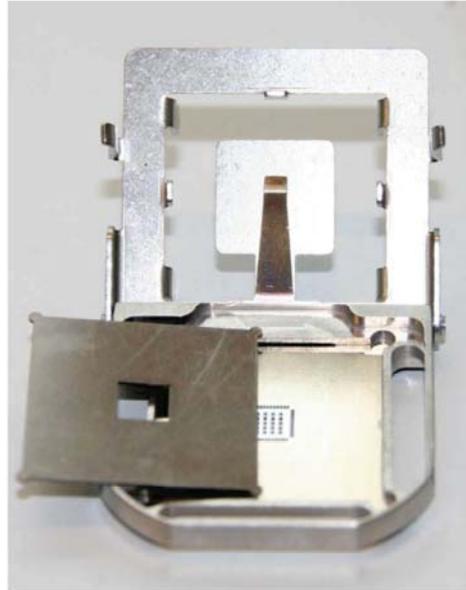
QFN Rework / Processes

1. Apply Flux to clean contact pads and avoid oxidation.



QFN Rework / Processes

2. Place the dedicated mask and belonging frame into the Prebumping fixture and place the component face down into the frame.



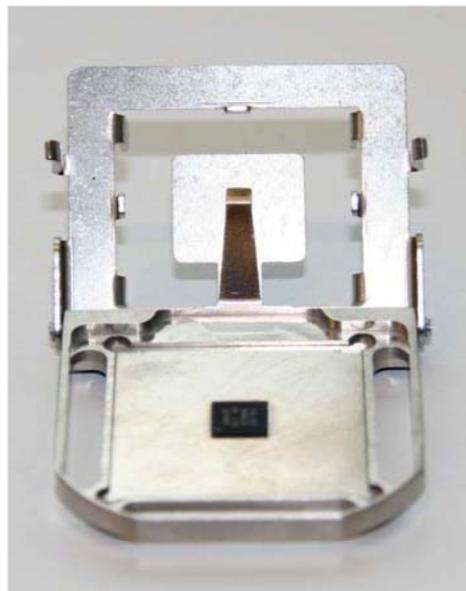
11.03.2014

SEI Tagung 2014 - Martin GmbH

Sheet 15

QFN Rework / Processes

3. Close fixture and turn around.



11.03.2014

SEI Tagung 2014 - Martin GmbH

Sheet 16

QFN Rework / Processes

4. Place the solder paste beside the apertures.



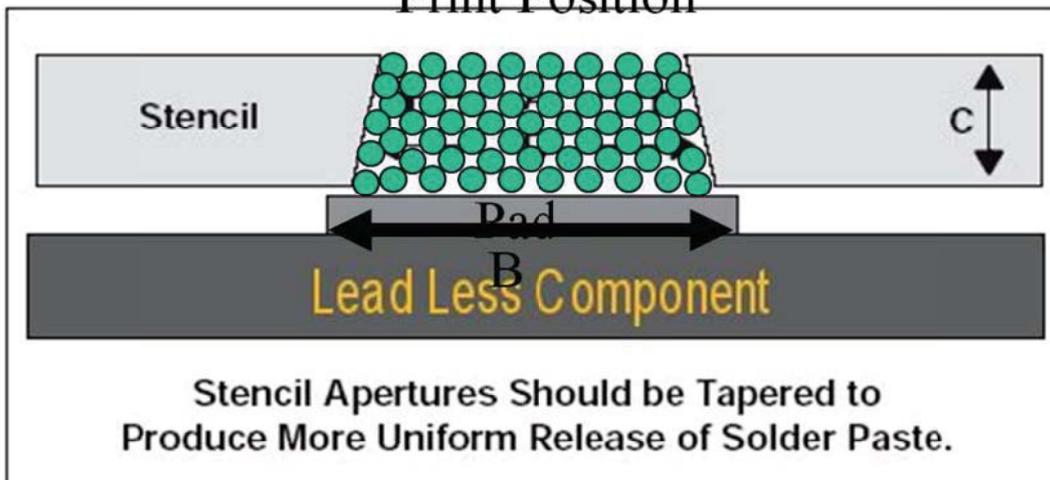
5. Print solder past with squeegee and remove residual solder past.



QFN Rework / Processes

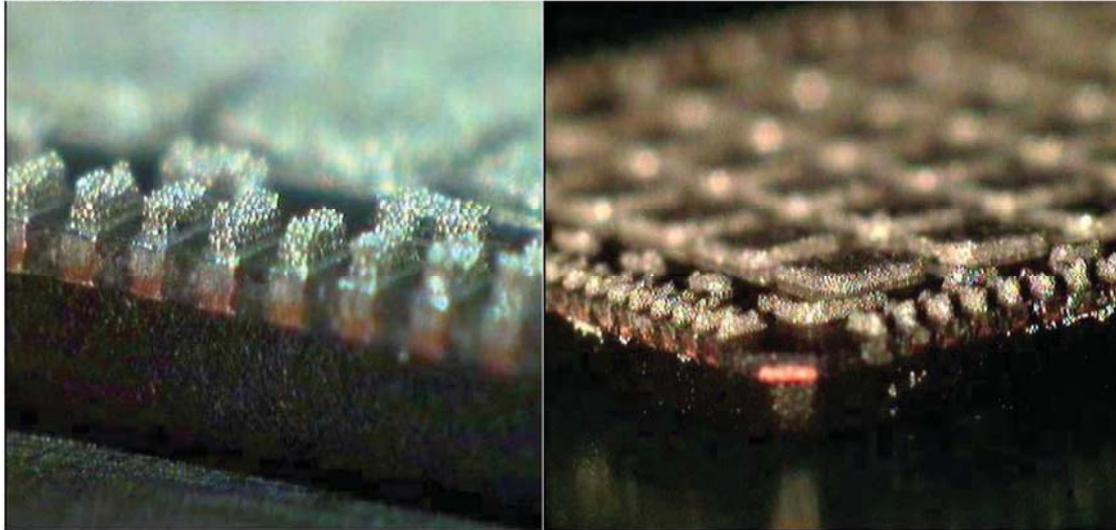
Printen

Print Position



QFN Rework / Processes

Printen



QFN Rework / Processes

**Too much solder past.
No air extraction canals**



**QFN mounted with too much solder
in center pad area**

Perfect solder past print

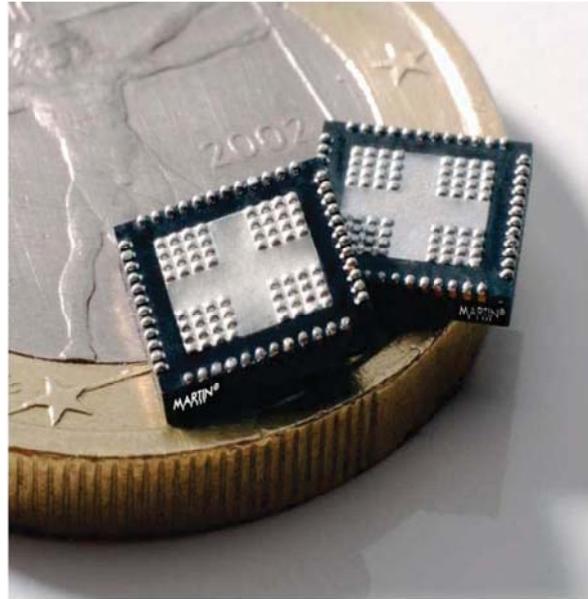


**QFN mounted with reduced solder
paste in center pad area**

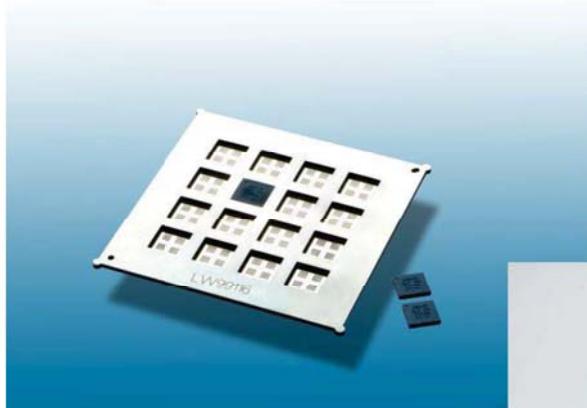
QFN Rework / Processes

Important Parameter for Solder paste printing.

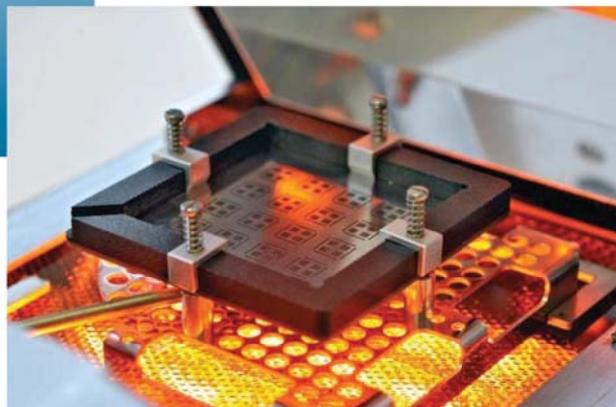
- Precise distribution of Solder paste on Heat Sinks.
- Reduction of apertures according data sheet.
- Appropriate use of solder past Type 4



QFN Rework / Processes



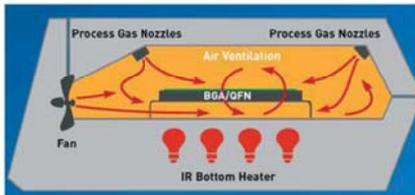
**Multi-Reballing-Mask
Up to 20 Components in one step**



QFN Rework / Equipment

MINIOVEN 04

- Standard masks
- Customized masks
- Nitrogen connection
- Reflow environment through convection
- Very low invest
- Masks and stencil from 1 x 1mm body size
- Multiprebumping und Reballing masks
- Solder past / solder balls (leadend und lead free)



11.03.2014

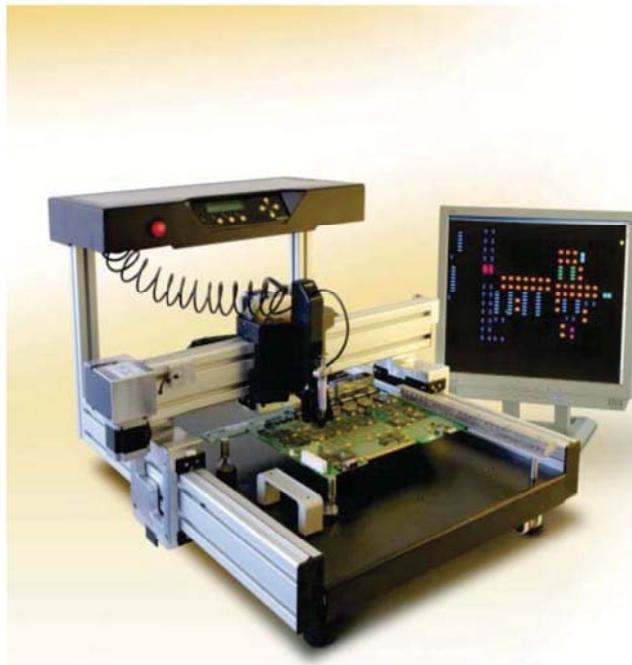
SEI Tagung 2014 - Martin GmbH

Sheet 23

QFN Rework / Processes

MARTIN

- Dotliner 06.5 / 06.6
- Clever Dispense 04 / 05



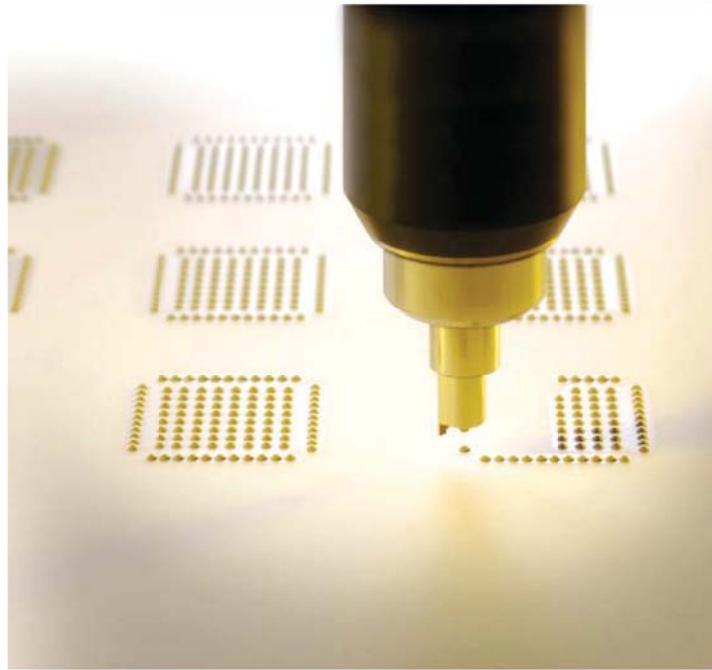
11.03.2014

SEI Tagung 2014 - Martin GmbH

Sheet 24

QFN Rework / Processes

- Dispense Solder past on PCB or transfer ceramic.
- Use Gerber files.
- Dispensing of Solder past type 6 fine pitch



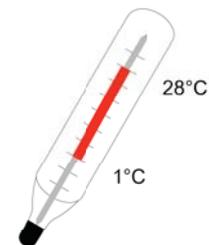
11.03.2014

SEI Tagung 2014 - Martin GmbH

Sheet 25

Dispatch

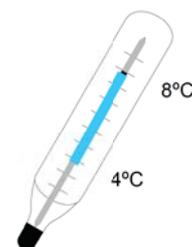
Solder pastes are generally sensitive to extremes of temperatures. We, therefore, send the paste, when there is frost in winter or at temperatures in excess of 28°C, in special thermal protection packing. This has the task of preventing the freezing or overheating of the paste, which could otherwise render it unusable.



Storage

The recommended method of storage to achieve a stable six months shelf life consists of arranging cartridges vertically, with the nozzle connections pointing down, in a refrigerator at temperatures between 4 and 8°C.

Use By Dates are printed on the cartridge labels. Out of date paste should no longer be used as acceptable dispensing or solder results cannot be guaranteed.



11.03.2014

SEI Tagung 2014 - Martin GmbH

Sheet 26

Preparation

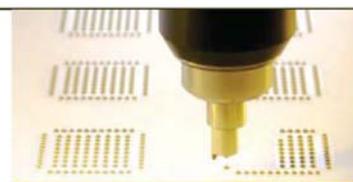
Solder paste should be allowed to attain room temperature slowly after removal from a fridge. This usually takes 2 to 3 hours. Attempts at dispensing when still too cold tend to contribute to increased incidents of blockages and an irregular dispense pattern. Before attaching a dispensing nozzle to the cartridge we suggest that a short bead of 2 – 3 cm is dispensed manually; this will tend to prevent blockages.



Use

The ideal temperature for dispensing is 26°C. Lower temperatures can cause 'stringing' and higher ones tend to increased blockages and/or flux separation.

When present, any Nozzle Heating of the Dispensing Head or Pen should be used.



**Test your Application by
Hands on with Martin Master 04.6**



Real-Time control on single atoms



Maria Bernard-Schwarz

Research Engineer / CCQED fellow

SEI Tagung Hamburg, 11.03.2014

ni.com

1



Introduction



QED CCQED (Circuit and Cavity Quantum Electrodynamics)

- 14 partners (3 industry/11 research) from 8 EU countries



Universität Innsbruck

Aarhus University

Laboratoire Kastler Brossel,
Commissariat à l'Énergie Atomique

University of Bonn, Menlo Systems,
National Instruments, Walther-Meißner-Institut,
Toptica Photonics, Max Planck Institut

Wigner Research Center

European Laboratory for Non-linear Spectroscopy

University of the Basque Country

ETH Zürich

ni.com

2



Content

(1) Atom-Cavity physics

- a) Schematic overview
- b) Closed control loop
- c) FPGA-based discrete feedback



(2) Real-Time control

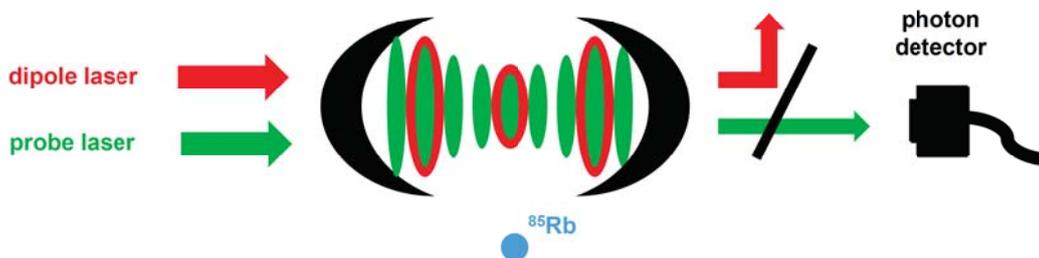
- a) PXI system
- b) User Interface
- c) Data points generation



(1) Atom-Cavity physics

Schematic overview

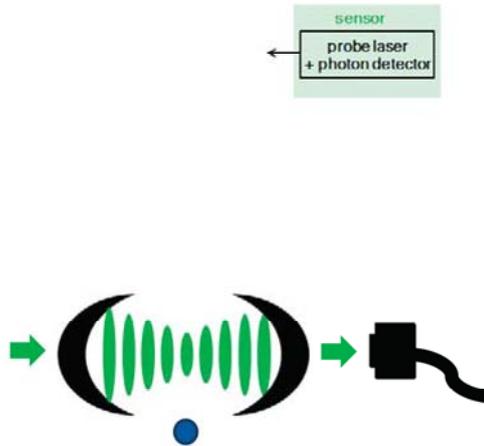
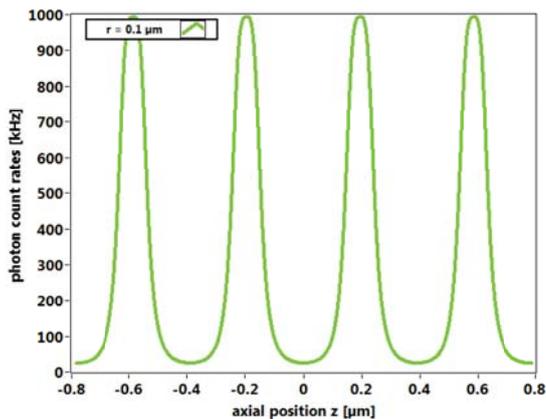
- Fundamental research towards Quantum Information Technology
- Goal: increase storage time



(1) Atom-Cavity physics

Closed Control Loop

- Sensor



ni.com

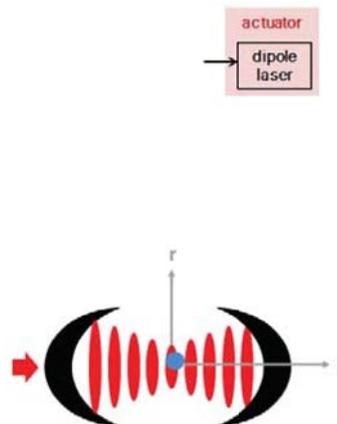
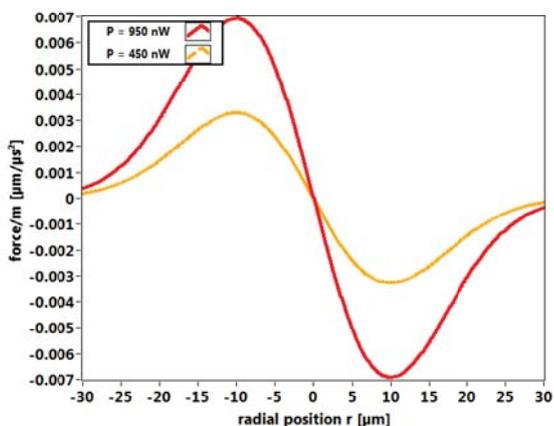
5



(1) Atom-Cavity physics

Closed Control Loop

- Actuator



ni.com

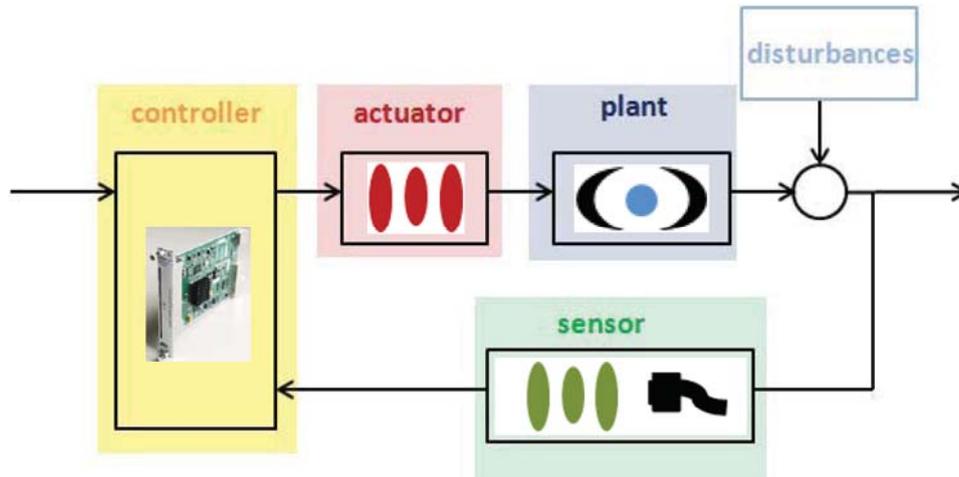
6



(1) Atom-Cavity physics

Classic closed control loop

- Summarized overview



ni.com

7



(1) Atom-Cavity physics

FPGA-based discrete feedback

- Specification
 - Recording arrival times of photon clicks
 - Changing trapping potential accordingly
 - DI sample rate = 1 GHz (1 ns)
 - Control bandwidth = 100 kHz (10 μ s)
- Hardware
 - Virtex-5 LX110 FPGA
- Software
 - Adding ISEREDES using CLIP within LabVIEW FPGA
 - 1 Gbit/s \rightarrow 8x125 Mbit/s



NI 7954R
(FlexRIO)



NI 6581
(FEM)

ni.com

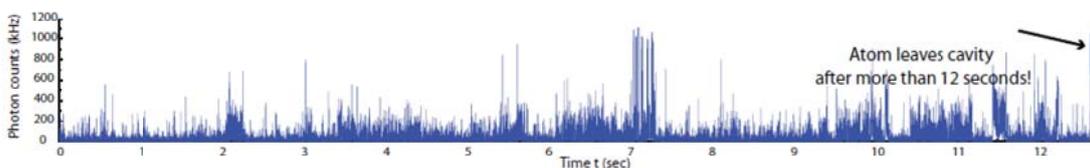
8



(1) Atom-Cavity physics

FPGA-based discrete feedback

- Average storage time ~1s (max. ~17s)
- Active Cooling of the atom
M. Koch et al., "Feedback Cooling of a Single Neutral Atom", PRL 105, 173003 (2010)
- Feedback at work:

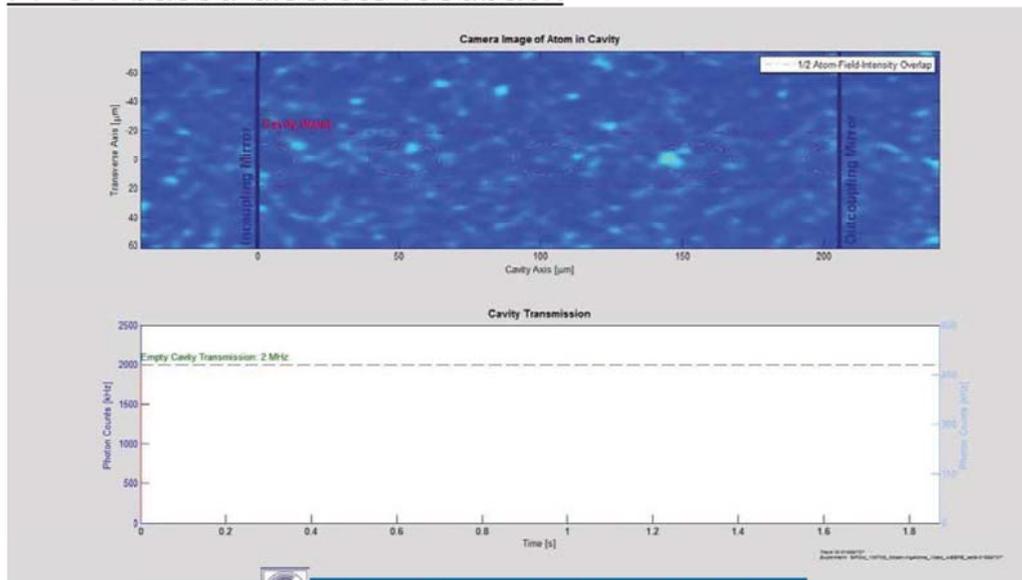


Contribution: C. Sames et.al. (MPQ)



(1) Atom-Cavity physics

FPGA-based discrete feedback



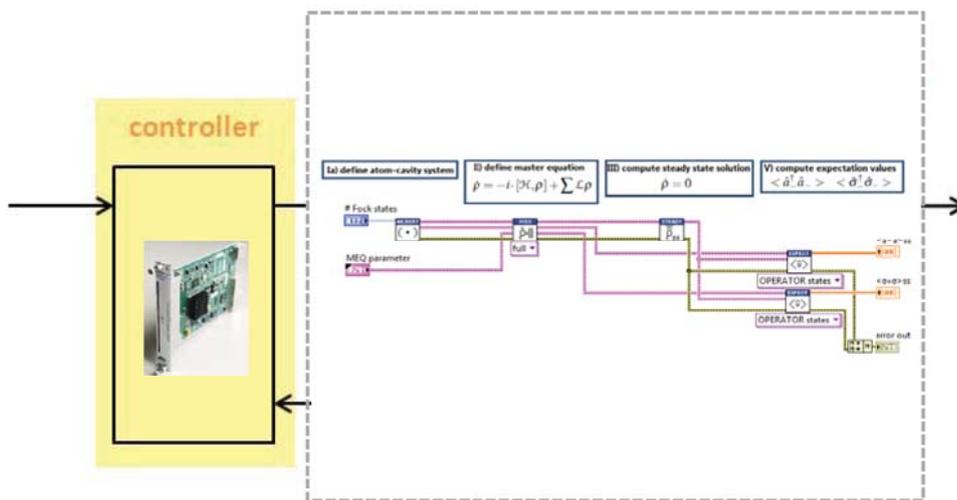
Contribution: C. Hamsen & A.C. Eckl et.al. (MPQ)



(1) Atom-Cavity physics

Classic closed control loop

- LabVIEW Quantum Optics Toolkit



<https://decibel.ni.com/content/docs/DOC-30311>

(2) Real-Time control

PXI system

- Overview



Development Tool

LabVIEW

LabVIEW Real Time

LabVIEW FPGA

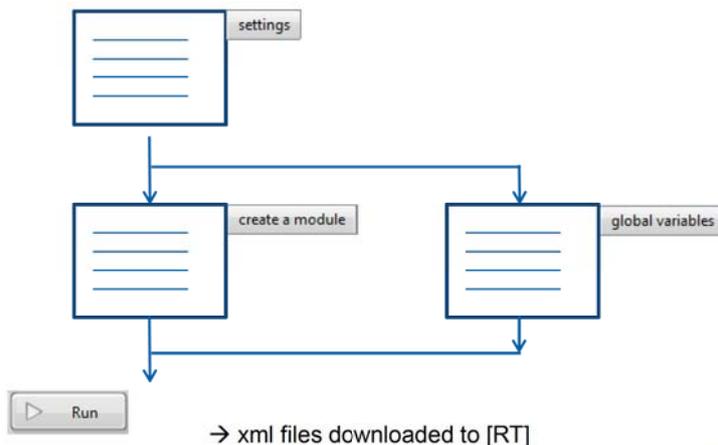
(2) Real-Time control

[host]



User Interface

- User-defined configuration of channels and measurement sequence
- Text-based interface for defining arbitrary waveforms and parameter scans



ni.com

13

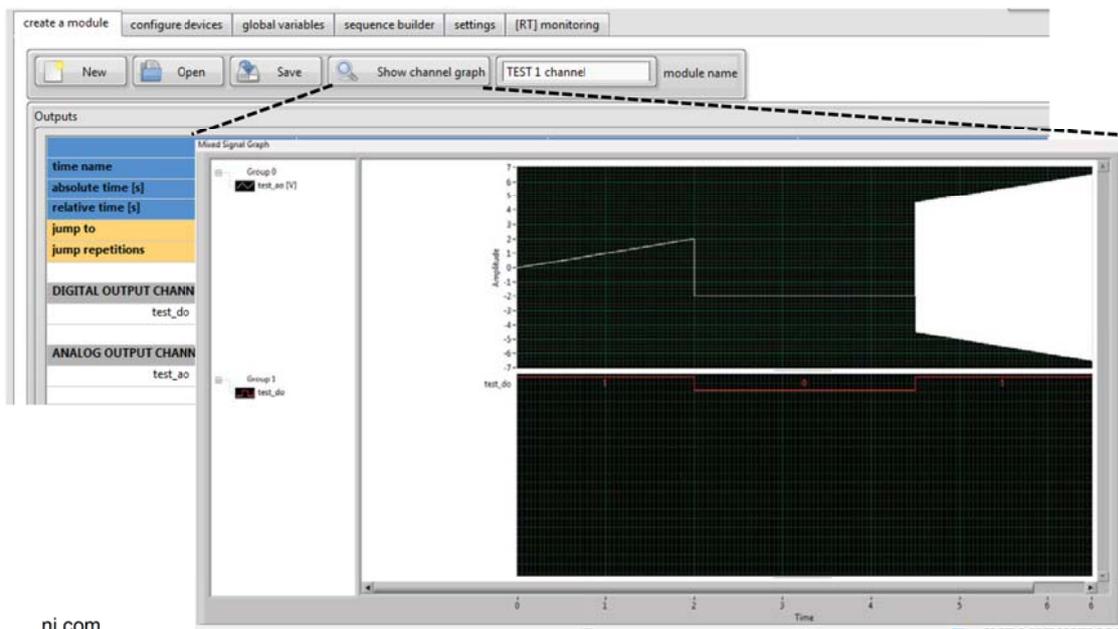


(2) Real-Time control

[host]



User Interface



ni.com

(2) Real-Time control

[RT]



Data points generation

- Data relationship

[host]

User Interface

[RT]

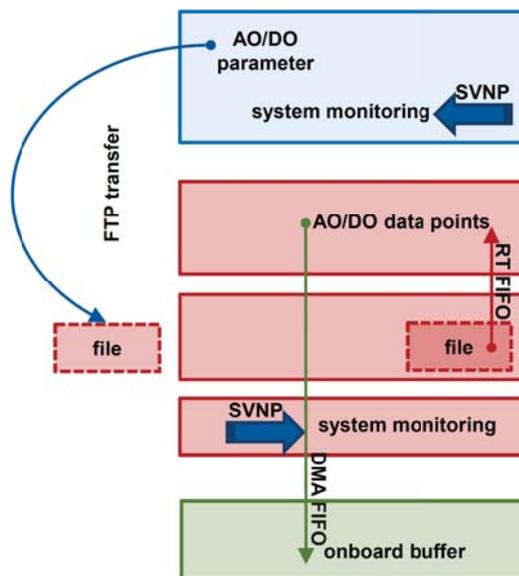
Time Critical Loop (Control Loop)

Non-Time Critical Loop

System Monitoring Loop

[FPGA]

FPGA Loop



ni.com

15



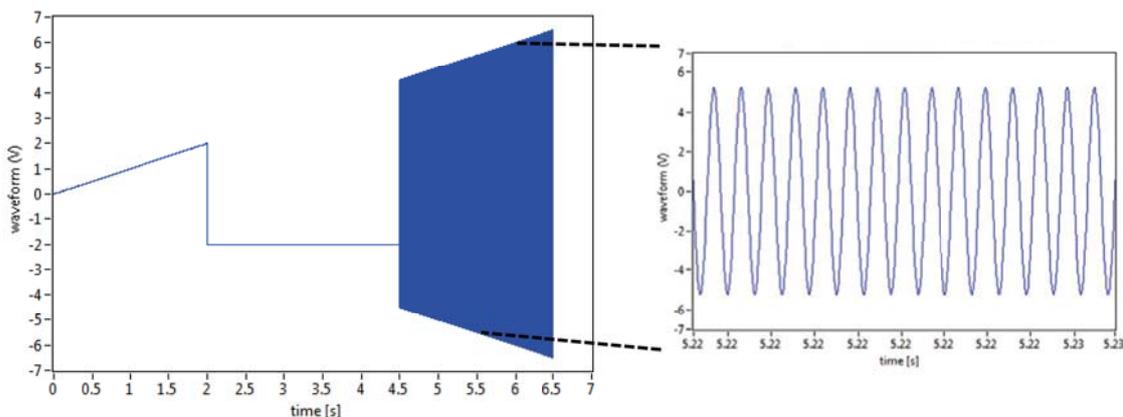
(2) Real-Time control

[RT]



Data points generation

- Control loop rate = 2 kHz (500 μ s)
- 1xAO with 1 MS/s, 8xAO with 500 kS/s, 5xDO with 1 MHz



ni.com

16



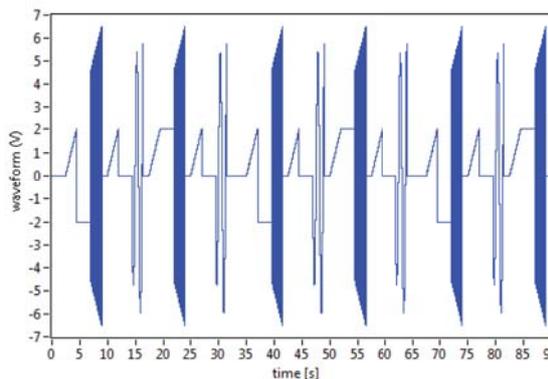
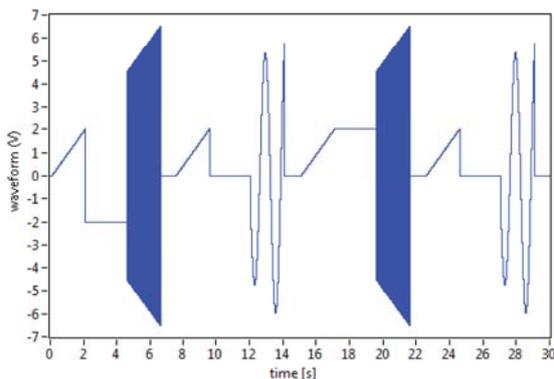
(2) Real-Time control

[RT]



Data points generation

- 1xAO with 1 MS/s, 8xAO with 500 kS/s, 5xDO with 1 MHz
- time_1: t time_2: test_the_array time_3: t*sin(f*t)
 with test_the_array = [-2,0,2,0], f=[10kHz, 5Hz, 10kHz, 5Hz]



ni.com

17

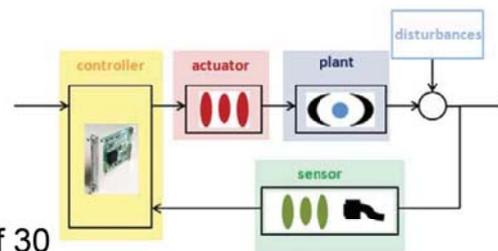


Conclusion

Summary

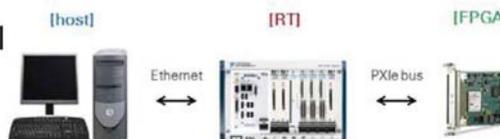
- High-speed FlexRIO FPGA application

- >> achieving 1ns resolution
- >> storage time increased by a factor of 30



- Real-Time control of quantum optics experiments

- >> dynamic configuration of I/O control
- >> synchronization of existing drivers with FPGA functionalities



ni.com

18



Acknowledgement

National Instruments (M. Dams)

J. Klier, R&D Scientific Computing, AE & AE Specialist Munich

MPQ (G. Rempe)

T. Wilk, C. Hamsen, C. Sames, H. Chibani, P. Altin, A.C. Eckl, I. Tietje

Universität Bonn (D. Meschede)

L. Ratschbacher, M. Martinez-Dorantes, J. Gallego, S. Ghosh

TU Wien

M. Gröschl

CCQED/FP7 ITN



ni.com

19



ni.com

IBIS-Modelle in SPICE-Umgebungen

– Simulation von Transienten für digitale Schaltungen –

Wolfram Sorge

11. März 2014

DRESDEN
concept



HZDR
HELMHOLTZ
ZENTRUM DRESDEN
ROSSENDORF

Mitglied der Helmholtz-Gemeinschaft

Dr.-Ing. Wolfram Sorge | HZDR - Zentralabteilung Forschungstechnik | <http://www.hzdr.de>

Themen

- 1 Einführung
- 2 Programmieren in SPICE
- 3 Schaltvorgänge
- 4 Simulation transienter Signale
- 5 Vergleich von SPICE- und IBIS-Modellen
- 6 Zusammenfassung

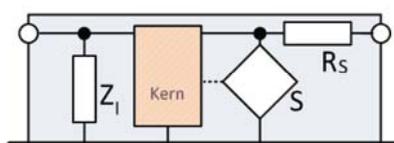
HZDR
Forschungstechnik

Einführung

IBIS und SPICE



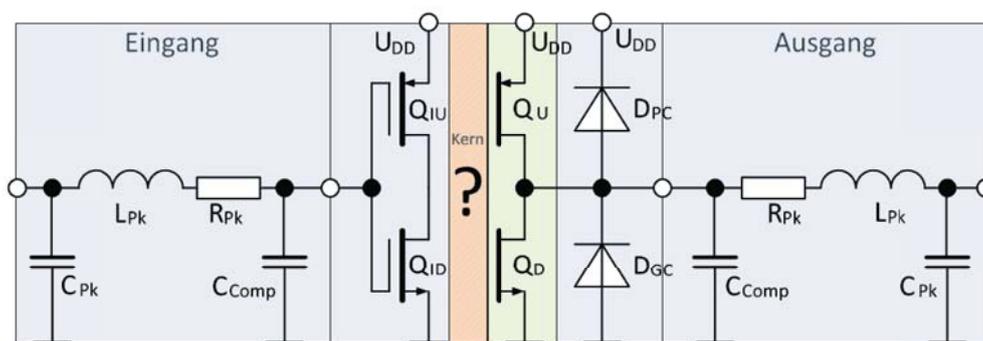
- IBIS:**
- Simulation von Schnittstellen
 - Viele digitale Schaltkreise sind nur in IBIS modelliert.
 - Zumeist professionelle Simulatoren



- SPICE:**
- Simulation des gesamten Schaltkreis' üblich
 - Freie Simulatoren verbreitet, z. B. LTspice

Einführung

Schaltkreismodell aus IBIS-Daten



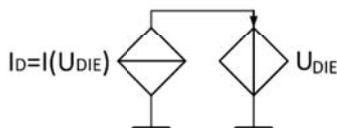
- Eingang:**
- Bildet die Last für vorgeschaltete Stufen
 - Sagt nichts aus zum Schaltverhalten!
- Kern:** Schaltlogik in (elektrischen) Einzelheiten unbekannt
- Treiber:** Bildet treibende Transistoren statisch und dynamisch nach
- Ausgang:** Einflüsse der Anschlüsse

Programmieren in SPICE

Übertragen des IBIS-Modells

```
[Pulldown]
| voltage      I (typ)      I (min)      I (max)      |
|
-5.500E+00    -3.747E+00    -3.779E+00    -3.921E+00
-5.250E+00    -3.499E+00    -3.521E+00    -3.670E+00
-5.000E+00    -3.248E+00    -3.263E+00    -3.418E+00
-4.750E+00    -2.996E+00    -3.006E+00    -3.167E+00
-4.500E+00    -2.740E+00    -2.749E+00    -2.913E+00
-4.250E+00    -2.485E+00    -2.491E+00    -2.658E+00
-4.000E+00    -2.234E+00    -2.099E+00    -2.402E+00
-3.750E+00    -1.984E+00    -1.852E+00    -2.149E+00
-3.500E+00    -1.735E+00    -1.607E+00    -1.897E+00
-3.250E+00    -1.488E+00    -1.363E+00    -1.645E+00
-3.000E+00    -1.243E+00    -1.122E+00    -1.395E+00
-2.750E+00    -1.001E+00    -886.387E-03  -1.147E+00
-2.500E+00    -765.725E-03  -662.732E-03  -903.596E-03
-2.250E+00    -550.375E-03  -400.675E-03  -660.220E-03

*
.SUBCKT Pulldown DR SC
GPulldown DR SC DR SC TABLE=
+ -5.500E+00    -3.747E+00
+ -5.250E+00    -3.499E+00
+ -5.000E+00    -3.248E+00
+ -4.750E+00    -2.996E+00
+ -4.500E+00    -2.740E+00
+ -4.250E+00    -2.485E+00
+ -4.000E+00    -2.234E+00
+ -3.750E+00    -1.984E+00
+ -3.500E+00    -1.735E+00
+ -3.250E+00    -1.488E+00
+ -3.000E+00    -1.243E+00
+ -2.750E+00    -1.001E+00
+ -2.500E+00    -765.725E-03
+ -2.250E+00    -550.375E-03
```



- Tabellen $I(U)$ und $U(t)$ von IBIS nach SPICE kopieren:

$I(U)$: Gesteuerte Stromquelle modelliert Element statisch

$U(t)$: PWL-Quelle modelliert Schaltverhalten

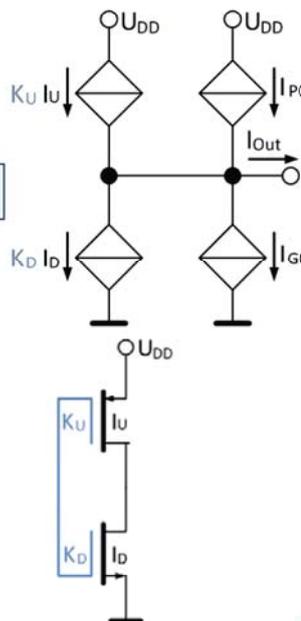


Schaltvorgänge

Ausgangsstromgleichung des Treibers

Knotengleichung [GLS99]:

$$I_{out} = K_U(t)I_U - K_D(t)I_D + I_{PC} - I_{GC}$$



Dynamisches Verhalten:

Die Koeffizienten $K(t)$ modellieren das Gate der Transistoren.

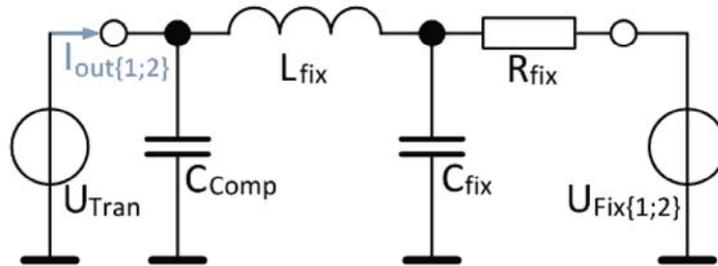
Aufgabe:

Berechnen von $K(t)$



Schaltvorgänge

Berechnung der Schaltkoeffizienten



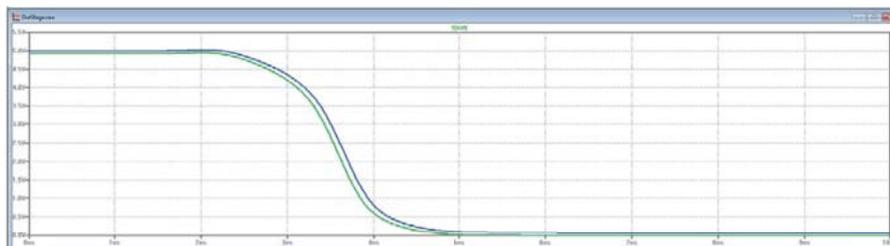
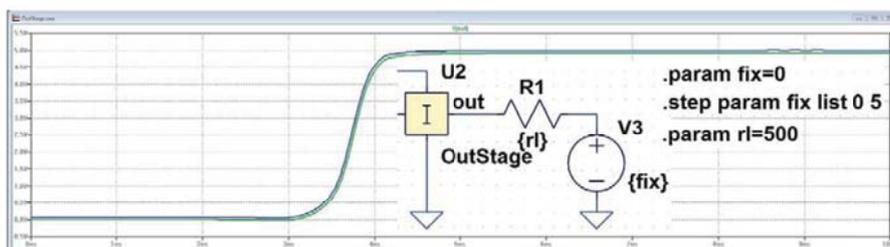
Gleichungssystem der dynamischen Koeffizienten:

$$K_U(t) = \frac{(I_{PC2} - I_{GC2} - I_{out2}(t))I_{D1} - (I_{PC1} - I_{GC1} - I_{out1}(t))I_{D2}}{I_{D2}I_{U1} - I_{D1}I_{U2}}$$

$$K_D(t) = \frac{(I_{PC2} - I_{GC2} - I_{out2}(t))I_{U1} - (I_{PC1} - I_{GC1} - I_{out1}(t))I_{U2}}{I_{D2}I_{U1} - I_{D1}I_{U2}}$$

Schaltvorgänge

Prüfen des Verhaltens

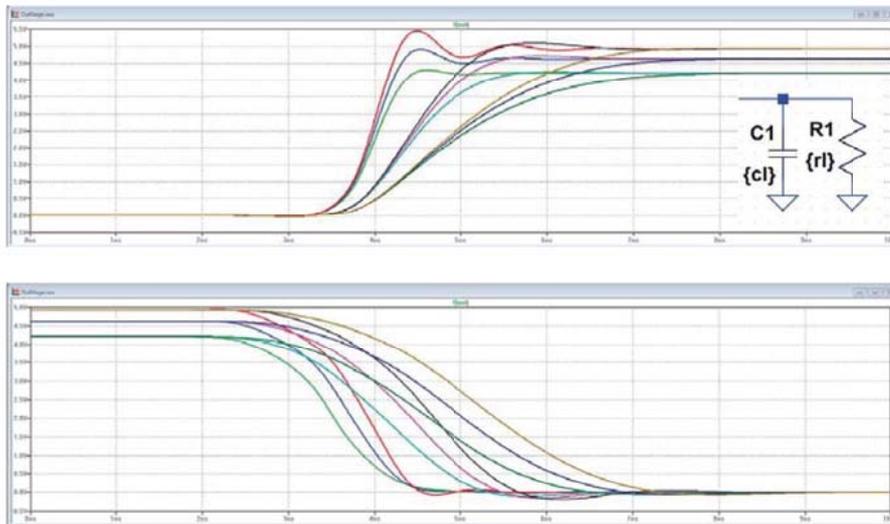


- „Fix“-Last → Ausgangssignal $\hat{=}$ IBIS-Sprungdefinition
- Enthält Einflüsse des Gehäuses

Schaltvorgänge

Verschiedene Lasten

2014-03-09 17:31



- Modell bereit für verschiedene Lastimpedanzen,
- besonders: abgeschlossene Leitungen

HZDR
Forschungstechnik

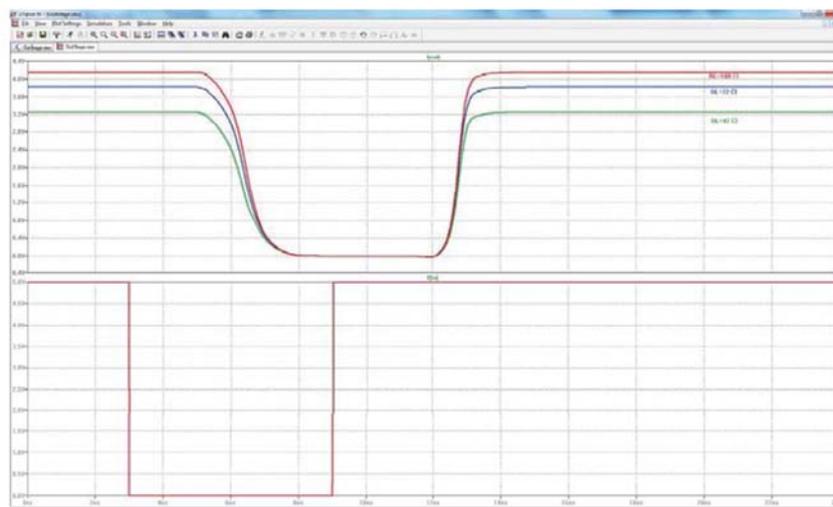
Seite 8/15

Mitglied der Helmholtz-Gemeinschaft
Dr.-Ing. Wolfram Sorge | HZDR - Zentralabteilung Forschungstechnik | <http://www.hzdr.de>

Simulation transienter Signale

Beispiel: Austastimpuls

2014-03-09 17:31



- Näherung: Ausgangssignal = \sum Sprungantworten & Gleichanteile
- Exakt ist diese Methode nur im **linearen** System!

HZDR
Forschungstechnik

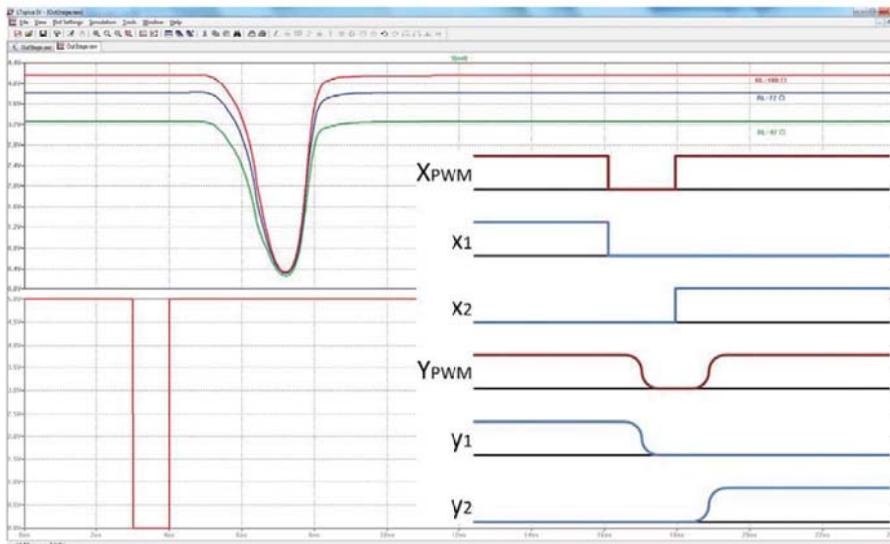
Seite 9/15

Mitglied der Helmholtz-Gemeinschaft
Dr.-Ing. Wolfram Sorge | HZDR - Zentralabteilung Forschungstechnik | <http://www.hzdr.de>

Simulation transienter Signale

Beispiel: Kurzer Impuls

2014-03-09 17:31



- Dauer des Schaltvorgangs zu ersehen
- Werte im Übergang nicht exakt!

HZDR
Forschungstechnik

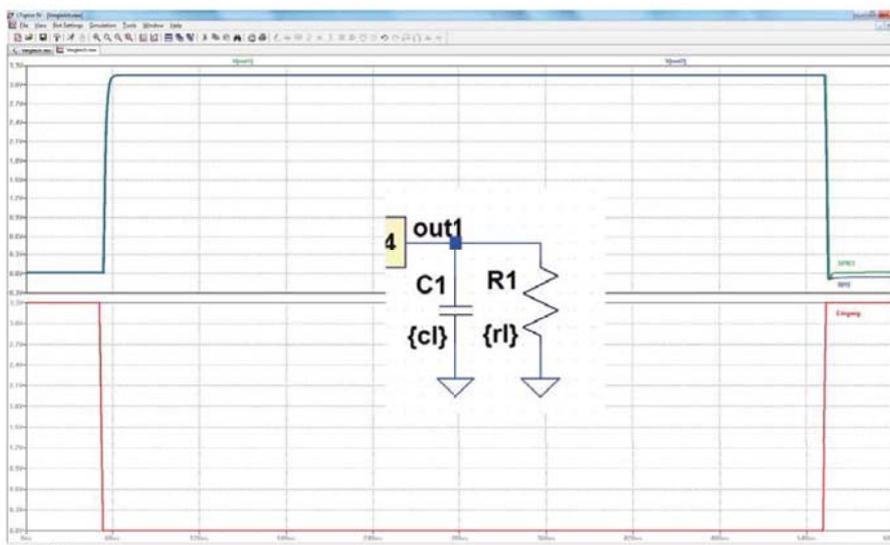
Seite 10/15

Mitglied der Helmholtz-Gemeinschaft
Dr.-Ing. Wolfram Sorge | HZDR - Zentralabteilung Forschungstechnik | <http://www.hzdr.de>

Vergleich von SPICE- und IBIS-Modellen

Beispiel: Schaltkreis 74LVT00 (NXP)

2014-03-09 17:31



Impulsdefinition laut Datenblatt:

$$R_L = 500 \Omega, C_L = 50 \text{ pF}, t_{off} = 500 \text{ ns}, t_r = t_f = 2,5 \text{ ns}$$

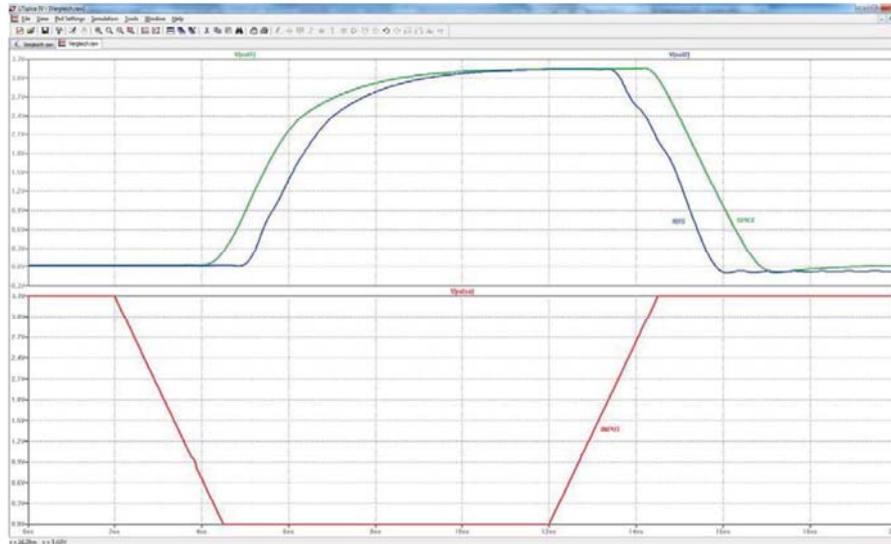
HZDR
Forschungstechnik

Seite 11/15

Mitglied der Helmholtz-Gemeinschaft
Dr.-Ing. Wolfram Sorge | HZDR - Zentralabteilung Forschungstechnik | <http://www.hzdr.de>

Vergleich von SPICE- und IBIS-Modellen

Beispiel: Schaltkreis 74LVT00 (NXP)



Ansicht mit feinerer Auflösung: Zeitabweichung < 1 ns.

Zusammenfassung

Aufwand: Bei fertigem SPICE-Musterquelltext mäßig

Nachteil: Übertragungszeiten werden nicht exakt simuliert.

Anwendung: Simulation von

- Schaltkreiskopplungen
- Leitungstreibern

Literatur

2014-03-09 17:31   

-  Ying Wang, Han Ngee Tan,
The development of analog SPICE behavioral model based on IBIS model,
Proceedings of the Ninth Great Lakes Symposium on VLSI, 1999
-  Ulf Hilger, Stephan Frei,
Modellierung von LIN-Transceivern für EMV-Simulationen im Kraftfahrzeug,
EMV - Internationale Fachmesse und Kongress für Elektromagnetische
Verträglichkeit, Düsseldorf 2008

2014-03-09 17:31   

Vielen Dank.

SEI Tagung 2014

Offshore Datenerfassung

Jan Bödewadt

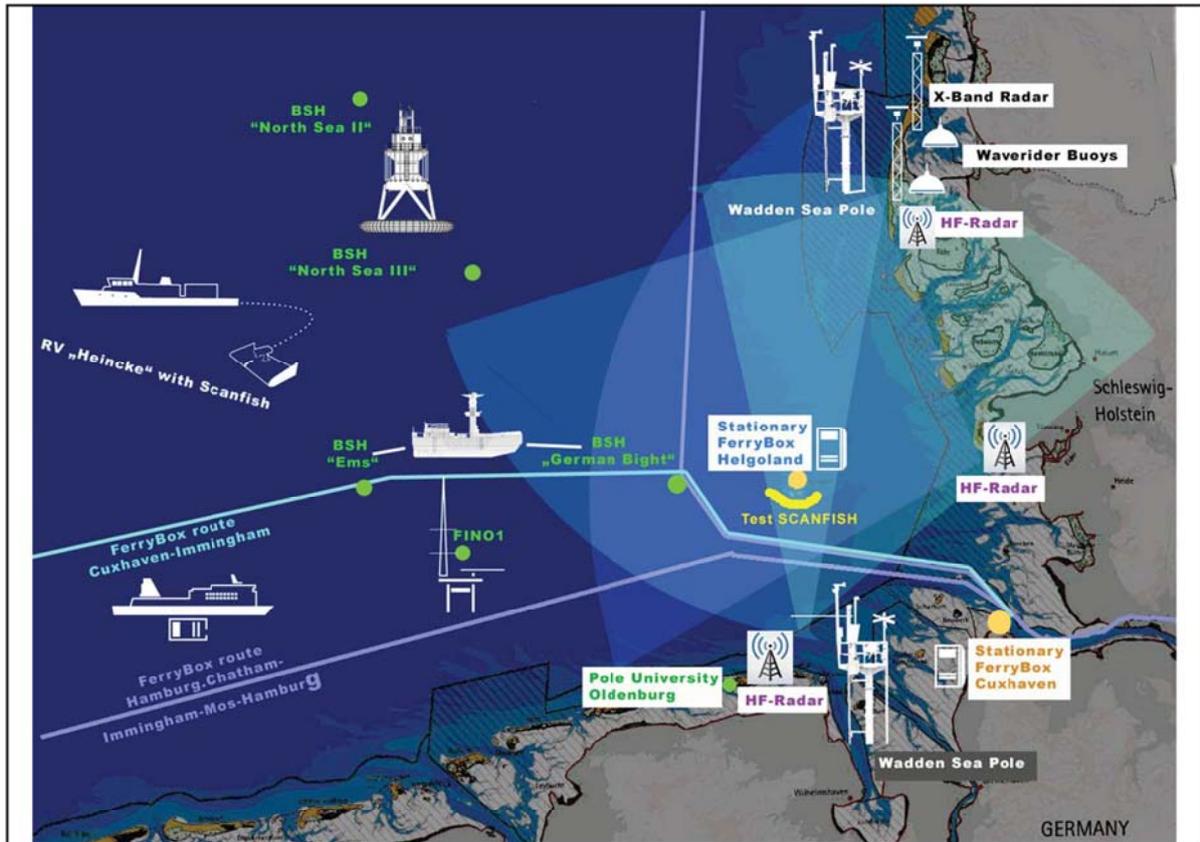


Bildquelle: F&E-Zentrum Kiel

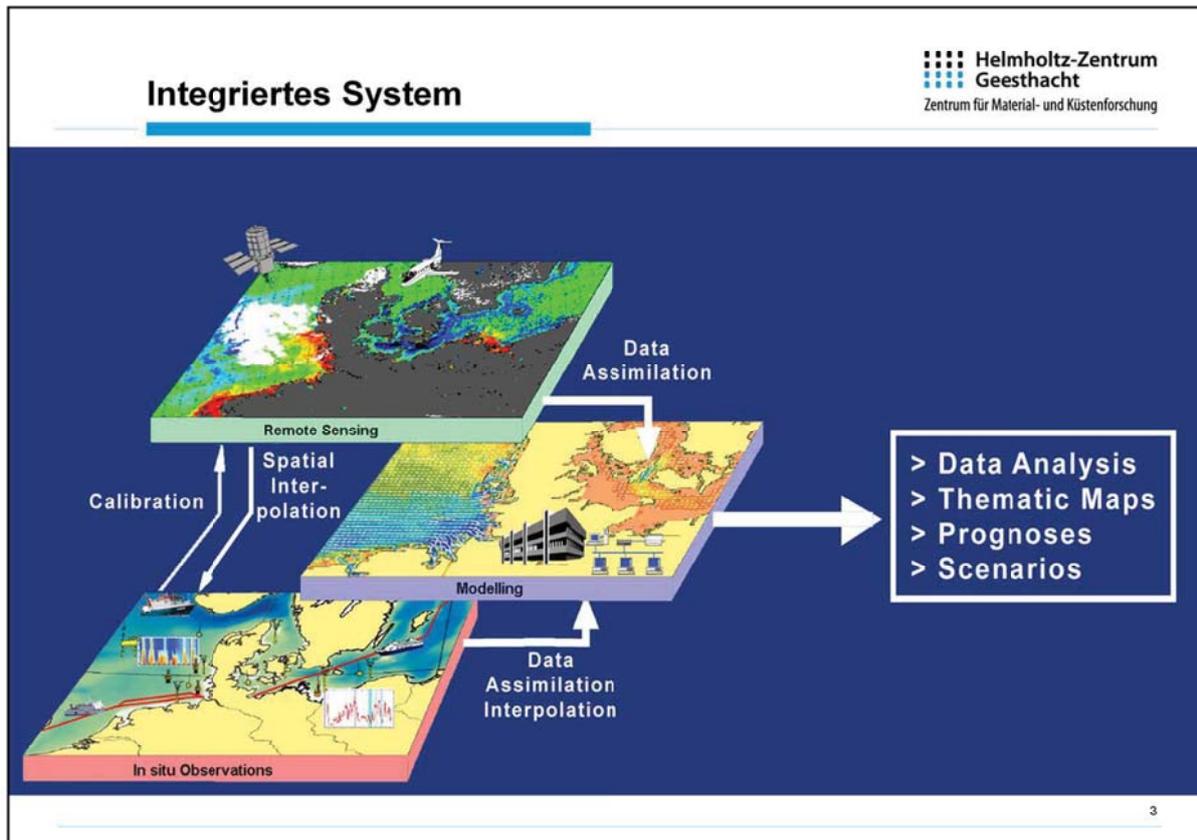
 **Helmholtz-Zentrum
Geesthacht**
Zentrum für Material- und Küstenforschung

1

Guten Morgen, technische Unterstützung der
Küstenforschung,



Wellenmessbojen, Strömungsmessung mithilfe von Radar, X-Band (ca. 10 GHz, wenige km, hohe Auflösung) und WERA (ca. 50 MHz 100-200km), Messung von Wasserparametern von Schiffen und Feststationen aus (Ferrybox)



3

Fernerkundung und Messung von Schadstoffen in der Luft am Ende



FerryBox in Cuxhaven im Kontainer an der Seebrücke

4

4

relativ kompakte Wasserstrecke die an allen Sensoren vorbei führt. Automatische Waschzyklen mit Säure.

HZG FerryBoxen...

- Schiffe
 - Ludwig Prandtl (HZG), Polarstern (AWI)
 - LysBris, Hafnia Seaways, Selandia
 - Funny Girl (Helgoland), Mein Schiff III



5

unser kleine Forschungsschiff und deutschland größes
Forschungsschiff, betrieben vom AWI

HZG FerryBoxen...

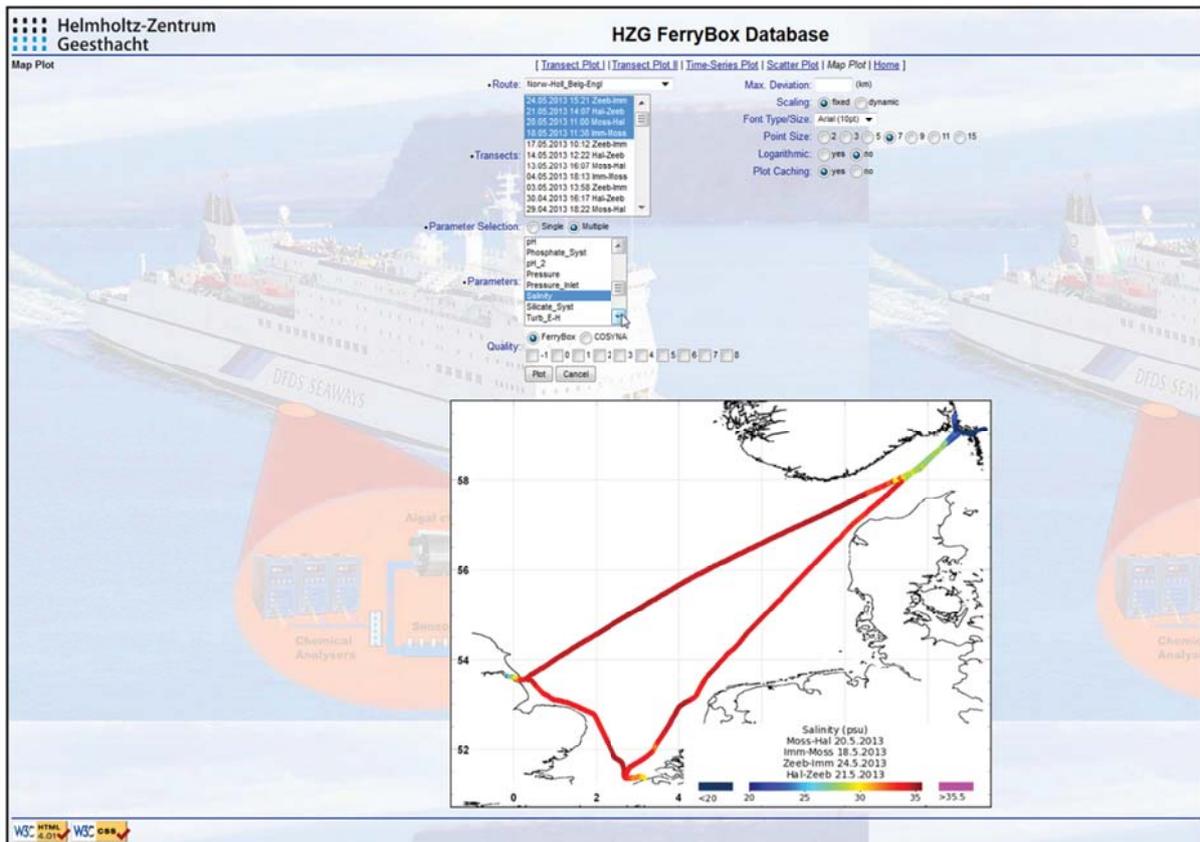
- Schiffe

- Ludwig Prandtl (HZG), Polarstern (AWI)
- LysBris, Hafnia Seaways, Selandia
- Funny Girl (Helgoland), Mein Schiff III



6

Schon seit vielen Jahren auf Frachtschiffen installiert
die regelmäßig Routen über die Nordsee fahren.



7

Beispiel für Strecken die von den Schiffen befahren werden.

HZG FerryBoxen...

- Schiffe

- Ludwig Prandtl (HZG), Polarstern (AWI)
- LysBris, Hafnia Seaways, Selandia
- Funny Girl (Helgoland), Mein Schiff III



8

FunnyGirl, Mein Schiff 3 wird nächsten Monat mit FerryBox ausgestattet.

HZG FerryBoxen...

- Feststationen
 - Container Cuxhaven
 - FINO3 (Nordöstlich Sylt)



9

Radarsystem auf 50m, Ferrybox auf Höhe
des Wasserspiegels im Pfahl



10

Möglichst alles mitnehmen, was man brauchen könnte:
Pumpe, Rechner, Router, Rohre mit Fittingen,
Presszange, Bohrmaschine, usw.



11

- Teilweise aufwendige und teuer Anreise, z.B. nach Norwegen oder Belgien, oder wie hier zu sehen über Sylt mit dem Hubschrauber
- Bei Volumen und Gewichtsbeschränkungen:
möglichst nur das mitnehmen, was man unbedingt braucht und den Rest improvisieren!
- Bei landen Flügen manchmal nur 5Kg Pro Person Zusatzgepäck!
- Für Werkzeug und Getränke ist da kein Platz mehr!
- Kurze Wartungszeiten



12

Hubschrauber ausladen, Umziehen, Kletterzeug anlegen



13

Messgeräte die prüfen, ob die Atmosphäre im Pfahl kontaminiert ist. Alle paar Minuten jemandem auf der Plattform per Funk sagen, das es einem noch gut geht.

Blick auf FerryBox im Pfahl



14

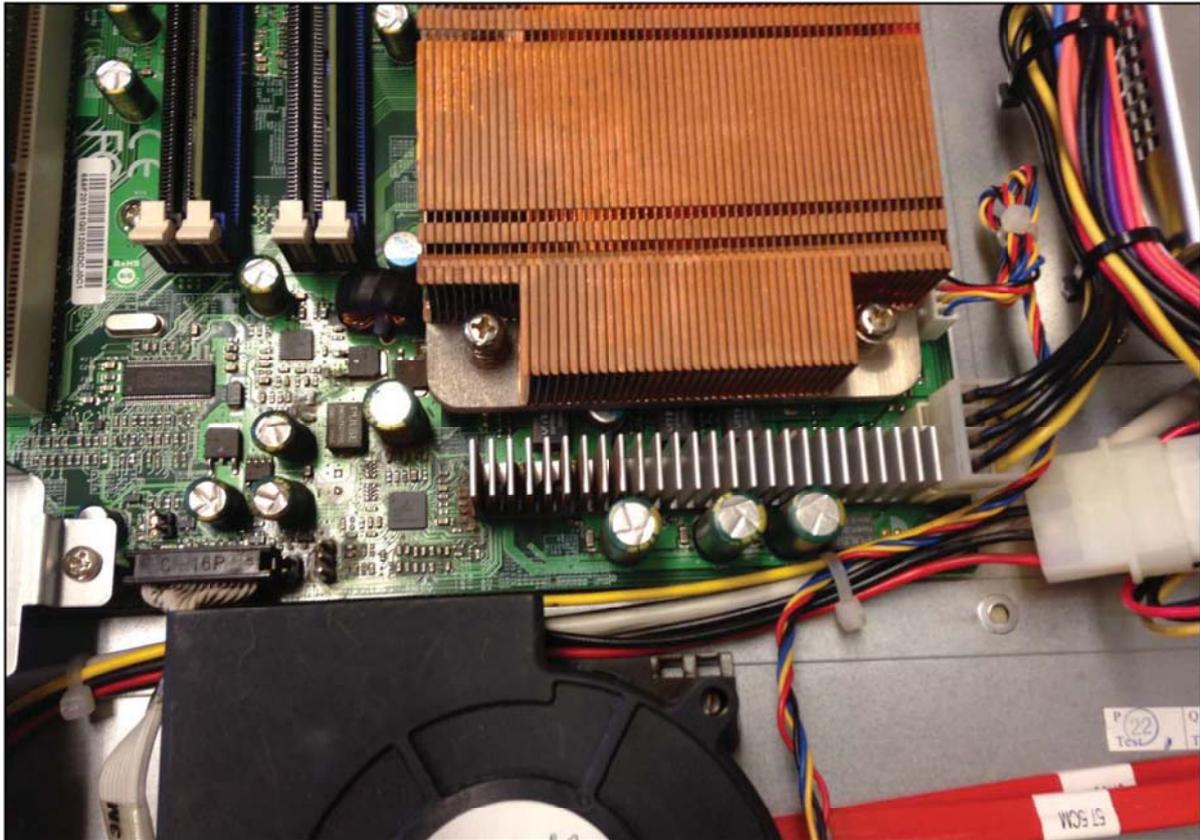
Klima wie in der Tropfsteinhöhle: Im Winter 0°C und 100% Luftfeuchtigkeit, Im Sommer 20°C und 100% Luftfeuchtigkeit

Ferrybox in Edelstahl Schränken mit Heizung



15

Die Heizung senkt die relative Luftfeuchtigkeit im Schrank. Hilft aber nichts bei Stromausfall!



16

Oxidation in Geräten

Gute Kapselung

- hohe IP Klasse

- Heizung in Geräte um Kondenswasserbildung zu verhindern

Stromausfall

Helmholtz-Zentrum
Geesthacht
Zentrum für Material- und Küstenforschung

Ursache	Abhilfe
Energieversorgung	USV
Fehlerstromschalter	alles Idiotensicher kapseln
Seltene Katastrophen	Hinfahren und Aufräumen

17

17

Umschaltungen der Generatoren bei Inselnetzen
Wasser als Ursache für FI Fehler
Sturmfluten wie die am 6. Dezember letzten Jahres.



18

Wasser und Treibgut sind über die Schutzmauer rüber.
Kontainer an Ketten konnte nicht wegschwimmen.



19

Aber Wasser ist Drinnen ca. 1m hoch gestiegen und hat alle elektrische unter dieser Höhe verstört!

Im Nachhernein stellt man dann fest, dass es doch besser gewesen wäre den Standort nach der ersten Sturmwarnung zu evakuieren!

Wangerooge außen

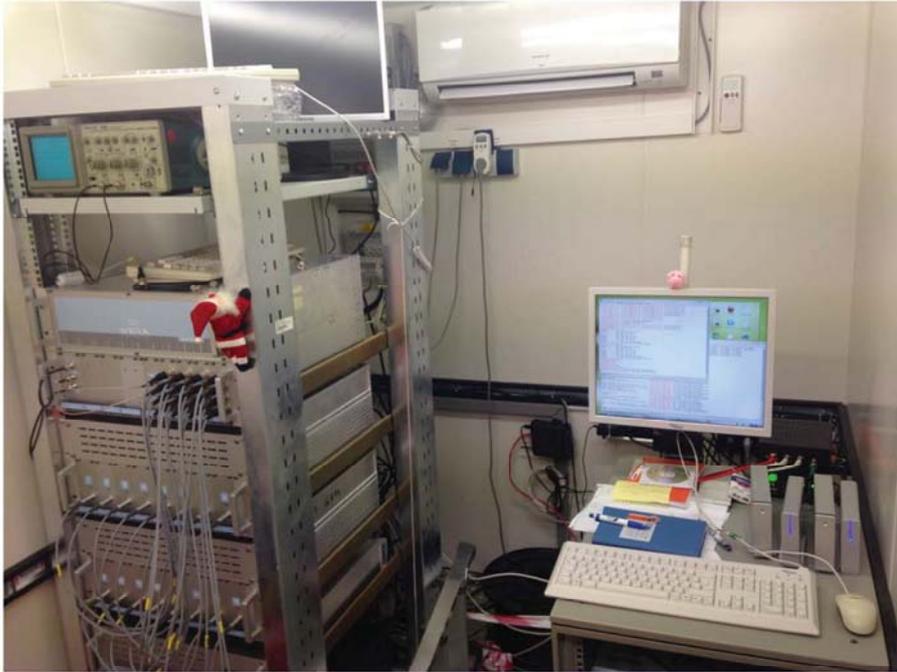


20

20

Aussperren vom Salzwasser:
Obwohl er auch stark dem Salzwasser ausgesetzt ist!

Container Wangerooge innen



21

21

Auf Wangerooge ist dafür sonst alle OK. Keine Feuchtigkeit, da Kontainer absolut luftdicht ist. Seltener betreten wird.

Container Bunkerhill



22

22

Aber auch in vermeintlich sicherer Entfernung vom Wasser hat man mit Oxidation an Geräten Probleme

Split Klimagerät



23

23

Kontainer hat Split Klimagerät. Klima ist scheinbar immer trocken und Trotzdem:

verrosteter HF-Server

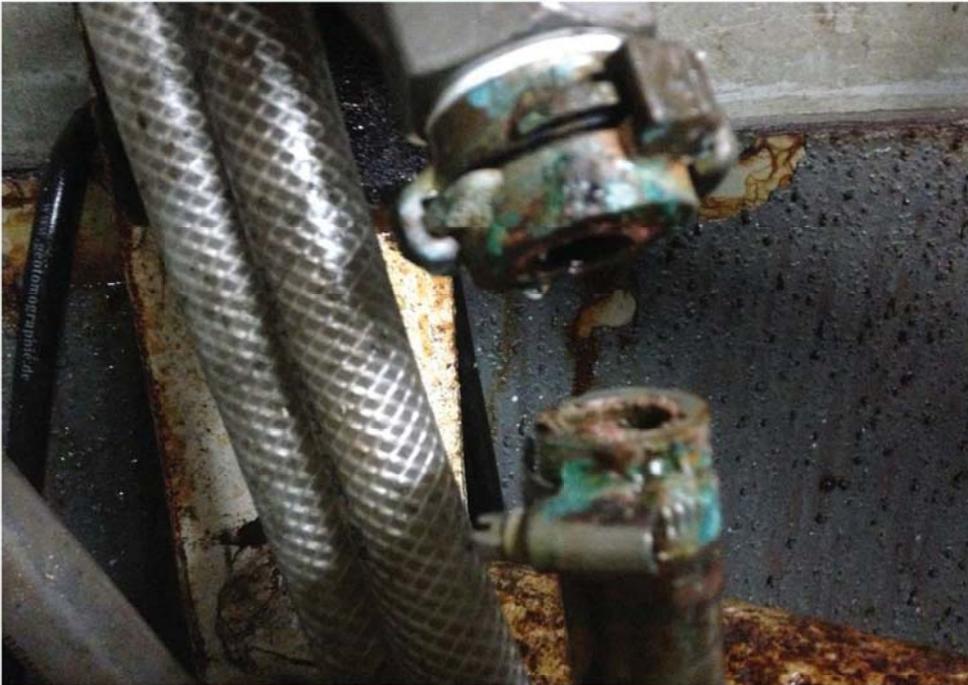


24

24

Sieht unser HF-Datenerfassung-Server so aus. Leider auch auf dem Mainboard mit entsprechenden ausfällen!

verrottete Kupplung



25

25

Die richtigen Materialien wählen: Hochwertigen
Edelstahl statt Messing

Undichter Motorkugelhahn



26

26

Dichtung am Motorkugelhahn undicht. Auf den Schiff sehr trocken. Teilweise unter 10% relativer Feuchtigkeit. Wasser verdunstet bei kleinen Leckagen schneller als es ausläuft!

Bildquelle: Martina Gehrung /KOI

Schweißnaht

 Helmholtz-Zentrum
Geesthacht
Zentrum für Material- und Küstenforschung



27

27

Auch eine vollständige Edstahlkonstruktion hilft nicht,
wenn die Schweißnähte mangelhaft ausgeführt sind!

Osmosepumpe



28

28

Osmosepumpe ist irgendwann während des Betriebes geplatzt, weil sie wahrscheinlich auf dem Transport vor dem Einbau einen Schlag bekommen hat und ein Haarriss dann zum Platzen der Pumpe geführt hat.

Leckagen

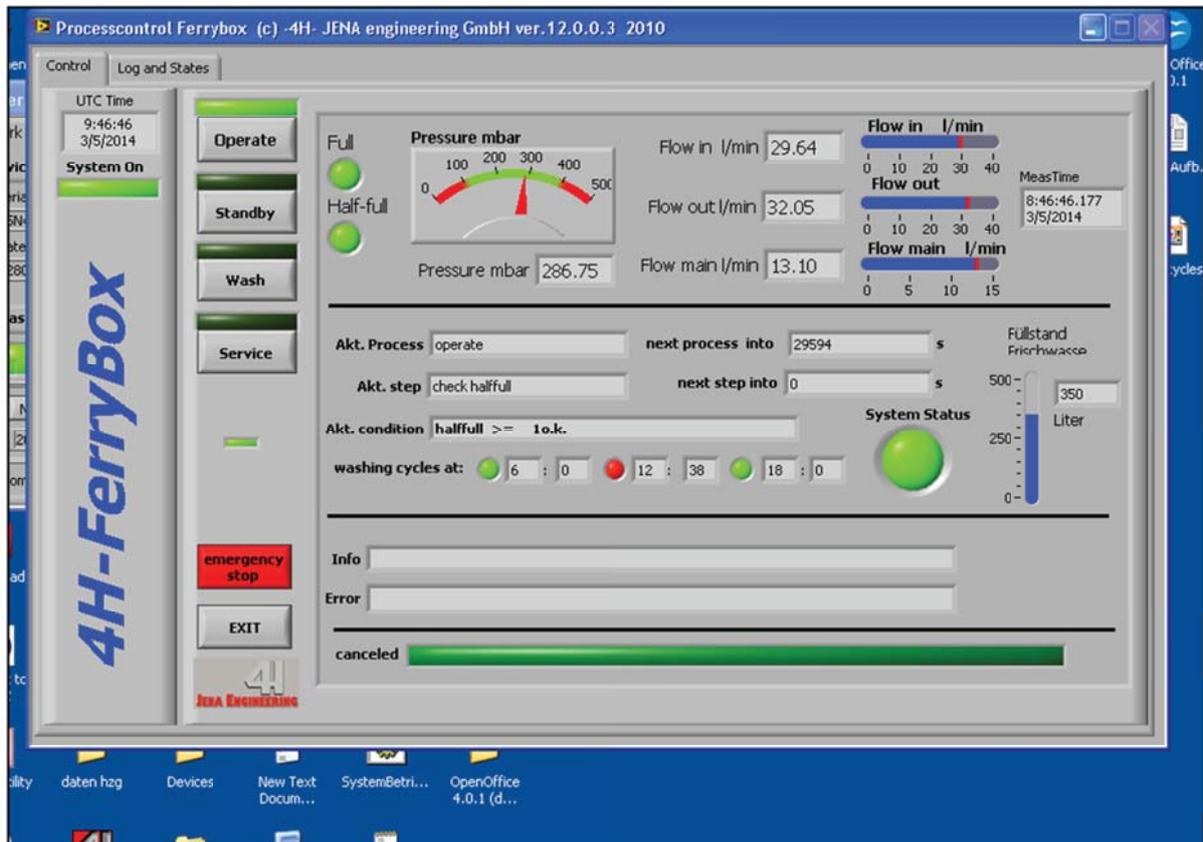
Feuchtigkeitssensoren meist ungeeignet wegen Fehlauflösung

Überwachung von möglichst allen möglichen Durchflüssen

-> automatische Abschaltung wenn Differenzen zu groß sind

Sonderfall: Eindringen von Fremdflüssigkeit ins Wassersystem!

Fueloil Lysbris durch Entlüftungsschlauch...



The screenshot displays the 'UPS Network Management Card 2' web interface for a 'Smart-UPS/Matrix Application'. The page is titled 'Status Smart-UPS 1000' and provides the following data:

Last Battery Transfer:	UPS battery test
Internal Temperature:	28.3°C
Runtime Remaining:	53min
UPS Input	
Input Voltage:	234.7 VAC @ 50.0 Hz
UPS Output	
Output Voltage:	234.7 VAC @ 50.0 Hz
Load Current:	1.2 Amps
Output VA:	26.6 %
Output Watts:	24.0 %
Output Efficiency:	98.0 %
Output Energy Usage:	464.28 kWh
Battery Status	
Battery Capacity:	100.0 %
Battery Voltage:	27.3 VDC
Replace Battery Date:	11/27/2016

The footer contains the text: 'Knowledge Base | Schneider Electric Product Center | Schneider Electric Downloads' and '© 2012, Schneider Electric. All rights reserved'. A taskbar at the bottom right shows a window titled 'wavepc02/192.168.2.5:3001'.

The screenshot shows the SUPERMICR web interface. At the top, there is a navigation bar with tabs for System, Server Health, Configuration, Remote Control, Virtual Media, Maintenance, and Miscellaneous. The 'Server Health' tab is active. On the left, there is a sidebar with links for Server Health, Sensor Readings, and Event Log. The main content area is titled 'Sensor Readings' and contains a message: 'This page displays system sensor information, including readings and status. You can toggle viewing the thresholds for the sensors by pressing the Show Thresholds button below.' Below this message, there is a dropdown menu for 'All Sensors' and a table of sensor readings. The table has three columns: Name, Status, and Reading. The sensors listed are CPU Core1 Temp, CPU Core2 Temp, CPU SoC Temp, System Temp, Peripheral Temp, FAN 1, FAN 2, FAN 3, Vcore, and VDIMM. The status for all sensors is 'Normal', except for FAN 2 and FAN 3 which are 'N/A'. The readings are: CPU Core1 Temp (83 degrees C), CPU Core2 Temp (83 degrees C), CPU SoC Temp (81 degrees C), System Temp (33 degrees C), Peripheral Temp (41 degrees C), FAN 1 (1444 R.P.M), FAN 2 (Not Present!), FAN 3 (Not Present!), Vcore (1.136 Volts), and VDIMM (1.552 Volts). At the bottom of the table, there are 'Refresh' and 'Show Thresholds' buttons. The footer of the page includes 'Copyright © 2010 Super Micro Computer, Inc.' and a Windows taskbar with the word 'Fertig' on the left and 'Internet' on the right.

Name	Status	Reading
CPU Core1 Temp	Normal	83 degrees C
CPU Core2 Temp	Normal	83 degrees C
CPU SoC Temp	Normal	81 degrees C
System Temp	Normal	33 degrees C
Peripheral Temp	Normal	41 degrees C
FAN 1	Normal	1444 R.P.M
FAN 2	N/A	Not Present!
FAN 3	N/A	Not Present!
Vcore	Normal	1.136 Volts
VDIMM	Normal	1.552 Volts

Einbauort in den Schiffen



33

33

Fast immer tief unten im Maschinenraum verbaut
Maschinenraum mit schwerem Diesel Kraftstoff
geflutet.

Ölspur hinter dem Schiff! Schiffbesatzung hat nach
längerem Suche die Ferrybox als Quelle für die Ölspur
identifiziert und abgeschaltet.

Enge Arbeitsumgebung



34

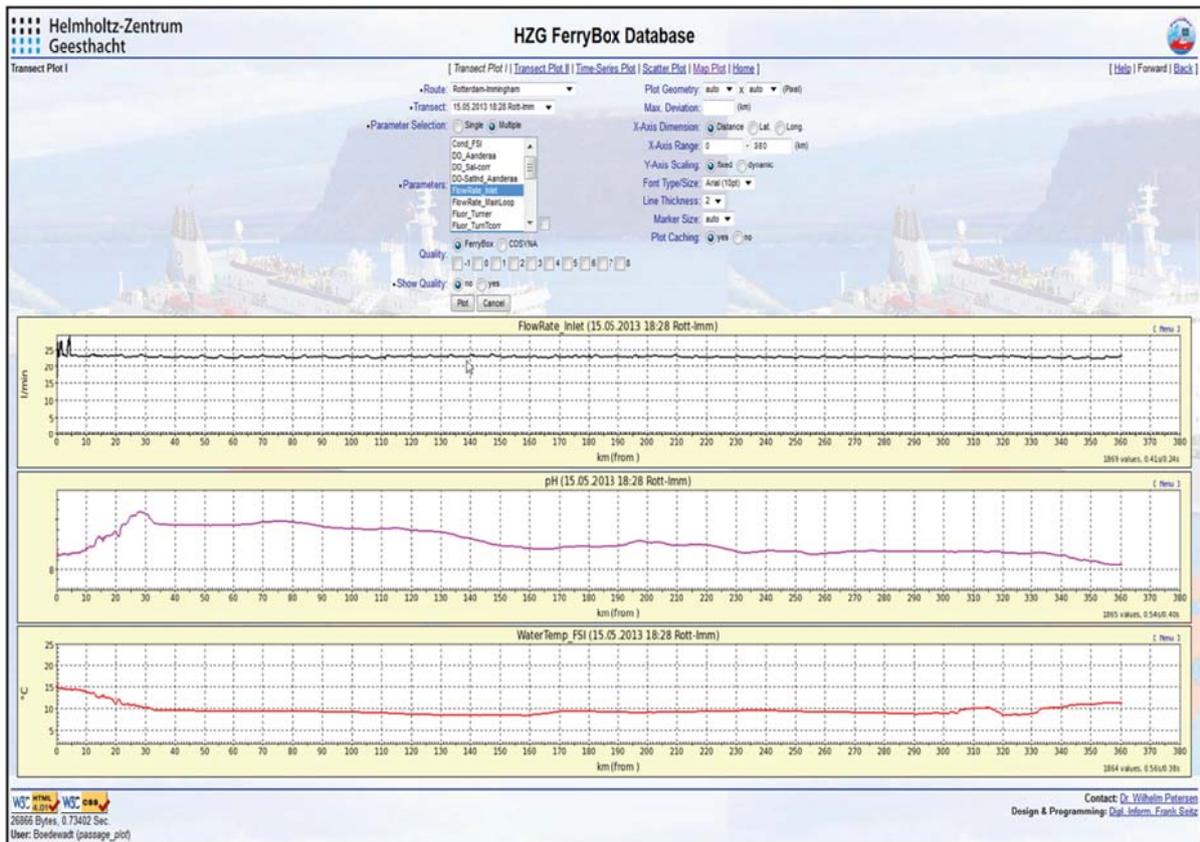
34

Überlauf- und Belüftungsschlauch hing in der Bilge.
Auslasspumpe fördert mehr als Einlasspumpe. ->
Schweroil wurde durch unsere Anlage nach draußen
gepumpt!

FerryBox Daten-Flow (Schiffe)

- Daten werden während Überfahrt in Dateien gespeichert. Eine Datei pro Messkanal
- Im Zielhafen wird Gesamtmessdatei zusammengestellt.
- Zip-Datei wird in Transfer Ordner gelegt.
- Transferprogramm sendet regelmäßig Inhalt von Transfer Ordner nach [ftp.hzg.de/incoming/...](ftp.hzg.de/incoming/)
- Programm auf einem Rechner im HZG entpackt Zip und überträgt in die ferrydata-Datenbank

SEI-Tagung, Frühjahr 2014, HZG Geesthacht



Plastik in der Sonne?



37

37

Kommunikation: Wie kommen die Daten nach Hause?
GPS Antenne mit Plastikfuß der der Geist aufgegeben
hat.

 **Helmholtz-Zentrum
Geesthacht**
Zentrum für Material- und Küstenforschung

Kommunikationsausfall

Problem	Maßnahme
Ausfall von eigenen oder fremden Komponenten	Redundante Kommunikationssysteme
Unterbrechungen wegen Gewitter oder Überlastung des Kommunikationssystems	Verschiedenartige Uplinks: DSL, UMTS, Satellit,...

38

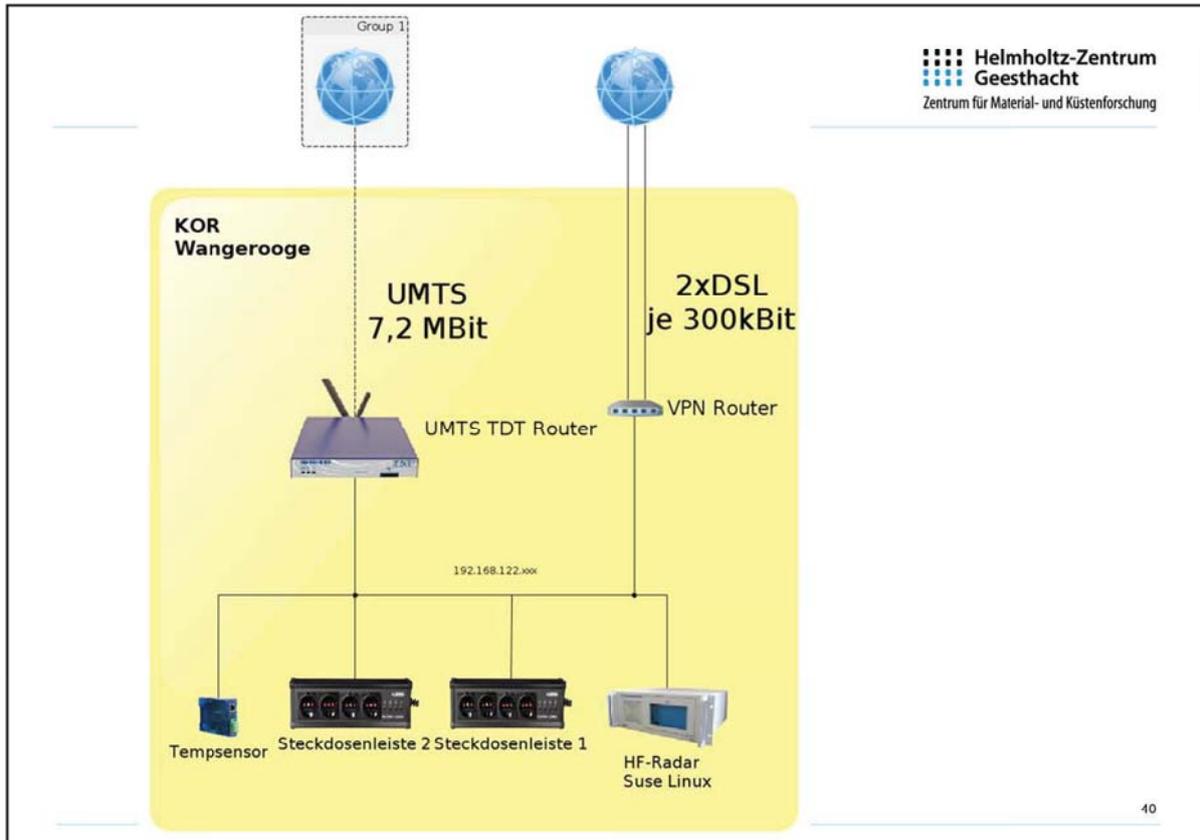
Messtation „Bunkerhill“ auf Sylt



39

39

Andere Stationen haben z.B. 2 Satelliten Uplinks und noch einen UMTS Uplink welcher im Sommer allerdings regelmäßig wegen der vielen Touristen überlastet ist



Bagger

SEI-Tagung, Frühjahr 2014, HZG Geesthacht

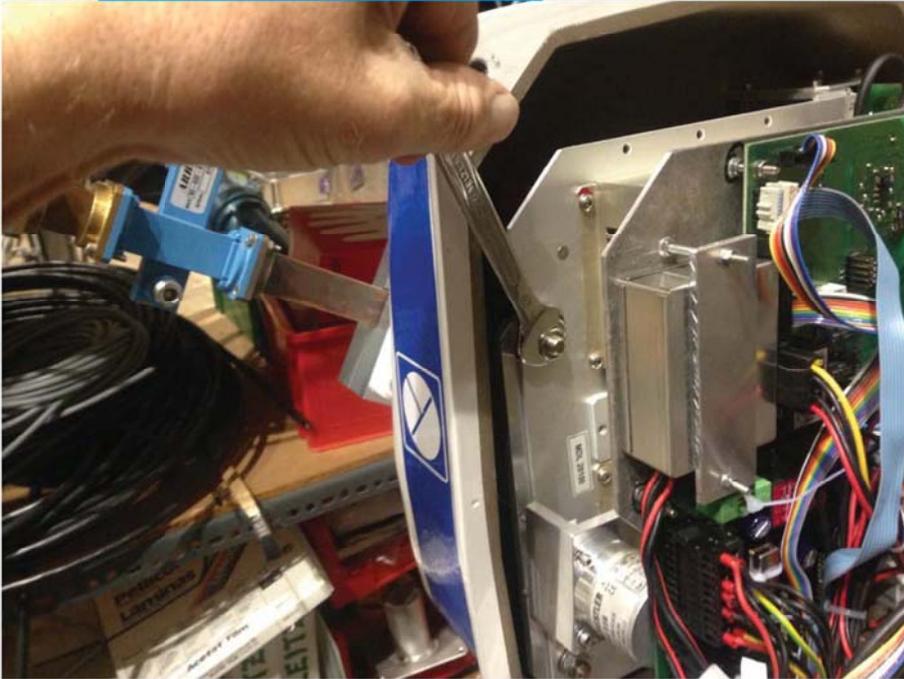
IPSec

VPN an ORANGE:
 VPN auf BLAU:
 Überschreibe Standard MTU:
 Debug Optionen
 Dieses Feld kann leer bleiben

Speichern

>> Verbindungsstatus und -kontrolle

Name	Typ	Gemeinsamer Name	Anmerkung	Status	Aktionen
Prandtl	Netz (Zertifikat)	msprandtl.dyndns.org	Ludwig Prandtl	OFFEN	     
bojehoernumtief1	Netz (Zertifikat)	bojehoernumtief1.dyndns.org	Waverider Unterfeuer Hörnum (PW: munreoh)	OFFEN	     
Bunkerhill	Netz (Zertifikat)	gksswera.dyndns.org	Messtation Bunkerhill in Hörnum	OFFEN	     
Hoernum	Netz (Zertifikat)	hoernum.dyndns.org	Messtation Unterfeuer in Hörnum	BEENDET	     
JansHomePC	Host (Zertifikat)	boedewadt.dyndns.org	Jans Telearbeitsplatz	BEENDET	     
Jadebusen	Netz (Zertifikat)	bojejade1.dyndns.org	Waverider Jadebusen (PW: edajejob)	OFFEN	     
Boedewadt	Netz (PSK)		Jans Fritzbox	BEENDET	     
Wangerooge	Netz (Zertifikat)	Wangerooge	Wangerooge Vprinet Ersatz	OFFEN	     
JansNotebook	Host (Zertifikat)	rznp0112.fzg.local	Jans Dell Notebook	BEENDET	     
Zingst	Netz (Zertifikat)	zingst.dyndns.org	Messtation auf Zingst	OFFEN	     
Cuxhaven	Netz (Zertifikat)	cuxhaven.dyndns.org	Ferrybox Container in Cuxhaven	OFFEN	     
Reserve	Netz (Zertifikat)	ferrybox.dyndns.org	TDT-Reserve Router (PW: ferrybox)	BEENDET	     
MobiletelefonJan	Host (Zertifikat)	Jan		BEENDET	     
Lysbris	Netz (Zertifikat)	lysbris.dyndns.org	Ferrybox auf Lysbris	BEENDET	     



42

42

Wichtig, wie auch wohl allen Versuchen in der Forschung ist die Vorbereitung! Alle Schrauben und Steckkontakte wirklich fest und gesichert?



43

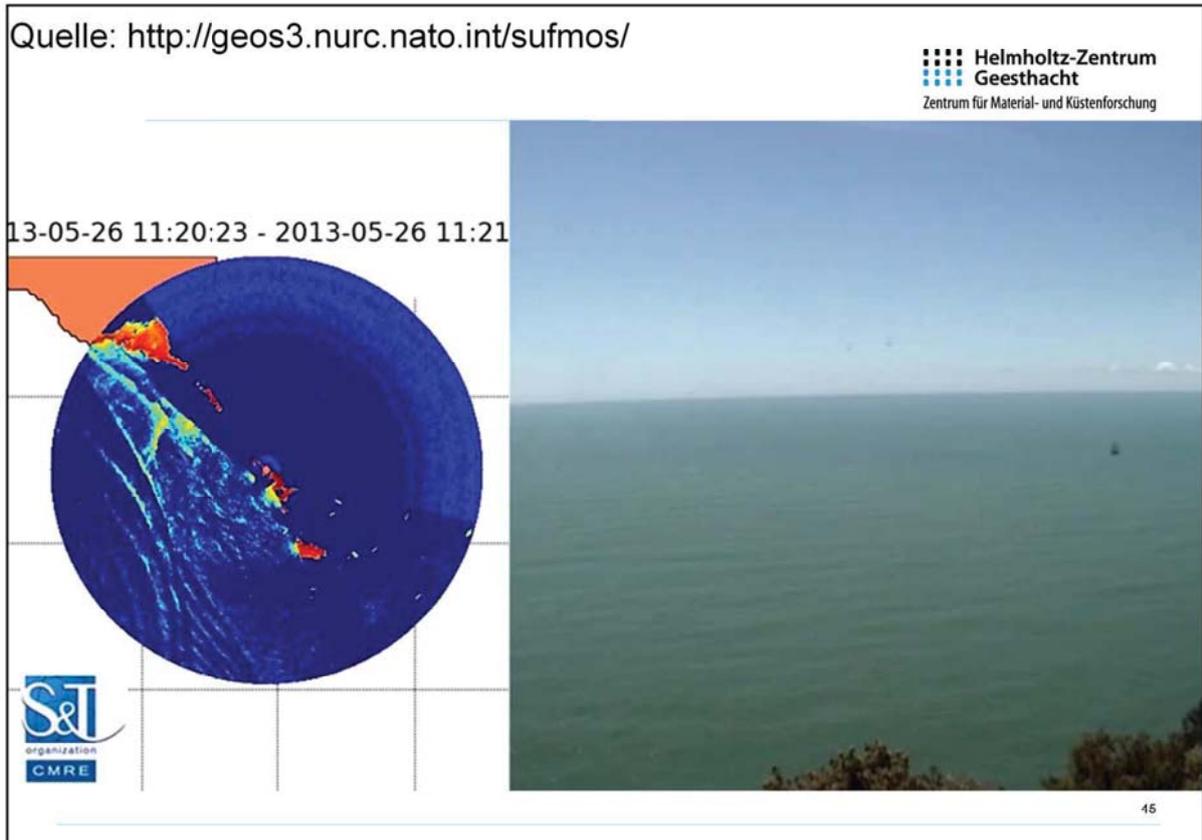
43

Wenn sich dann doch mal was löst muss man es dann
leider vor Ort reparieren



44

Hier die Nahaufnahme dieses 10GHz Radars mit dem
man...



45

hoch aufgelöst strömungen messen kann. Vorzugweise
suchen wir uns dafür Messorte an denen sich die
Stömungsverhältnisse im laufe der Zeit schnell ändern.



46

46

Wie zum Beispiel auf Sylt. Dort hat man leider das Problem, das man diese Messtürme nur im Winter betreiben kann.



47

Weil man im Sommer keine Baugenehmigung bekommt, weil unsere anlagen angeblich die Touristen stören.

Aufrichten und Legen mit Hilfsmast



Helmholtz-Zentrum
Geesthacht
Zentrum für Material- und Küstenforschung

48

48

Das Abbauen der Anlage machen meine Kollegen heute gerade.



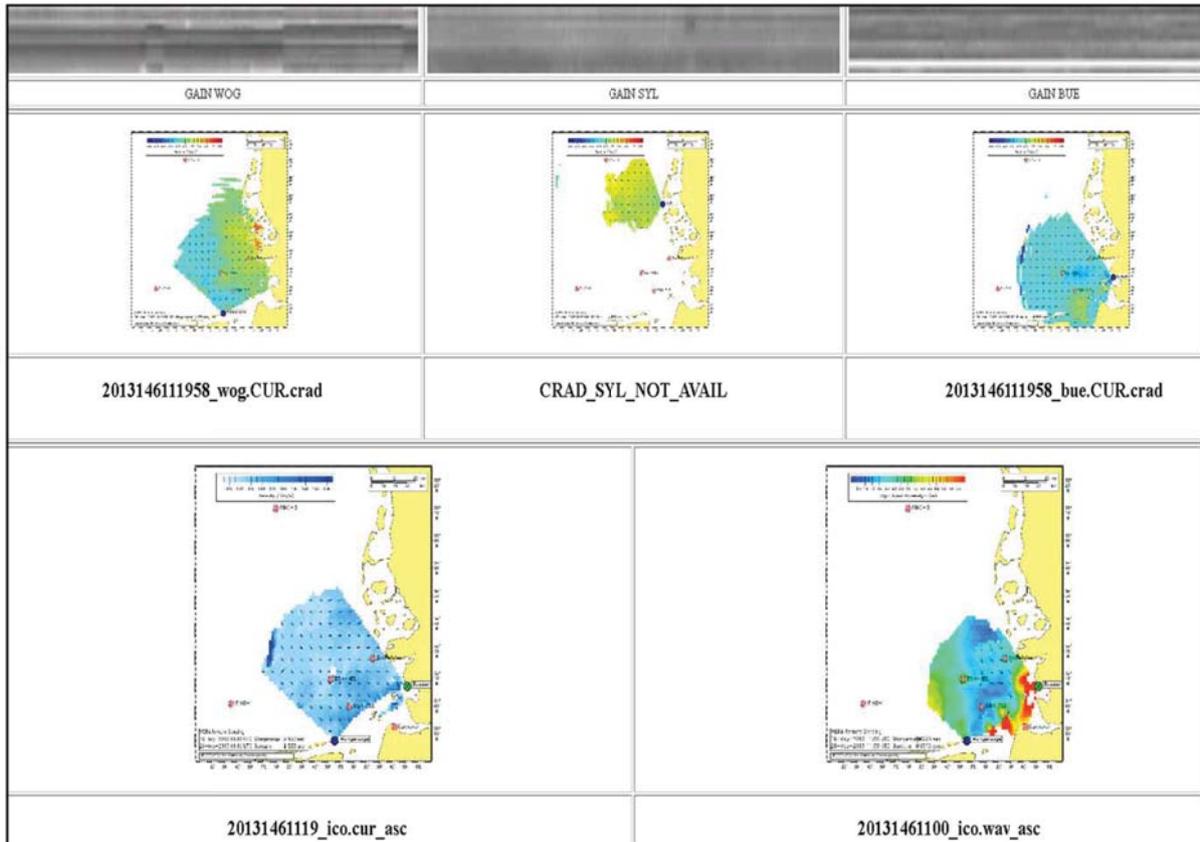
49

Eine weitere Fehlerquelle sind manchmal auch die
Nachbarn, die Ihren Kite versehentlich in...



50

Unsere Sende oder Empfangsantennen steuern und diese Abbrechen.

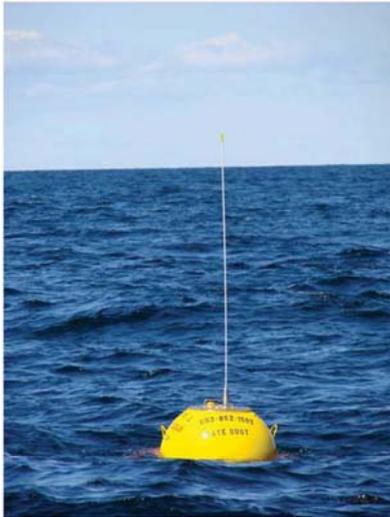


51

Dann sehen wir zu Hause auf unsern
überwachungsmaschinen, dass die Station nicht mehr
arbeitet und wissen erstmal nicht warum?!

Bojen Datenflow

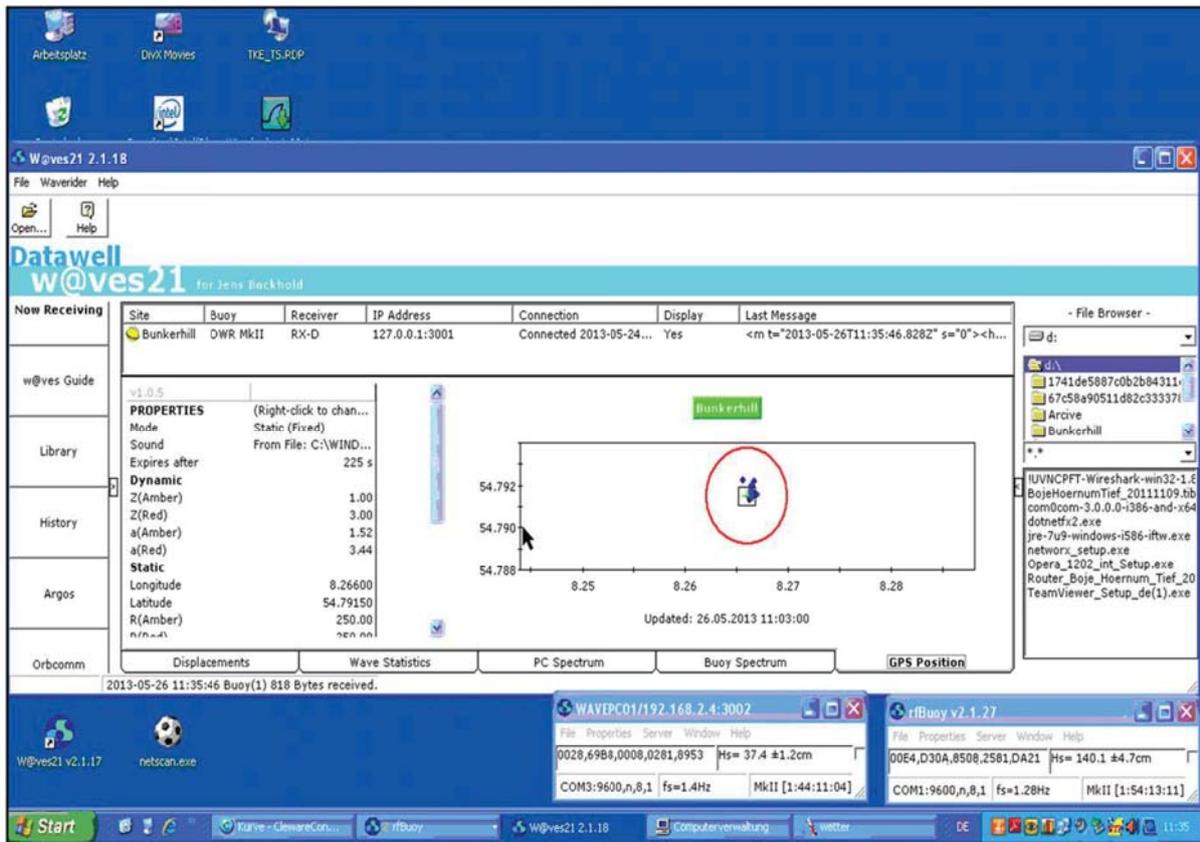
- Boje sendet kontinuierlich mit 9600 Baud per Kurzwelle Daten aus (z.B. 29.870MHz)
- Empfänger in der Nähe (max. 25km entfernt) sendet über RS232
- PC vor Ort speichert Daten



52

52

Ähnliches passiert auch mit unseren
Wellenmessbojen...



53

Wenn so eine Boje Ihren Bereich, der durch die Verankerung vorgegeben ist verlässt werden mehrere Mitarbeiter per E-Mail informiert. Dann versucht man schnellstmöglich diese Boje wieder zu bergen.

Bildquelle: RWE über Peter Perthun / KIO



54

54

Die letzte wurde von einen der Windkraftanlagen Errichter Schiffe geborgen. Man sieht auf diesem Bild deutlich, daß wohl ein Schiff gegen die Boje gefahren ist!

Global Mercury Observation System



CARIBIC (since 2005)
A340-600

ETMEP-1 (2012)
Rockwell Turbo
Commander

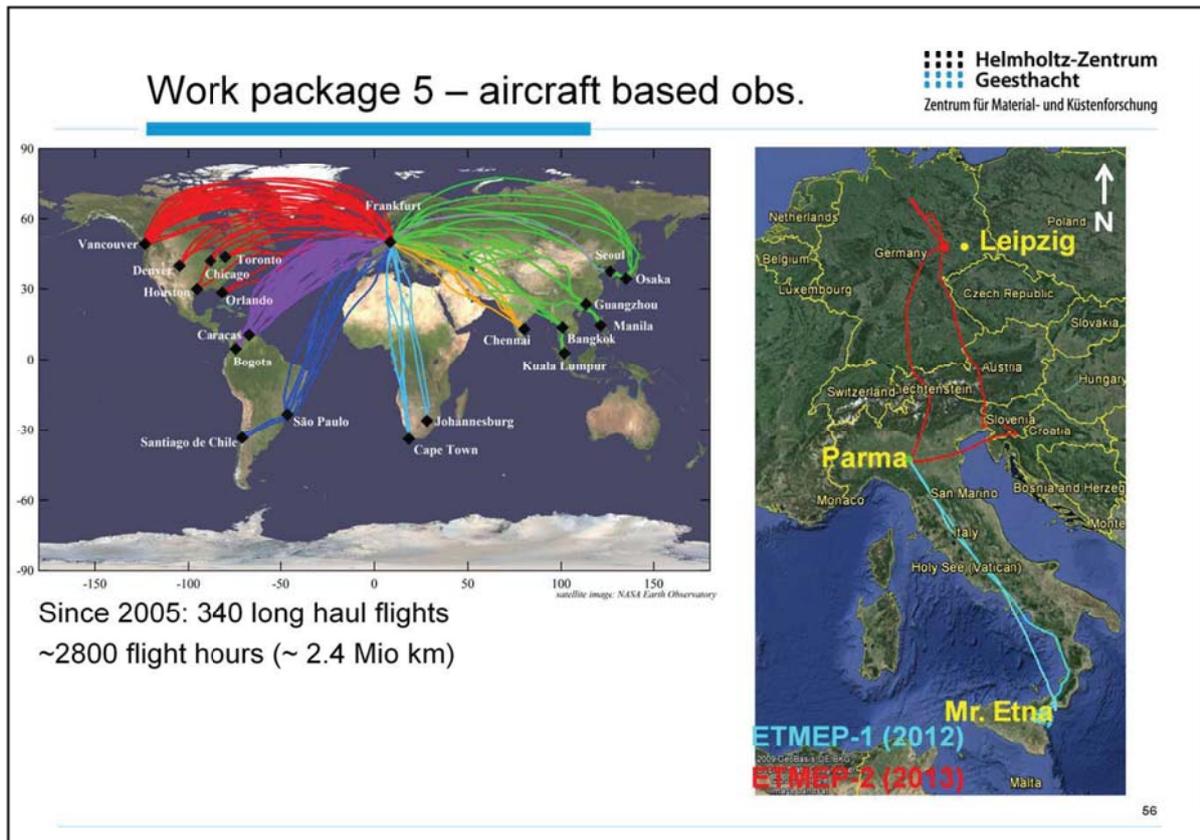
ETMEP-2 (2013)
CASA-212

55



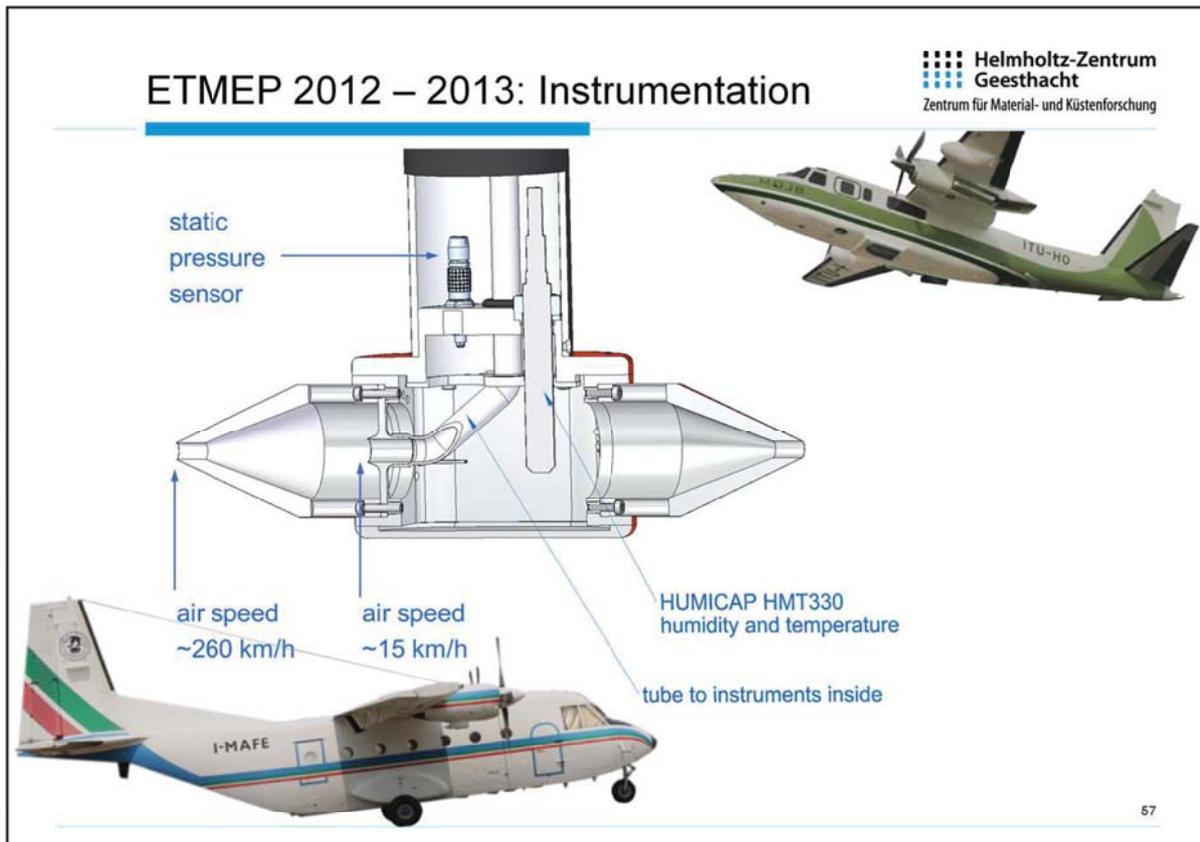
55

Noch ein Paar Worte zu den Messkampagnen zur Messung der vertikalen Verteilung von Quecksilber in der Atmosphäre.



Während das Langzeit Projekt mit dem Namen CARIBIC regelmäßig unter anderem auch die Quecksilberverteilung in der oberen Troposphäre bzw. unteren Stratosphäre misst. Horizontalverteilung.

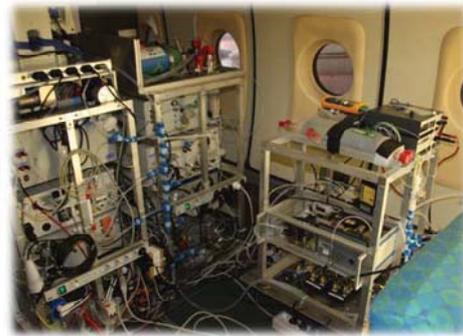
Haben wir in den letzten beiden Messkampagnen die Vertikale Verteilung exemplarisch über dem Ätna und der Industrieregion um Leipzig gemessen.



57

Außer der mechanischen Konstruktion des
Lufteinlasses

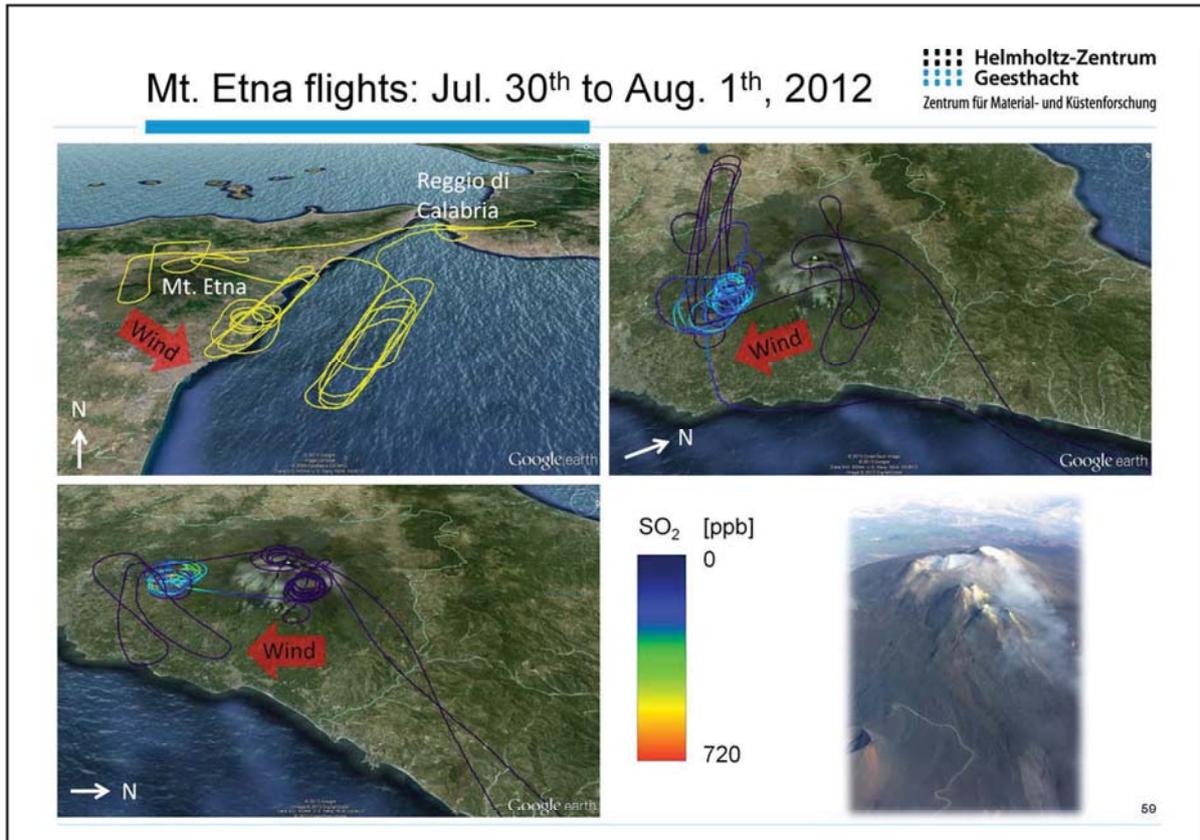
ETMEP 2012 – 2013: Instrumentation



58

58

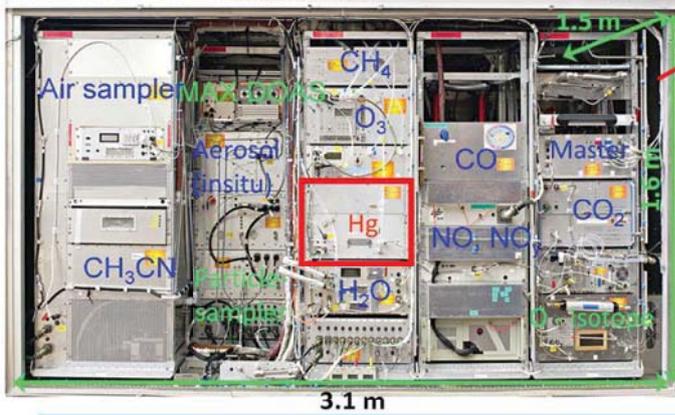
war ein wesentlicher Teil die Planung und Durchführung der Installation der Geräte im Flugzeug.



Work package 5 – aircraft based obs.



Measurement container: 1.5 t



Gas- and Aerosol inlet

60

Container ist 4 m hinter dem Einlass

Helicopter Underwater Escape Training



61

GMOS Flugmesskampagne



62



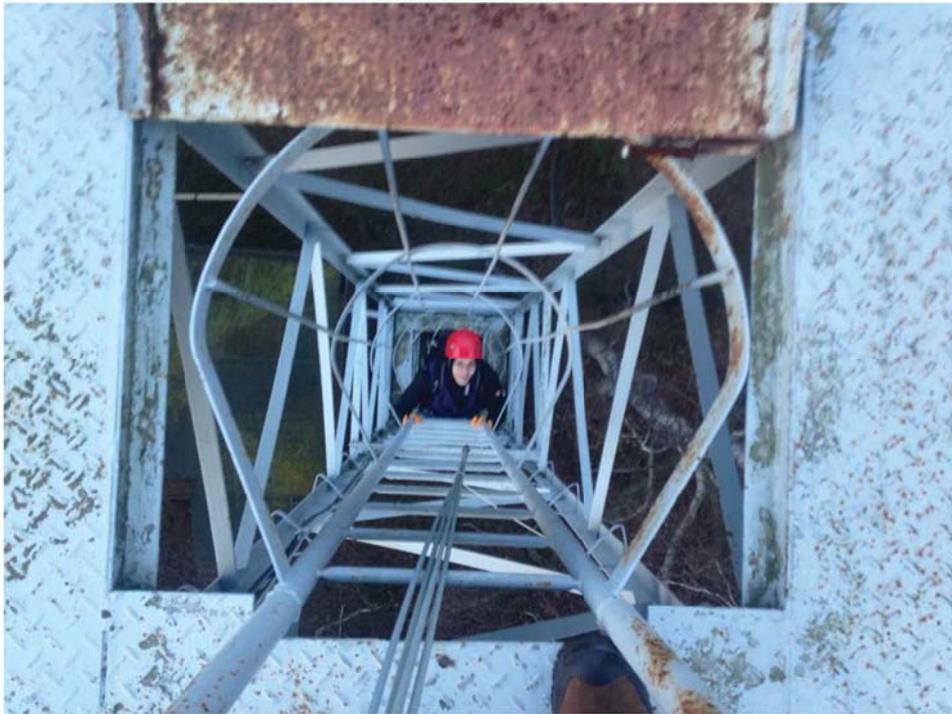
63



64



65



66

K-VPN Tunnel

- Viele Außenstationen in über IPSEC-VPN-Tunnel mit HZG verbunden.

Vorteile	Nachteile
Daten werden gesichert übertragen	Zusätzlicher Volumenverbrauch Durch Tunnel-overhead
Einfacher Zugriff auf Außenstationen vom HZG aus	Eine Fehlerquelle mehr
Unabhängig von Public-IP und DynDNS	

- Subnetze:
 - Außenstationen: 10.49.?x / 24
 - Heimnetz: 10.48.x.x / 16
 - Feste Rechner im Heimnetz:
 - TKE-Terminalserver: 10.48.1.151
 - Bojen-Server: 10.48.1.118

67

Detail K-VPN Tunnel

- Zertifikat basiertes Authentifizierungssystem: Beide Seiten besitzen ein Zertifikat, dass von der jeweils anderen Seite überprüft wird. (Phase1)
- Für die Verbindungsverschlüsselung werden pro Verbindungsaufbau zufällig generierte Schlüssel verwendet. Diese sind nur eine kurze Zeit gültig (Phase2)
- Automatischer Verbindungsneuaufbau
- Datenkompression im Tunnel

- Log screenshot von Tunnelaufbau

68

TDT-Router

- TDT-Router baut Tunnel automatisch nach UMTS-Verbindung auf und prüft die Verbindung (Ping)
- Wartung des Routers per SMS oder Direkteinwahl
- Webmin Webinterface

- Bild von SMS Daten, Webinterface

69

Bojen Datenflow

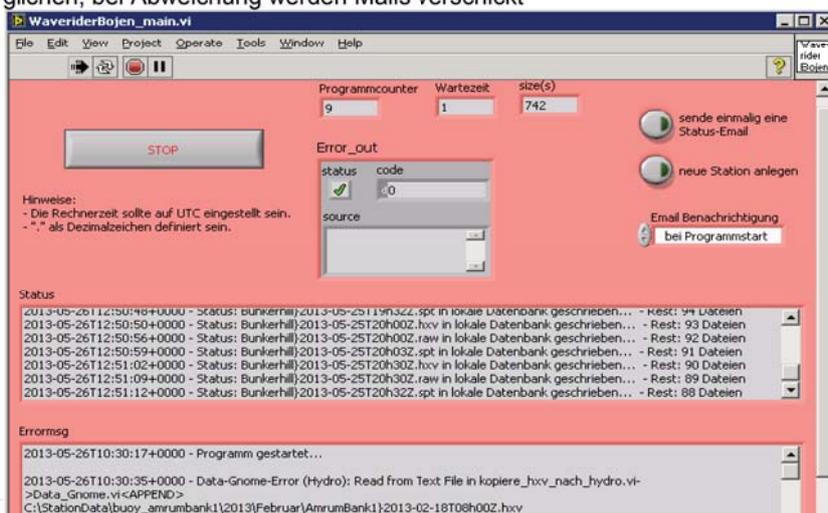
- Boje sendet kontinuierlich mit 9600 Baud per Kurzwelle Daten aus
- Empfänger in der Nähe (max. 25km entfernt) sende über RS232
- PC vor Ort speichert Daten
- Server im HZG lädt Dateien herunter (Unison, VPN-Tunnel):

```
C:\StationData>unison c:\StationData\buoy_hoernumtief1 socket://gksswera.dyndns.org:4711/D:\Hoernum -prefer socket://gksswera.dyndns.org:4711/D:\Hoernum -noupdate
Contacting server...
Connected [//WAVEPC01/D:/Hoernum -> //rzs0820/C:/StationData/buoy_hoernumtief1]
Looking for changes
  Waiting for changes from server
Reconciling changes
WAVEPC01 : new file      modified on 2013-05-26 at 12:30:00 size 8427 read-write <--- new file 2013/Mai/Hoernum)2013-05-26T12h02Z.spt local : absent
WAVEPC01 : new file      modified on 2013-05-26 at 12:33:08 size 2546 read-write <--- new file 2013/Mai/Hoernum)2013-05-26T12h30Z.hvx local : absent
WAVEPC01 : new file      modified on 2013-05-26 at 12:44:52 size 20696 read-write <--- new file 2013/Mai/Hoernum)2013-05-26T12h30Z.raw local : absent
WAVEPC01 : new file      modified on 2013-05-26 at 12:44:50 size 25088 read-write <--- changed 2013/Mai/Hoernum)2013-05 his local : unchanged file
modified on 2013-05-26 at 12:03:08 size 150995 read-write
Propagating updates
UNISON 2.40.61 started propagating changes at 12:45:19.81 on 26 May 2013
[CONFLICT] Skipping 2013/April
[CONFLICT] Skipping 2013/Juni
[BGN] Copying 2013/Mai/Hoernum)2013-05-26T12h00Z.hvx from //WAVEPC01/D:/Hoernum to C:/StationData/buoy_hoernumtief1
[BGN] Updating file 2013/Mai/Hoernum)2013-05-26T12h00Z.raw from //WAVEPC01/D:/Hoernum to C:/StationData/buoy_hoernumtief1
[BGN] Copying 2013/Mai/Hoernum)2013-05-26T12h00Z.wvs from //WAVEPC01/D:/Hoernum to C:/StationData/buoy_hoernumtief1
[BGN] Copying 2013/Mai/Hoernum)2013-05-26T12h02Z.spt from //WAVEPC01/D:/Hoernum to C:/StationData/buoy_hoernumtief1
[BGN] Copying 2013/Mai/Hoernum)2013-05-26T12h30Z.hvx from //WAVEPC01/D:/Hoernum to C:/StationData/buoy_hoernumtief1
[BGN] Copying 2013/Mai/Hoernum)2013-05-26T12h30Z.raw from //WAVEPC01/D:/Hoernum to C:/StationData/buoy_hoernumtief1
[BGN] Updating file 2013/Mai/Hoernum)2013-05 his from //WAVEPC01/D:/Hoernum to C:/StationData/buoy_hoernumtief1
[BGN] Updating file 2013/Mai/Hoernum)2013-05.hiv from //WAVEPC01/D:/Hoernum to C:/StationData/buoy_hoernumtief1
```

70

Bojen Datenflow

- Boje sendet kontinuierlich mit 9600 Baud per Kurzwelle Daten aus
- Empfänger in der Nähe (max. 25km entfernt) sende über RS232
- PC vor Ort speichert Daten
- Server im HZG lädt Dateien herunter (Unison, VPN-Tunnel)
- Daten werden in Interne Datenbank importiert und Position der Bojen wird mit Soll Position verglichen, bei Abweichung werden Mails verschickt



71

Oxidation in Geräten

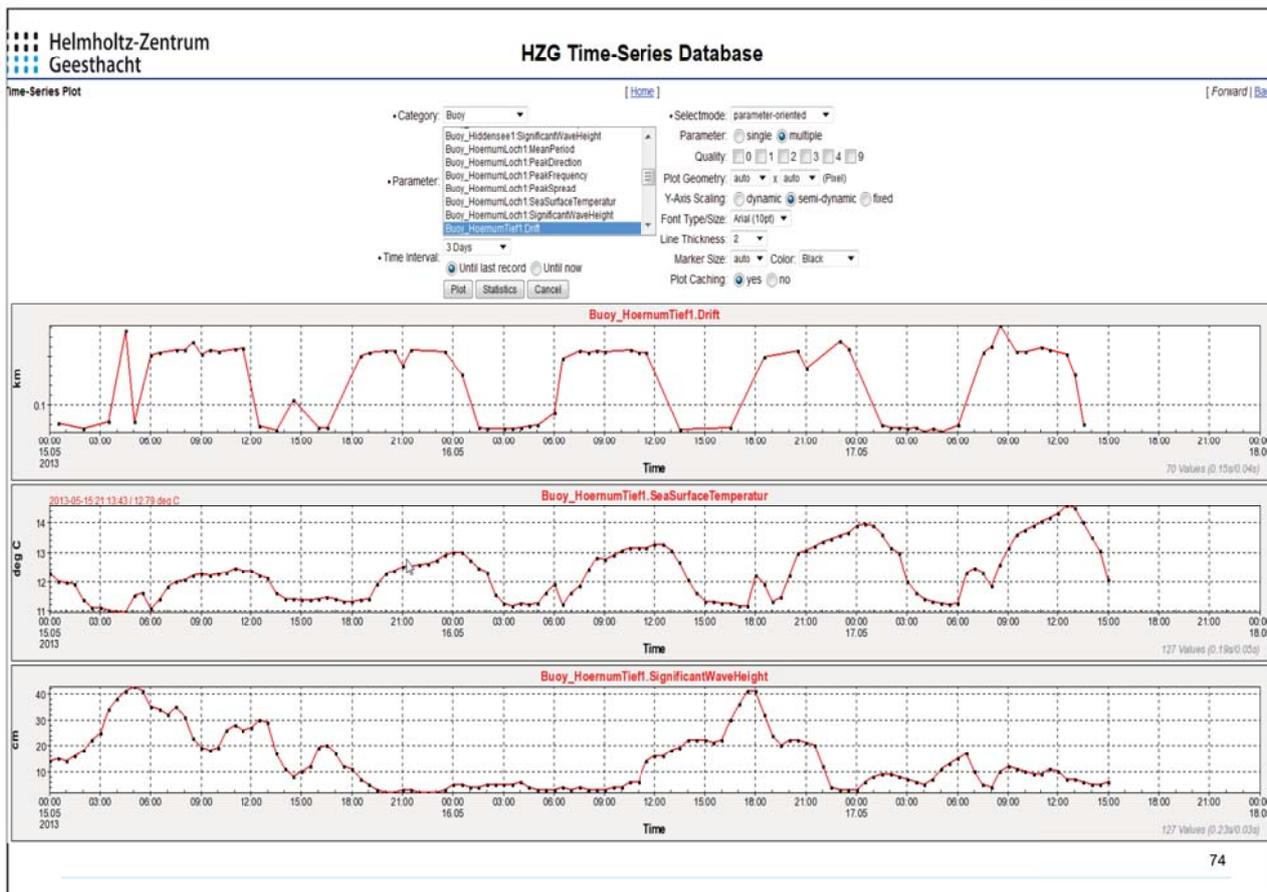
- Gute Kapselung
- hohe IP Klasse
- Heizung in Geräte um Kondenswasserbildung zu verhindern

72

Bojen Datenflow

- Boje sendet kontinuierlich mit 9600 Baud per Kurzwelle Daten aus
- Empfänger in der Nähe (max. 25km entfernt) sende über RS232
- PC vor Ort speichert Daten
- Server im HZG lädt Dateien herunter (Unison, VPN-Tunnel)
- Daten werden in Interne Datenbank importiert und Position der Bojen wird mit Soll Position verglichen, Bei Abweichung werden Mails verschickt
- Daten -> Hydro, TSDData, FTP für BSH

73



Bojen Datenflow

- Boje sendet kontinuierlich mit 9600 Baud per Kurzwelle Daten aus
- Empfänger in der Nähe (max. 25km entfernt) sende über RS232
- PC vor Ort speichert Daten
- Server im HZG lädt Dateien herunter (Unison, VPN-Tunnel)
- Daten werden in Interne Datenbank importiert und Position der Bojen wird mit Soll Position verglichen, bei Abweichung werden Mails verschickt
- Daten -> Hydro, TSDData, FTP für BSH
- Tägliche Statusmail

Betreff: Waverider buoy - state message

An: marius.cysewski@hzg.de, jurij.stell@hzg.de, peter.perthun@hzg.de, Mich <jan.boedewadt@hzg.de>, oliver.frank@hzg.de

Buoy State Message

This is the daily state report of the waverider buoys.

Station	Sync state	Drift [km]	Last Position			Wave Height				Hydro [UTC]	TSDData [UTC]	FTP [UTC]
			Latitude [°]	Longitude [°]	Time [UTC]	min. [cm]	max. [cm]	avg. [cm]	Sea Temperature [°C]			
buoy_amrumbank1	sync	0.0000	53.9963	8.1155	16.05.2013 03:32:00	0	0	NaN	NaN	26.05.2013 05:49:36	16.05.2013 04:19:56	disabled
buoy_darszerschwelle3	sync	0.0000	54.6988	12.7035	03.03.2013 19:09:59	80	300	112	6.1	26.05.2013 05:54:22	26.05.2013 05:54:21	26.05.2013 05:54:35
buoy_buornumtief1	no sync	0.0796	54.7747	8.3778	17.05.2013 13:43:08	0	0	NaN	NaN	17.05.2013 13:25:04	17.05.2013 12:25:35	disabled
buoy_bunkerhill1	no sync	0.0371	54.7918	8.2663	21.05.2013 08:32:59	0	0	NaN	NaN	21.05.2013 09:59:00	21.05.2013 09:58:42	21.05.2013 09:59:25

HF-Radar

- Datenerfassungssystem vor Ort speichert Daten
- Außenstationsanbindung über: DSL, Viprinet (DSL+UMTS), UMTS+Astra
- Server im HZG holt Daten aus Transfer Ordner der Außenstationen ab

HF-Radarserver <-> TDT-Router <-> UMTS T-mobile <-> Internet mit wechselnder öffentlicher IP
HF-Radarserver <-> IPSEC-Tunnel <-> Freenet-Server <-> Internet mit öffentlicher fester IP

X-Band Radar:

Nur Fernwartung, Daten werden per Festplatte nach Hause getragen, ca. 1TB / Monat

76

Fernwartung

HF-Radarsystem mit Suse 11.2: SSH mit X11 (Xming), IPMI
Bojen-Rechner: VNC, IPMI
Ferrybox-Systeme: VNC, RDP, Teamviewer, IPMI

IPMI: *Intelligent Platform Management Interface*

77

Redundante Uplinks

Lysbris:

- 2 TDT-Router die untereinander verbunden sind. 2 Subnetze und PC mit 2 Netzwerk Ports
- Fernwartungszugriff auf PC über beide Router

Bunkerhill:

-> UMTS

Netzwerk -> TDT-Router

-> Astra

Wahl der Uplinks über Connection Manager im Router

Wangerooog:

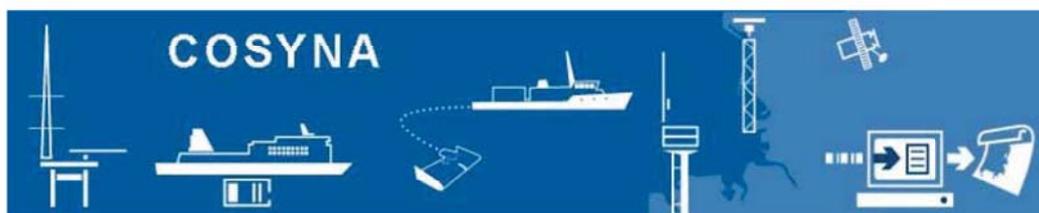
- DSL+UMTS, Viprinet
- UMTS, TDT-Router (nur Wartung)

78

COSYNA

COSYNA

Coastal Observing System for Northern and Arctic Seas



79

Pflanzen-PET und Einsatz von USB 3.0 für die Datenerfassung

12. März 2014 | Peter Wüstner

Mitglied der Helmholtz-Gemeinschaft

Übersicht

- Das Pflanzen-PET
- Sensoren
- DAQ-Architektur
- USB
- Bisherige Ergebnisse

Mitglied der Helmholtz-Gemeinschaft

Pflanzen-PET

PET-Detektor zur Phänotypisierung von Pflanzen

Anwender:

Institut für Bio- und Geowissenschaften, Bereich Pflanzenwissenschaften (IBG-2)

Deutsche Pflanzen-Phänotypisierungs-Netzwerk (DPPN)

Ziel: automatisierte Untersuchung der Kohlenstoff-Transportvorgänge in Pflanzen

(CO₂, Meßzeit ca. 1 min)

aktive Substanzen:

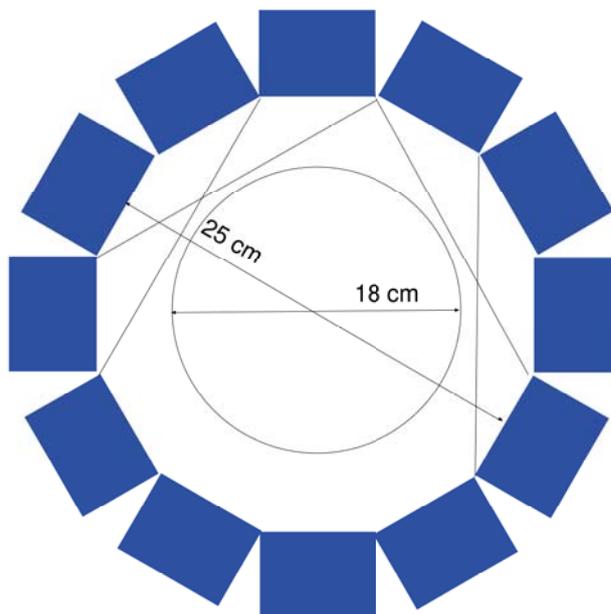
C¹¹ (t_{1/2} 20 min), O¹⁵ (t_{1/2} 2 min)

Geometrie:

18 cm Durchmesser, 18 cm hoch

Problem: keine Zeit für komplexe Hardwareentwicklung

3



Sensoren

Üblicherweise Photomultiplier mit Scintillator

hier: Digital Silicon Photomultiplier (DCP 320-22-44) von Phillips Digital Photon Counting, Aachen

1 Module hat 4 Tiles

1 Tile hat 4*4 Dies

1 Die hat 2*2 Pixel (es wird immer ein Die komplett getriggert)

1 Pixel hat 3200 Cells (Dioden)

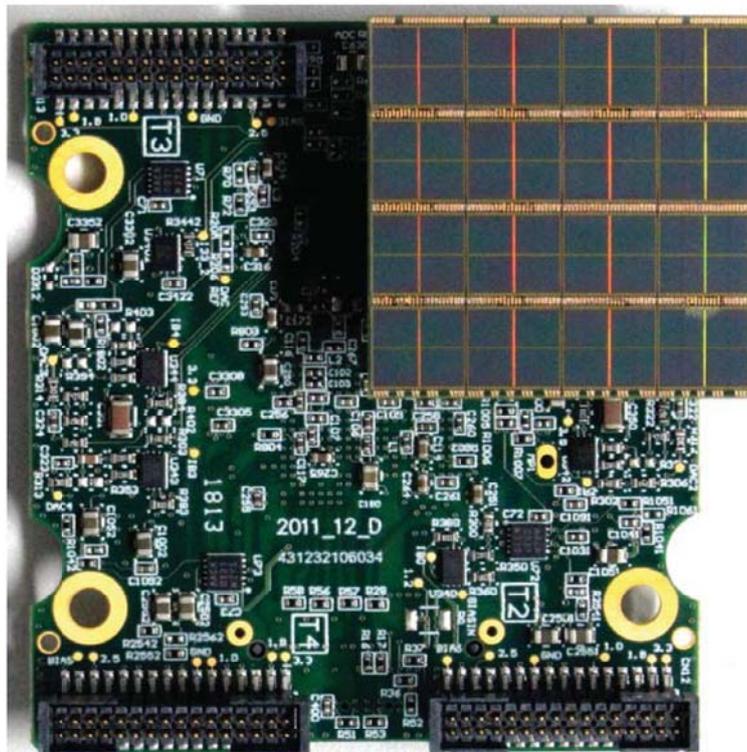
→ 8*8 Pixel pro Tile

16*16 Scintillator-Kristalle pro Tile, also 4*4 Kristalle/Dies

Ortsbestimmung mit Anger-Logik

3 Ringe mit je 12 Modules → 9216 Pixel insgesamt

5



Board-Auswahl

Keine Zeit für komplexe Eigenentwicklung

daher Suche nach "fertiger" Hardware, die möglichst alle Wünsche erfüllt, wegen der erwarteten Datenrate (ca. 300 Mbyte/s) z.B. 10 Gbit-Ethernet

Lösung: Xilinx Kintex-7 FPGA Mini-Module Plus von Avnet (+ Baseboard + Powermodule) als zentrales Element (Concentratorboard)
(Powermodule von Drittfirmen)

ausreichend LVDS-IOs, 256 Mbyte SDRAM

aber: kein 10Gb-Ethernet wie erhofft, stattdessen USB 3.0

USB 3.0 für 300 Mbyte/s schnell genug, daher Entscheidung für dieses Board

7

Mitglied der Helmholtz-Gemeinschaft

DAQ-Architektur

Tiles auf Moduleboards, direkt mit Steckverbinder (LVDS, I²C)

Moduleboards auf Hilfsboards mit Powersupply für Tiles und HDMI-Anschluß

Zwischenboard mit 12 HDMI-Anschlüssen, direkter Stecker zum Concentratorboard

Concentratorboard (Minimodule Plus) mit USB-3.0 (und LVDS-Ausgang zur Kaskadierung)

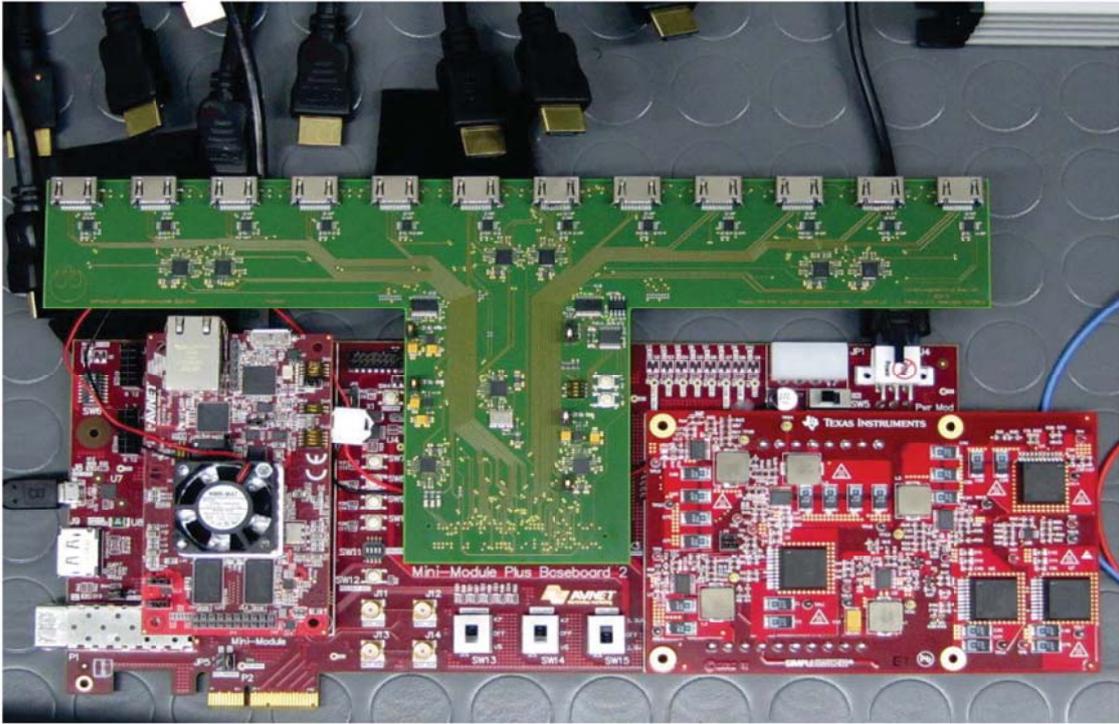
Erwartete Datenrate am USB (nach Koinzidenzlogik): ca. 300 Mbyte/s

DAQ- und Steuerrechner mit USB3 und Userinterface

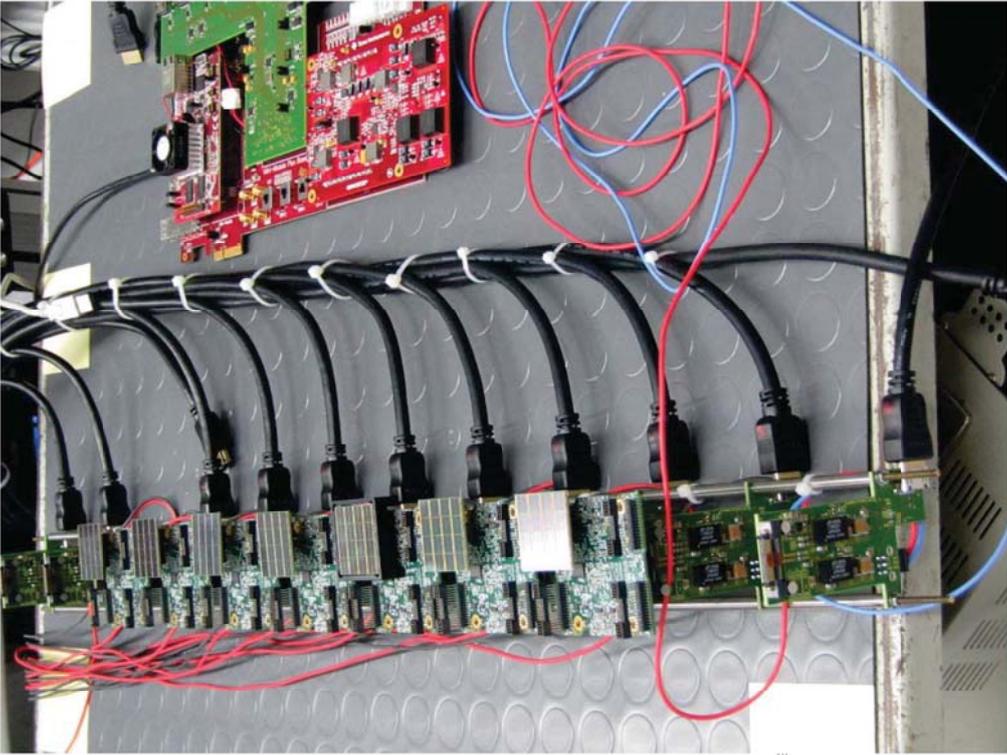
Fileserver (der dann doch mit 10GbE)

8

Mitglied der Helmholtz-Gemeinschaft



Mini-Module Plus Baseboard 2



Mini-Module Plus Baseboard 2

Datenrate

Pro Hit 11 Byte Daten (Intensitäten und 24 Bit Zeitmarke)
Intensitäten für alle vier Pixel eines Die, Zeitmarke für das erste Photon
Auflösung 19.5 ps (real(?) 44 ps)

Ein Frame: 327 μ s
Speicher für 42 Events pro Die im Tile-Memory

max. Datenrate pro Tile:
 $16 \text{ Dies} * 42 \text{ Events} * 11 \text{ Byte} / 327 \mu\text{s} = 22.6 \text{ Mbyte/s}$
max. Datenrate / Module (LVDS-Link über HDMI-Kabel): 100 Mbyte/s

Module können kaskadiert werden (weniger Leitungen, reduzierte Datenrate pro Module)

11

Member der Helmholtz-Gemeinschaft

USB

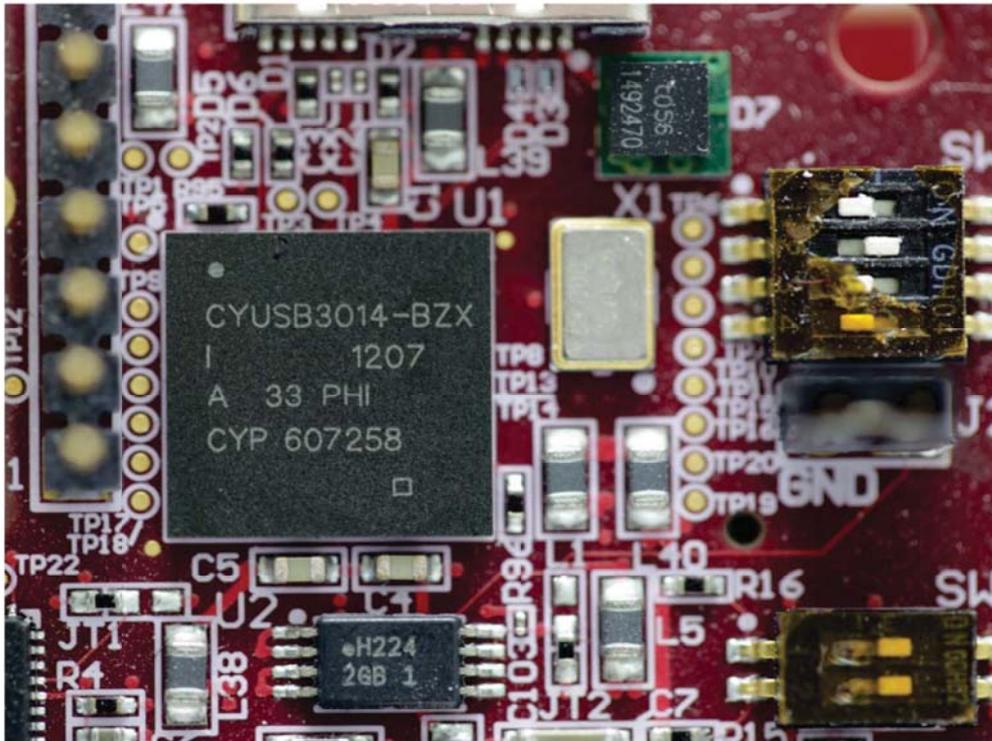
Chip: CYUSB3014
USB 3.0, 2.0, OTG
8, 16, 32-Bit data bus (100 MHz)
ARM926EJ Processor (32 Bit, 200 MHz, 512 kByte SRAM)

Software (Chip)
CyUSB Suite For Linux (g++/qt4)
benutzt zum Laden der Firmware und für einfache Tests
hat gute Beispiele für Benutzung der libusb

Software (Host)
libusb (libusbx)
(eingeschlafen, geforked, verbessert, reunifiziert)
auch für Windows (nur bis Windows 7?)

12

Member der Helmholtz-Gemeinschaft



Bisherige Ergebnisse

Kommunikation mit den Tiles erfolgreich getestet
(Setup über I²C, Datentransport über LVDS)

USB: Testübertragung (Dummydaten) mit 380 Mbyte/s
Steuerung (Start/Stop) und reale Datenquelle fehlt noch

Beteiligte

Matthias Streun (Projektleitung)
Andreas Erven
Günter Kemmerling
Holger Nöldgen
Ljuba Jokhovets
Michael Ramm
Stefan van Waasen
ZEA-1 (ehemals ZAT)
IBG-2
Phillips Digital Photon Counting, Aachen

Taktsynchronisierung und Zeitmessung in einem verteilten Datenerfassungssystem

Philipp Födisch*, Jonas Sandmann*, Bert Lange*, Peter Kaefer*

*Zentralabteilung Forschungstechnik, Helmholtz-Zentrum Dresden - Rossendorf, Bautzner Landstr. 400, 01328 Dresden

Zusammenfassung—Die Zeitmessung mit einem verteilten Datenerfassungssystem erfordert die Synchronisierung der einzelnen Teilsysteme. Eine dedizierte Taktverteilung ist für diese Anwendung eine einfache und präzise Lösung, erfordert aber zusätzlichen Installationsaufwand und bereitet vor allem bei der Skalierung des Gesamtsystems Probleme. Stattdessen können auch die vorhandenen Datenlinks der einzelnen Module für eine Rückgewinnung des Systemtaktes verwendet werden. Hier wird gezeigt, wie mit industriellen Komponenten (FPGA und Gigabit-Ethernet PHY) die Synchronisierung auf eine gemeinsame Taktfrequenz realisiert wird. Der Abgleich der Uhren erfolgt anschließend protokollbasiert über die Ethernet-Schnittstelle. Es werden die hardwareseitigen Anforderungen, die Umsetzung sowie die experimentellen Ergebnisse vorgestellt. Das implementierte System erreicht Genauigkeiten im Sub-Nanosekunden Bereich mit einer 1000BASE-T Punkt-zu-Punkt Verbindung.

I. EINLEITUNG

In kernphysikalischen Experimenten aber vor allem auch in medizinischen Anwendungen kommen häufig Detektorsysteme zum Einsatz, welche im Wesentlichen modular aufgebaut sind. Somit bleibt das System skalierbar und in der Handhabung einfach. Weiterhin wird im medizinischen Umfeld eine erhöhte Zuverlässigkeit der Komponenten verlangt, sodass ein Einsatz von industriell erprobten Komponenten unumgänglich ist. Medizinische Detektorsysteme werden meistens in Kombination mit einem bildgebenden Verfahren angewendet. Dabei beeinflusst die Zeitauflösung des Gesamtsystems und der Detektoren direkt die Rekonstruktionsqualität. Für solche Verfahren müssen die verteilten Datenerfassungsmodule synchronisiert werden. Eine einfache Lösung für die Synchronisierung ist die dedizierte Verteilung eines gemeinsamen Referenztaktes zu den einzelnen Modulen. Diese präzise Technik erfordert zusätzlich zur Datenübertragung einen erhöhten Installationsaufwand für die Elektronik der Taktverteilung. Die zeitliche Abweichung (Jitter) des verteilten Taktsignals entspricht der des Referenztaktgebers, insofern keine zusätzlichen Komponenten im Signalpfad der Taktverteilung notwendig sind. Durch den vom Master vorgegebenen Systemtakt können alle Ereignisse der Detektormodule mit einem Zeitstempel belegt werden. Ein Defizit dieser Technik besteht jedoch darin, dass die notwendigen digitalen Uhren der Module keinen absoluten Bezug zueinander besitzen. Jede Uhr besitzt einen unbekanntem Offset im absoluten Zeitsystem. Der Abgleich der Uhren kann protokollbasiert mit dem Precision Time Protocol [1] erfolgen, setzt jedoch eine Datenschnittstelle zur Übertragung der Informationen voraus. Mit der ohnehin beste-

henden Notwendigkeit eines Datenlinks für jedes Modul des Datenerfassungssystems, soll mit diesem Beitrag untersucht werden, inwiefern sich eine 1000BASE-T Schnittstelle mit industriellen Komponenten zur Übertragung des Referenztaktes eignet. Die Verteilung eines Taktes über eine gewöhnliche Netzwerktopologie bietet zusätzliche Skalierbarkeit. Neben der präzisen Taktverteilung und Synchronität der Uhren ist der Time-to-Digital Converter (TDC) zur Generierung von Ereignis-Zeitstempeln eine limitierende Komponente für die erreichbare Zeitauflösung in einem verteilten Datenerfassungssystem. In digitalen, FPGA-basierten Systemen sind Zeitaufösungen von einigen Pikosekunden als Stand der Technik zu betrachten. Diese Umsetzungen erfordern jedoch einen erhöhten Platzbedarf und Implementierungsaufwand mit Hinblick auf Routing und Kalibrierung. Liegt die Anforderung für die zeitliche Auflösung der Zeitstempel jedoch im Bereich von wenigen Nanosekunden (vgl. [2]), können die in aktuellen FPGAs vorhandenen Deserialisierer verwendet werden, um einen TDC mit einer Auflösung weit über der Taktrate der FPGA-Logik zu implementieren. In diesem Beitrag wird eine Schaltungsanordnung für FPGAs beschrieben, mit der im Bereich von Sub-Nanosekunden Zeitstempel generiert werden können.

II. SYSTEMAUFBAU

Für die Untersuchungen wurde eine FPGA Mezzanine Card (FMC) mit zwei Gigabit Ethernet Physical Layern (Texas Instruments DP83865 [3]), Spannungsregler, LEDs und Steckverbindern entwickelt (Abb. 1). Der Ethernet MAC

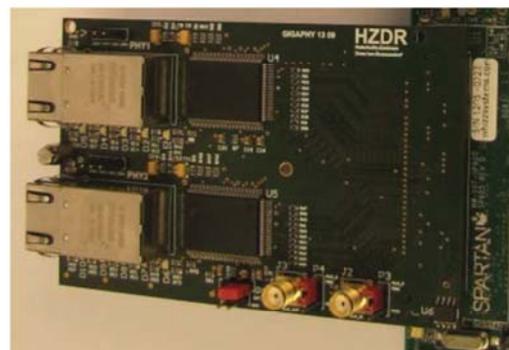


Abbildung 1. FPGA Mezzanine Card mit zwei Gigabit Ethernet Physical Layer Schaltkreisen

ist vollständig im FPGA implementiert. Weiterhin wird ein UDP-Protokollstapel und eine 1000BASE-T Verbindung zur Übertragung von Datenpaketen verwendet. Die Firmware wurde für aktuelle FPGA Plattformen entwickelt (Kintex 7 und Spartan 6). Mit der Messanordnung soll der Einfluss der einzelnen Komponenten (Taktgeber, PHY, FPGA) auf das Synchron Ethernet (SyncE) untersucht werden. Dafür wurde der Ethernet PHY DP83865 zur Evaluierung ausgewählt, da dieser Schaltkreis wahlweise mit einem Schwingquarz oder einem Oszillator als Taktquelle betrieben werden kann. Für die Verteilung des Referenztaktes über die Datenleitung werden verschiedene aktive Taktquellen mit unterschiedlicher Präzision untersucht. Als Taktquelle kann ein Oszillator (X053 bzw. DSC2311) oder eine Xilinx Phase-locked loop (PLL) an den PHY angeschlossen werden (siehe Abb. 2). Die Takteinspei-

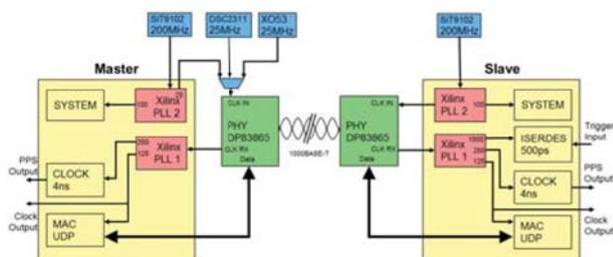


Abbildung 2. Blockschaltbild der Messanordnung mit einem Master FPGA (Kintex 7), einem Slave FPGA (Spartan 6) und zwei Gigabit Ethernet PHYs (DP83865)

zung des Slave PHYs erfolgt ebenfalls über eine externe Quelle (für die Messungen wurde der Takt von einer PLL im FPGA erzeugt). Für die Bewertung der Referenztaktverteilung wird der Slavetakt nicht modifiziert. Bei allen Messungen wurde eine Punkt-zu-Punkt-Verbindung zwischen den PHYs aufgebaut. Der FPGA übernimmt softwareseitig die Registerkonfiguration des PHYs als Master bzw. Slave, welche im Autonegotiation-Verfahren übermittelt wird. Der Master sendet schließlich die Daten mit dem externen Referenztakt, welcher im Slave zurückgewonnen wird. Die 1000BASE-T Übertragung sieht vor, dass der Slave seine Daten mit dem Takt des Masters sendet. Die für eine Datenübertragung notwendige Taktrückgewinnung im Slave ist bereits im DP83865 durch ein ADC Subsystem integriert [3].

III. TAKTSYNCHRONISIERUNG

Für die Evaluierung der Taktverteilung wird die Frequenzstabilität (Jitter) an verschiedenen Stellen im System untersucht. Als Referenztakt (Master-Takt) wird ein Signal mit 25 MHz (Abb. 3 unten) im Master PHY eingespeist. Dieser generiert mit einer PLL den Transceiver-Takt mit einer Frequenz von 125 MHz für den Datenstrom, welcher im Slave aus den Daten als Empfangstakt (Abb. 3 oben) zurückgewonnen wird und am Pin RX_CLK ausgegeben wird. Der Empfangstakt wird über eine PLL im Slave FPGA mit den benötigten Frequenzen verteilt. Die Genauigkeit der Taktsynchronisierung wird anhand des Jitters im Signalpfad bewertet. Dieser wurde

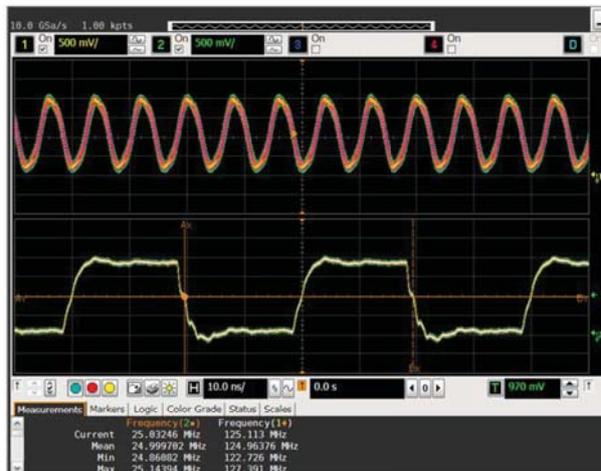


Abbildung 3. Master-Takt mit 25 MHz (unten) und Transceiver-Takt mit 125 MHz (oben) des Gigabit Ethernet Physical Layer DP83865

durch verschiedene Messgeräte im Zeitbereich (Oszilloskop Agilent MSO9404A) und im Frequenzbereich mit Signalanalysatoren (u. a. Agilent PXA N9030A, vgl. Abb. 4) gemessen. Reproduzierbare und zuverlässige Ergebnisse wurden mit den Phasenrauschmessungen im Frequenzbereich erzielt und werden demnach zur Bewertung der Ergebnisse herangezogen. Das Phasenrauschen bezüglich der Trägerfrequenz wurde in einem Bereich von 10 Hz bis 10 MHz gemessen. Die Integration der Werte ergibt eine qualitative Aussage über den totalen Jitter (RMS) in Sekunden. Ziel der Untersuchung war



Abbildung 4. Phasenrauschmessung des Master-Taktes mit dem Signalanalysator Agilent PXA N9030A

die Bewertung der Komponenten im Signalpfad mit Hinblick auf die Fortpflanzung des totalen Jitters von der Einspeisung des Referenztaktes bis zur Rückgewinnung und Verteilung im Slave FPGA. Für diesen Zweck wurden drei verschiedene Taktgeber als Quelle für den Master PHY evaluiert (Quarz-

oszillator, MEMS Oszillator, Xilinx PLL). Das beste Signal lieferte der 25 MHz Quarzoszillator mit 5 ps Jitter (vgl. Abb. 5 Master Clock). Mit diesem Takt am Eingang generiert der DP83865 den Takt zur Datenübertragung mit 125 MHz und 20 ps Jitter (vgl. Abb. 5 Transceiver Clock). Nach der Takt-rückgewinnung im Slave PHY wird ein Takt mit einem Jitter von 32 ps in die FPGA PLL gespeist. Letztendlich generiert diese den Takt für die Logik im Slave mit 44 ps Jitter (vgl. Abb. 5 Slave Clock). Die Messungen bestätigen die Annahme, dass jede PLL Schaltung im Signalpfad zusätzlichen Jitter generiert. Somit bestimmen die PLLs maßgeblich die Präzision der Taktsynchronisierung. Ein geringeres Phasenrauschen des Referenztaktes wirkt sich demnach nur geringfügig auf die Taktübertragung aus. Die Messungen zeigen, dass eine Taktsynchronisierung über eine 1000BASE-T Leitung (Synchrones Ethernet) mit einer Genauigkeit von 44,27 ps totalem Jitter (RMS) durch ein FPGA mit Gigabit Ethernet PHY realisiert werden kann.

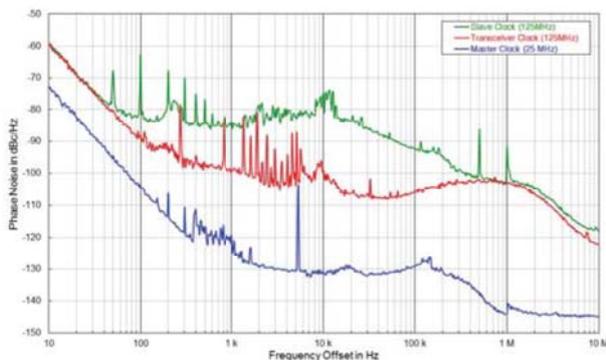


Abbildung 5. Phasenrauschmessung an verschiedenen Stellen der Taktsynchronisierung im Signalpfad. Gemessener totaler Jitter (RMS) der Takte: Slave-Takt (grün): 44,27 ps; Transceiver-Takt (rot): 19,89 ps; Master-Takt (blau): 5,33 ps

Im Phasenrauschdiagramm des Referenztaktes (Abb. 4 und 5) ist ein markanter „Spur“ bei ca. 5 kHz sichtbar. Die Messungen wurden mit einem anderen Gerät (Holzworth HA7062B Phase Noise Analyzer) zu einem späteren Zeitpunkt wiederholt. Der „Spur“ konnte nicht reproduziert werden und es wurde ein totaler Jitter von 4,02 ps im Messbereich von 10 Hz bis 1 MHz ermittelt, d. h. das Phasenrauschen des Referenztaktes war kleiner als die Messauflösung des Agilent PXA N9030A (-130 dBc/Hz bei 1 kHz Offset).

IV. ZEITMESSUNG

In einem verteilten Datenerfassungssystem, bei dem alle Module auf dem gleichen Referenztakt arbeiten, müssen für koinzidente Zeitmessungen die Uhren der Module absolut synchronisiert werden. Die Verteilung des Referenztaktes in Kombination mit einem Datenlink vereinfacht den Abgleich der Uhren erheblich. Die Uhren müssen lediglich zu Beginn der Messung mit dem Master im Offset abgeglichen werden, anschließend laufen diese auf der konstanten Taktfrequenz synchron. Eine einfache Methode zur Berechnung der Offsets

zwischen zwei Uhren wird mit dem Precision Time Protocol (PTP) beschrieben [1]. Die Uhren mit der Taktfrequenz f_{CLK} können mit PTP auf $T_{CLK} = \frac{1}{f_{CLK}}$ Sekunden absolut synchronisiert werden. Ein Abgleich der Phasenlage im Intervall T_{CLK} ist mit PTP nicht möglich. Um die Synchronität der Uhren zu bewerten, wird von jeder Uhr in den unterschiedlichen Teilsystemen ein Puls pro Sekunde ausgegeben (PPS). Die zeitliche Differenz der PPS Signale wird durch die Phasenlage und das Phasenrauschen der synchronisierten Taktsignale bestimmt. Die Standardabweichung dieser Differenz wird zur Beurteilung der zeitlichen Auflösung gemessen. Die PPS Messungen mit dem Oszilloskop (Agilent MSO9404A) haben gezeigt, dass die zeitliche Differenz der Uhren im Bereich des Phasenrauschens des Eingangstaktes liegt. Mit dem Messaufbau nach Abb. 2 und der Taktfrequenz $f_{CLK} = 250$ MHz wurde eine Standardabweichung der Uhren von 57 ps ermittelt (vgl. Abb. 6). Die Taktfrequenz f_{CLK} der Uhr bestimmt in einem digita-

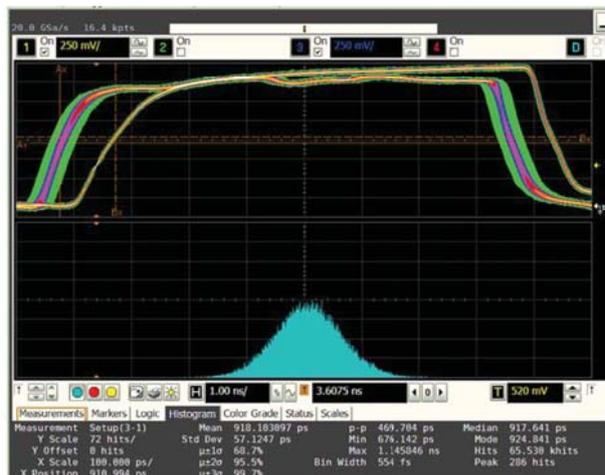


Abbildung 6. Zeitliche Abweichung der PPS Signale mit synchronisierten Uhren. Die Standardabweichung der Uhren beträgt 57,12 ps

len System wie dem FPGA die Genauigkeit der Zeitstempel. Sollen Ereignisse (logische Triggersignale) zeitlich genauer als T_{CLK} aufgelöst werden, müssen spezielle digitale Schaltungen (TDC) im FPGA realisiert werden. Aufwendige Schaltungen mit Genauigkeiten im Bereich von wenigen Pikosekunden sind in ihren Anforderungen und Implementierungen hinlänglich bekannt. Im Folgenden soll eine Schaltung für Xilinx FPGAs vorgestellt werden (am Beispiel Xilinx Spartan 6), welche im Sub-Nanosekunden Bereich Zeitstempel generiert, in der Logik-Platzierung und Logik-Verbrauch äußerst effizient ist und in der Anzahl der TDC-Kanäle mit der Pinanzahl des FPGAs korreliert. In Xilinx FPGA Familien mit Deserialisierern an den Eingangspins (ISERDES) können diese Pins die Funktion eines TDC-Kanals realisieren. Die Deserialisierer der Eingangspins parallelisieren einen seriellen Eingangsdatenstrom der Frequenz f_{IO} auf einen langsameren Takt der Frequenz f_{CLKDIV} . Diese Logikblöcke verarbeiten Datenströme bis zu 1050 Mb/s [4], d. h. es können logische Pegel mit ca. 1 ns

abgetastet werden. Weiterhin besitzen die ISERDES Blöcke die Eigenschaft, dass diese pro Eingangspin kaskadiert bzw. parallel geschaltet werden können (zwei ISERDES Blöcke pro differentiellen Eingangspaar). Die Anwendung der ISERDES Blöcke als SERDES-TDC soll mit der vorgeschlagenen Schaltungsanordnung nach Abb. 7 überprüft werden.

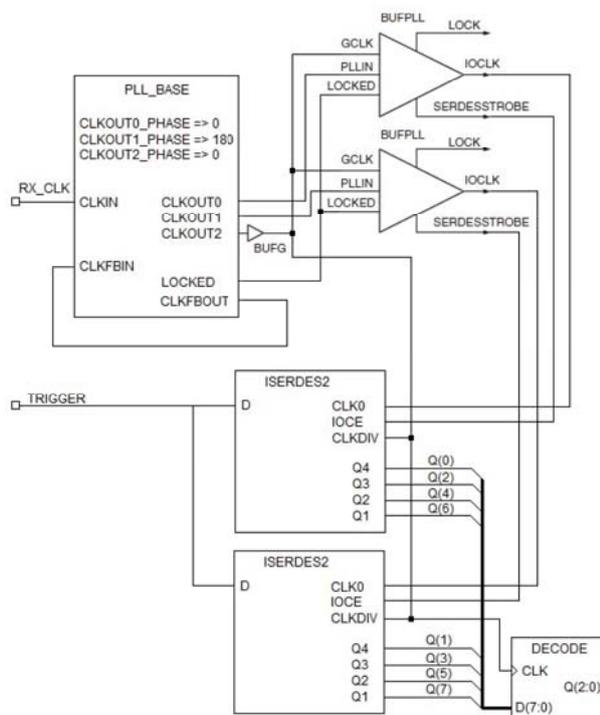


Abbildung 7. Vereinfachtes Blockschaltbild der Zusammenschaltung von ISERDES2 Blöcken zu einem SERDES-TDC mit Takterzeugung

Jeder ISERDES Block liefert im Takt f_{CLKDIV} 4 Bit [5]. Mit der Vorgabe, dass ein logisches Triggersignal (TTL Pegel) im Sub-Nanosekunden Bereich erfasst werden soll, muss ein ISERDES Block mit einer Frequenz $f_{CLKDIV} \geq 250$ MHz decodiert werden. Somit diskretisiert jedes Flipflop des 4 Bit Schieberegisters den Zeitstempel auf 1 Bin mit der Breite 1 ns. Für die Untersuchungen der Genauigkeit eines SERDES-TDC wurden in einem Xilinx Spartan 6 (LX45T) zwei ISERDES Blöcke an einem Eingangspin parallel geschaltet. Die interne PLL des FPGAs erzeugt die benötigten Taktfrequenzen mit $f_{IO} = 1$ GHz und $f_{CLKDIV} = 250$ MHz. Die zwei parallelen ISERDES Blöcke des Eingangspins werden mit jeweils zueinander invertierten Takten ($\varphi_{IO} = 180^\circ$) betrieben, sodass die SERDES-TDC 8 Bin mit einer Auflösung von 500 ps pro Bin generiert. Der Logikverbrauch der TDC Schaltung ohne Decoder ist mit 6 Xilinx Primitives (1 PLL_BASE, 1 BUFPG, 2 BUFPLL, 2 ISERDES2) minimal. In der Messanordnung wurde an die synchronisierten Module ein identisches Triggersignal angelegt. Die Differenz der Zeitstempel mit dem SERDES-TDC zeigt Abb. 8. Die Standardabweichung der

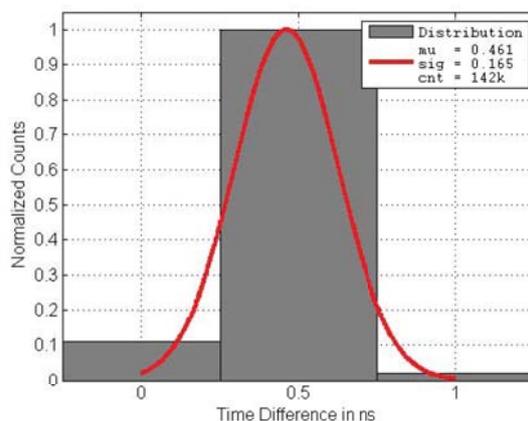


Abbildung 8. Zeitliche Differenz der Zeitstempel mit einem SERDES-TDC in synchronisierten Modulen

Verteilung liegt wie erwartet im Sub-Nanosekunden Bereich. Die synchronisierten Module können die Triggersignale besser als 1 ns (Peak-Peak) abtasten. Das Ergebnis lässt sich mit kürzeren Anstiegszeiten des Triggersignals noch optimieren. Für die Messung wurde ein Rechtecksignal mit TTL Pegel und 8,4 ns Anstiegszeit mit einem Agilent AWG33522B generiert. Die Bin-Verteilung des implementierten SERDES-TDC ist in Abb. 9 dargestellt. Die Verteilung zeigt, dass eine Kalibrierung der einzelnen Bins auf ihr zeitliches Intervall nicht notwendig ist. Die Bins sind annähernd gleich verteilt.

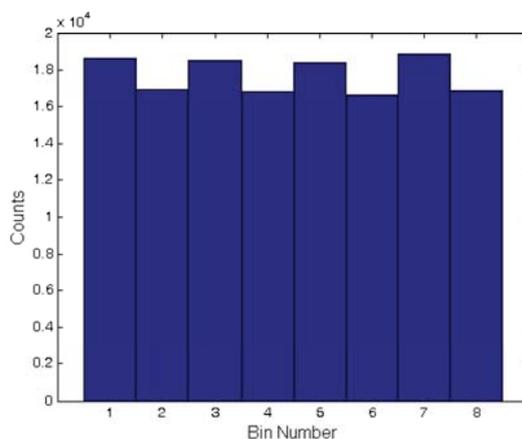


Abbildung 9. Verteilung der Bins des SERDES-TDC mit 250 MHz Systemtakt und einer Bin-Breite von 500 ps

V. ZUSAMMENFASSUNG UND AUSBLICK

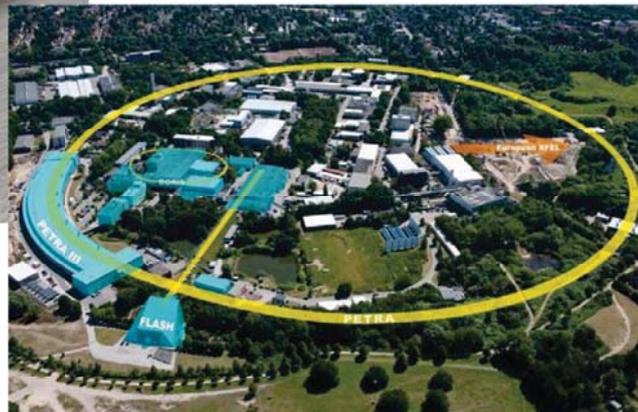
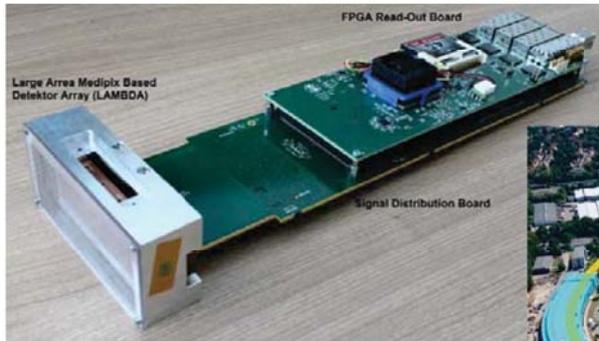
Es wurde ein ressourceneffizienter Aufbau zur Synchronisierung von Modulen in einem verteilten Datenerfassungssystem vorgestellt. Unter der Vorgabe, dass der Datenaustausch über Ethernet mit einer 1000BASE-T Leitung erfolgt, wurde

gezeigt, dass mit dieser Datenleitung eine Taktsynchronisierung mit einer Genauigkeit von 44 ps (RMS Jitter) erreicht werden kann. Die Taktverteilung über eine Datenleitung hat im Vergleich zu einer dedizierten Taktverteilung den Vorteil, dass alle Uhren im System mit dem Precision Time Protocol abgeglichen und absolut synchronisiert werden können. Die Messungen im System haben gezeigt, dass die verteilten Uhren mit einer Genauigkeit von 57 ps bei einer Frequenz von 250 MHz synchron arbeiten. Zusätzlich zur Taktsynchronisierung wurde gezeigt, wie mit minimalen Ressourcenverbrauch in einem FPGA (6 Xilinx Primitives) die Zeitstempelung im Sub-Nanosekunden Bereich durch einen SERDES-TDC erfolgt. Im nächsten Schritt wird untersucht, mit welcher Methode und Präzision sich der konstante Zeitoffset der Uhren im Intervall T_{CLK} über das Precision Time Protocol hinaus korrigieren lässt.

LITERATUR

- [1] "IEEE standard for a precision clock synchronization protocol for networked measurement and control systems," *IEEE Std 1588-2008 (Revision of IEEE Std 1588-2002)*, pp. c1–269, July 2008.
- [2] P. Födisch, B. Lange, and P. Kaever, "Eine Ausleseelektronik für CZT-Detektoren mit dem RENA-3 IC von Nova R&D," in *SEI 2013 - 104. Tagung der Studiengruppe Elektronische Instrumentierung im Frühjahr 2013*, 2013, pp. 135–143.
- [3] Texas Instruments, *DP83865 Gig PHYTER V 10/100/1000 Ethernet Physical Layer*, Texas Instruments, Inc., 2004, Literature Number: SN-LS165B.
- [4] N. Sawyer, *Source-Synchronous Serialization and Deserialization (up to 1050 Mb/s)*, Xilinx, Inc., 2013, XAPP1064 (v1.2) November 19, 2013.
- [5] Xilinx, *Spartan-6 FPGA SelectIO Resources*, Xilinx, Inc., 2014, UG381 (v1.6) February 14, 2014.

Development of LAMBDA detector in DESY FS-DS



Sergej Smoljanin
Detector Group DESY

SEI-Tagung an der HZG, 12.03.2014



What is our mission?

- > Photon science experiments at DESY:
 - PETRA-III synchrotron
 - FLASH free electron laser
 - European X-ray free electron laser (being built)
- > Our job:
 - Support and develop detectors for these experiments



Who are we?

- > 25 members
- > 15 scientists
- > 8 engineers
- > 2 technicians



Developments

- > Our main projects:
 - Adaptive Gain Integrating Pixel Detector (AGIPD) (European XFEL)
 - Percival (Pixelated Energy Resolving CMOS Imager, Versatile and Large) detector (Soft X-ray detector)
 - **Large Area Medipix3-Based Detector Array / Lambda**

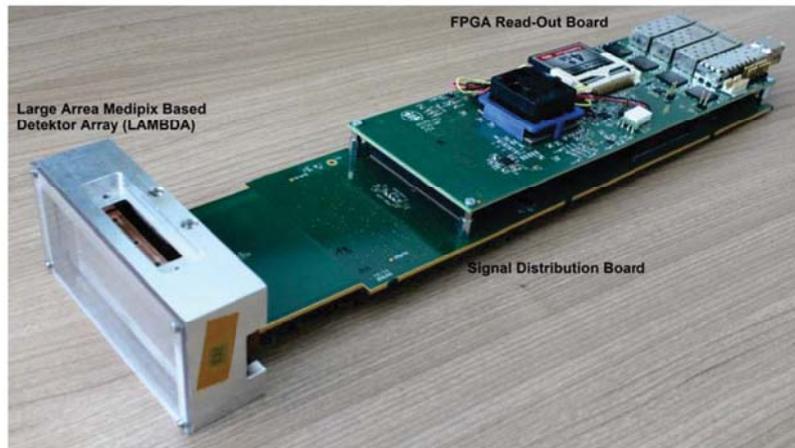


Large Area Medipix3-Based Detector Array (LAMBDA)

- > Photon-counting hybrid pixel detector based on Medipix3 chip
- > High-speed readout up to 2000 frames per second (in progress)
- > Compatible with Silicon and high-Z sensor materials for detecting hard X-rays

> Applications:

- X-ray scattering
- X-ray imaging



Hybrid pixel array detectors

Detection Layer

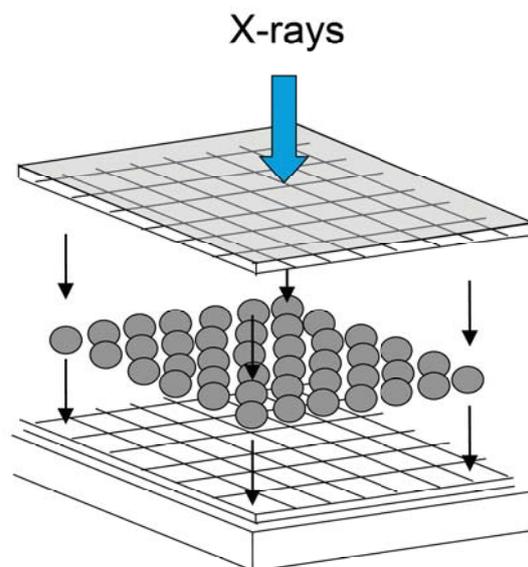
- Direct x-ray conversion to electrical pulse
- Silicon, GaAs, CdTe, etc.

Connecting Bumps

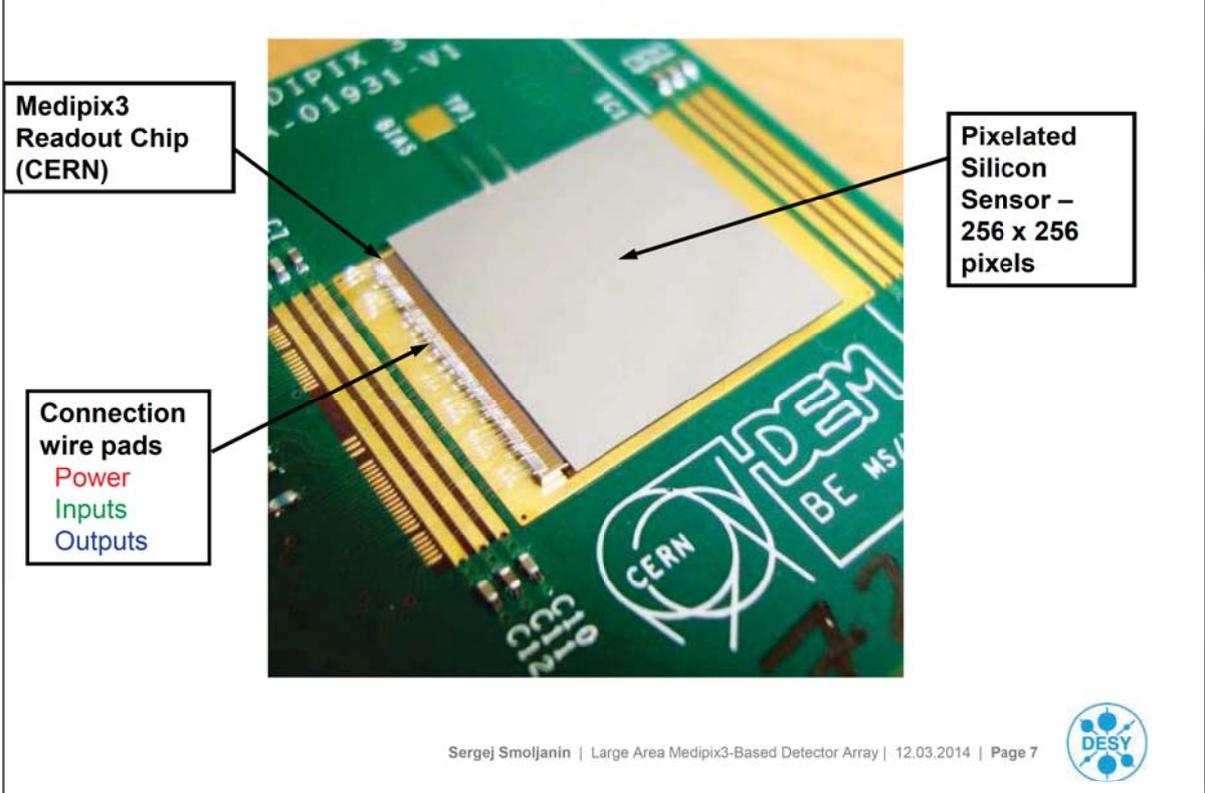
- Solder or indium
- 1 per pixel

CMOS Layer

- Signal processing
- Signal storage & output

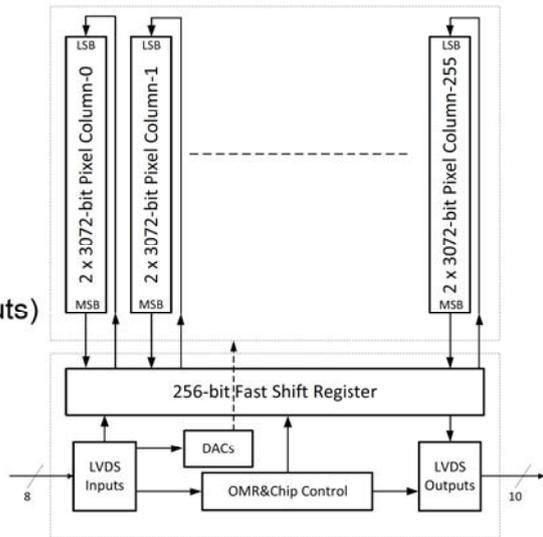
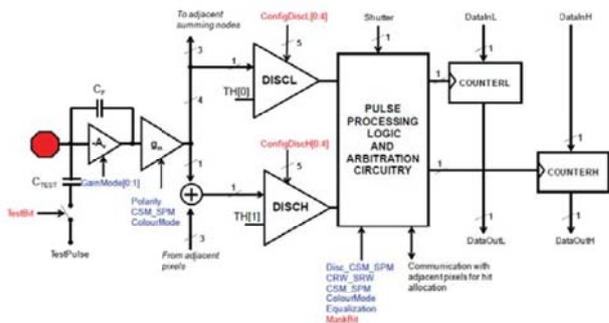


Hybrid pixel array detectors



Medipix3 readout chip

- > Two 12 bit counter in each pixel of 55µm
- > Matrix size:
 - 12Bit x 256Pixel x 256Pixel = 98304 Byte
- > 8 LVDS inputs for configuration & control
- > Parallel readout (8 LVDS data outputs + additional clock & acknowledgement outputs)
- > Readout time @ 200Mhz clock ~ 0,5ms



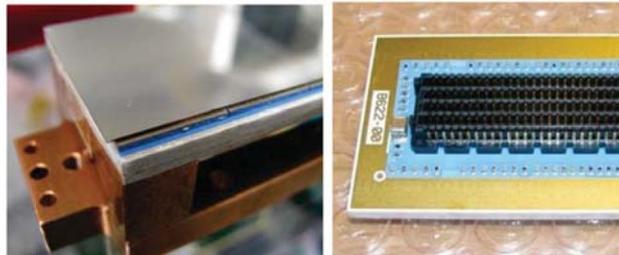
Detector head

- > 6 by 2 chips (1536 by 512 pixels)
 - 1 large Si sensor
- > Ceramic circuit board (LTCC)
 - Good match to semiconductor CTE
 - Cooling through thermal vias
- > 500-pin connector on board
 - 120 LVDS outputs
 - 26 LVDS inputs
- > 19 Gbit/s with 200 MHz readout



6 x 2 Medipix3 chips

LTCC board



Sergej Smoljanin | Large Area Medipix3-Based Detector Array | 12.03.2014 | Page 9



High-speed electronics

- > DESY high-speed readout card (also used for AGIPD and PERCIVAL)
 - Virtex-5 XC5VFX70T FPGA with embedded PowerPC 440 processor
 - 2 * DDR2 SODIMM (2 GB each)
 - Up to 4 * 10 Gigabit Ethernet links
- > “Signal distribution” board connects to detector head
 - Provides the power supply for detector head and high-speed readout card

Connector to det. head



Power / trigger in

10GE links

Sergej Smoljanin | Large Area Medipix3-Based Detector Array | 12.03.2014 | Page 10

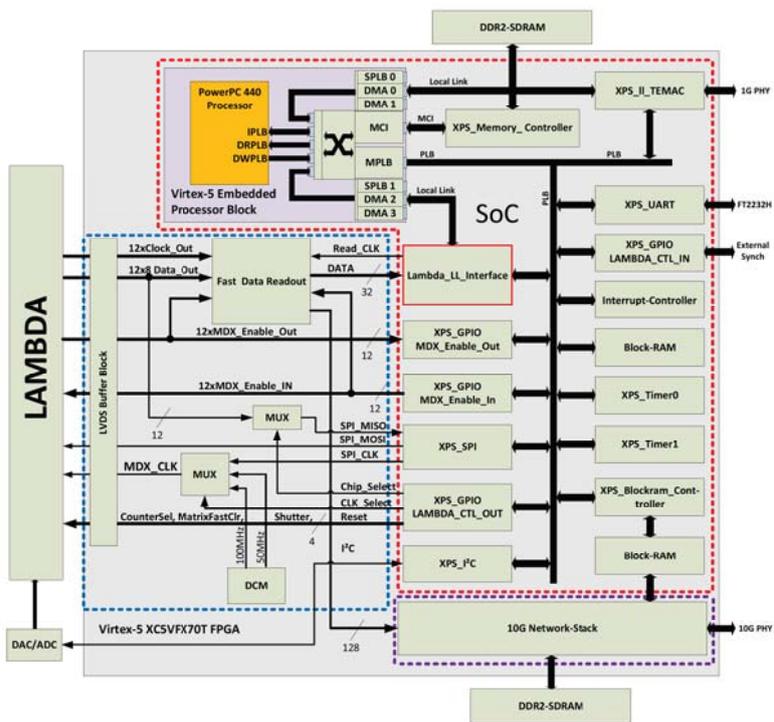


Firmware development

➤ The firmware development for the Xilinx Virtex5 XC5VFX70T FPGA is a collaboration of:

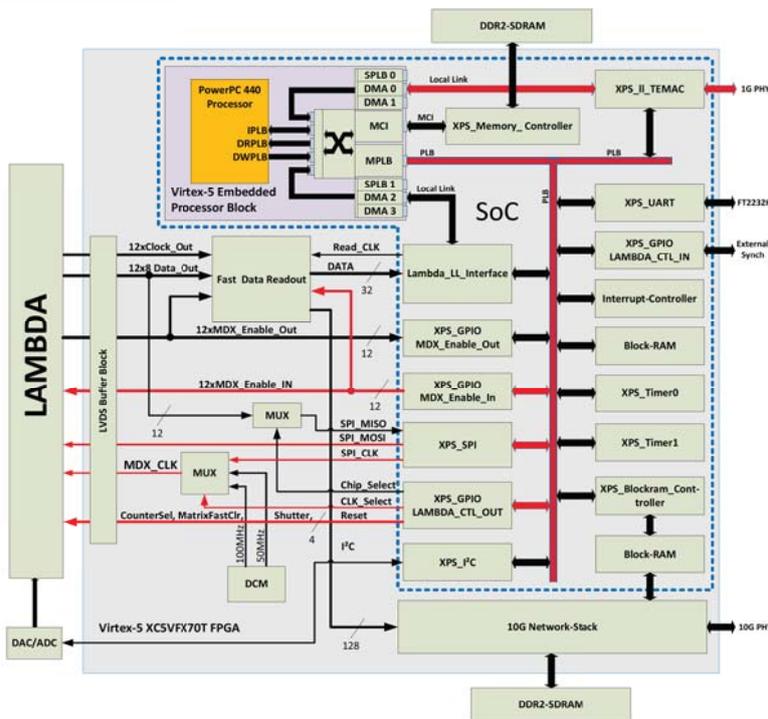
- DESY FS-DS (Sergej Smoljanin)
- DESY FEA (Igor Sheviakov, Qingqing Xia)
- Technische Universität München (Franz Michael Epple)

Firmware concept



- PowerPC 440 – based SoC for detector control
- Two variants of data transmission
 - Gigabit Ethernet (TCP/IP)
 - 10 Gigabit Ethernet (UDP)

Detector control

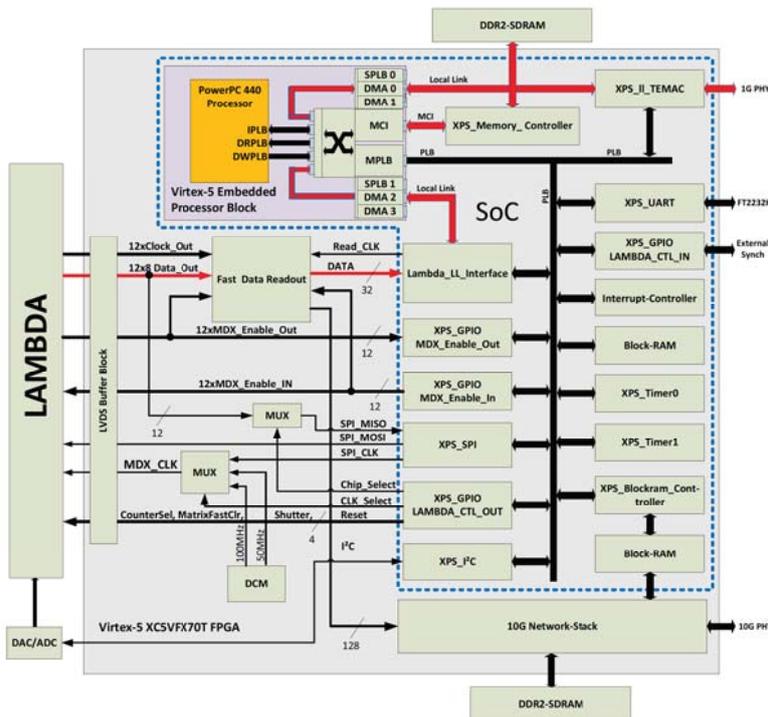


- > The transmission of detector configuration data and instructions via Gigabit Ethernet (TCP/IP)
- > Interpretation and execution of instructions by PowerPC 440 processor

Sergej Smoljanin | Large Area Medipix3-Based Detector Array | 12.03.2014 | Page 13



Image data transmission

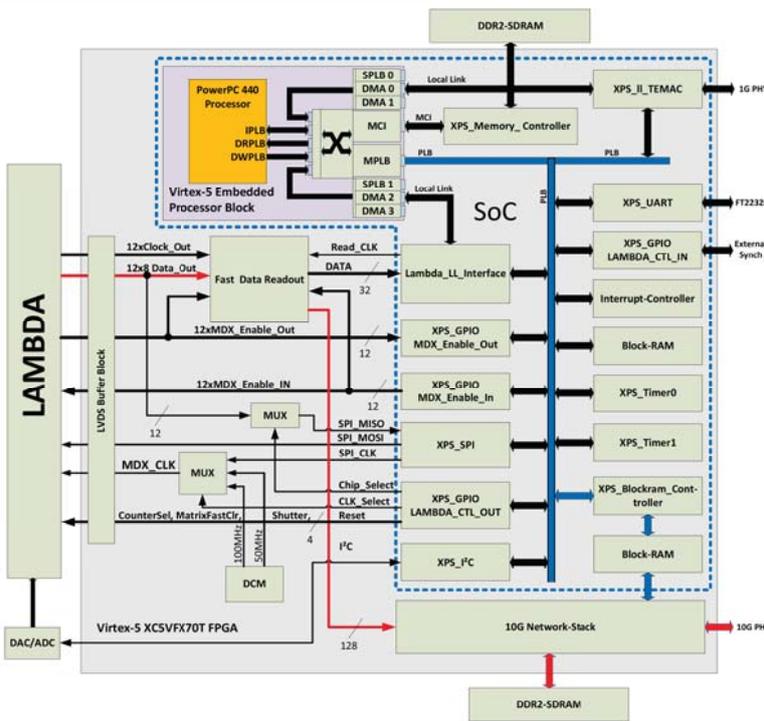


- > Transmission of the matrix data via Gigabit Ethernet (TCP/IP)
- > Transmission bandwidth of Gigabit up to 800 Mbit/s
- > Image frame rate up to 70 Images/s

Sergej Smoljanin | Large Area Medipix3-Based Detector Array | 12.03.2014 | Page 14



Image data transmission



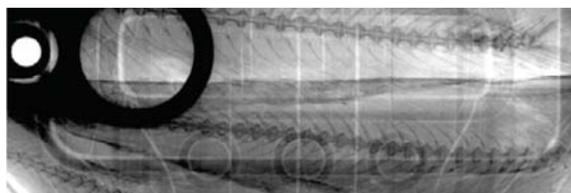
- > Transmission of the matrix data via 10G Ethernet (UDP) along SOC
- > Configuration of IP and MAC addresses by PowerPC processor
- > Transmission bandwidth of 10G link up to 9,4 Gbit/s
- > Image frame rate up to 1000 Images/s per 10G link

Sergej Smoljanin | Large Area Medipix3-Based Detector Array | 12.03.2014 | Page 15



Progress to date

- > Prototype system working with 12 Medipix3 chips and Si sensor
 - 3 full systems running in experiments
- > Used in experiments at PETRA-III since summer 2013



Sergej Smoljanin | Large Area Medipix3-Based Detector Array | 12.03.2014 | Page 16

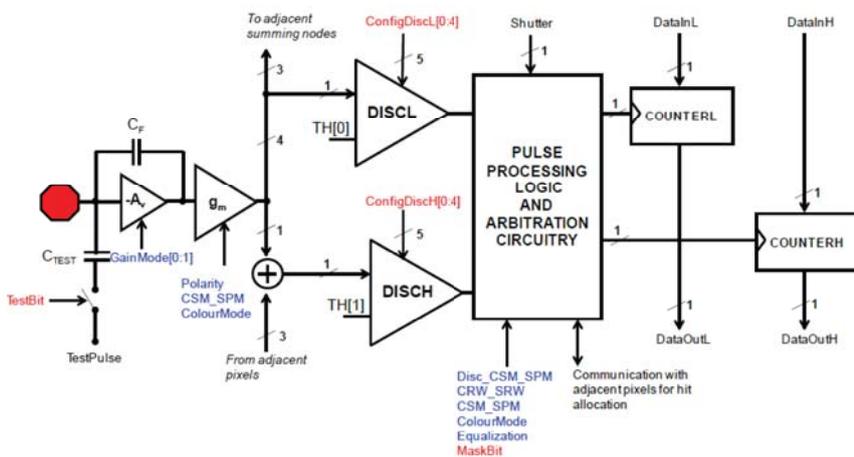


Large-area Medipix3 project

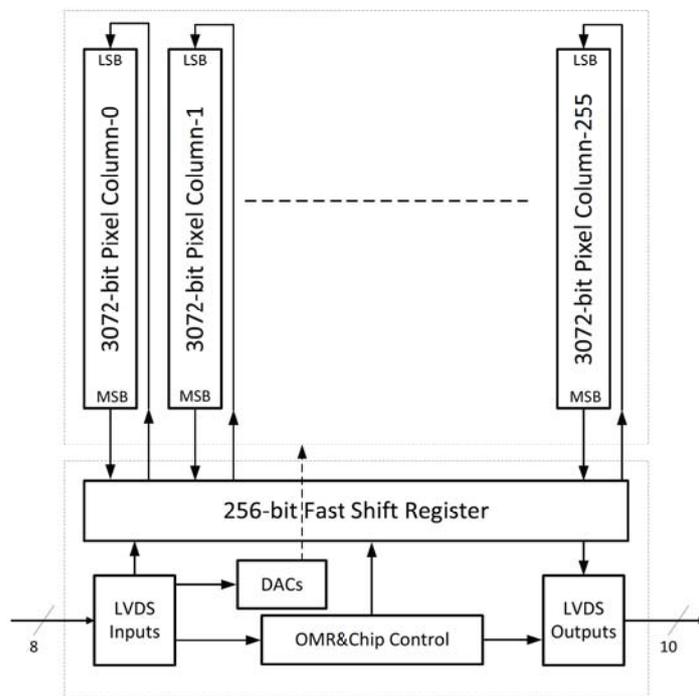
Thanks for listening



Medipix3 readout chip



Medipix3 readout chip



Sergej Smoljanin | Large Area Medipix3-Based Detector Array | 12.03.2014 | Page 20

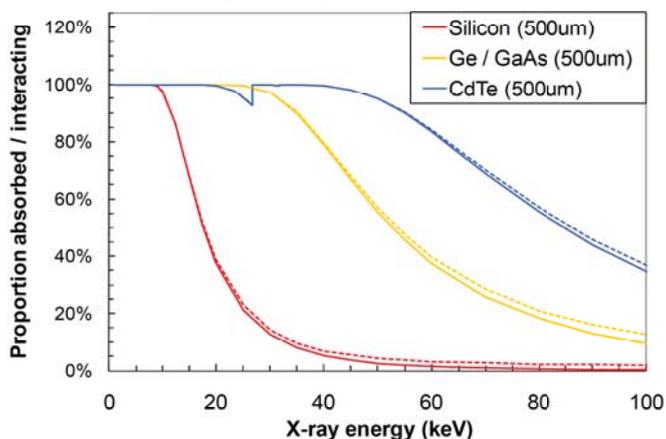


High-Z materials

> Many Petra-III (DESY synchrotron) experiments up to 100 keV x-ray

- Replace silicon with another semiconductor

X-ray absorption / interaction



> Germanium:

- Germanium (Canberra),
Still tests: How sensitive are diodes to high temperatures
- Indium bump bonding (IZM)
Relatively cold bonding (<100°C)

Sergej Smoljanin | Large Area Medipix3-Based Detector Array | 12.03.2014 | Page 21



New Automation Technology
Beckhoff Automation GmbH

Leading Edge Automation Technology

Carsten Brunotte
Dipl.-Ing Elektrotechnik
Produktmanager TwinCAT
Beckhoff Automation GmbH



BECKHOFF New Automation Technology

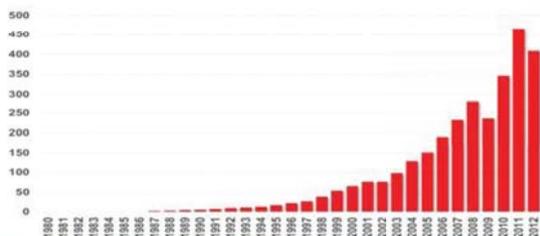


14.09.2014 1

New Automation Technology
Beckhoff Automation GmbH



Headquarter + production: **Verl, Germany**
Headquarter premises in Verl: **41.600 m²**
Employees worldwide: **2.470**
Thereof engineers: **800**
International representation: **> 60 Countries**
Total revenue 2012: **408 Mio. € (+18 % 2010)**



BECKHOFF New Automation Technology



14.09.2014 2

New Automation Technology

One major focus area: Machine building industry



BECKHOFF New Automation Technology

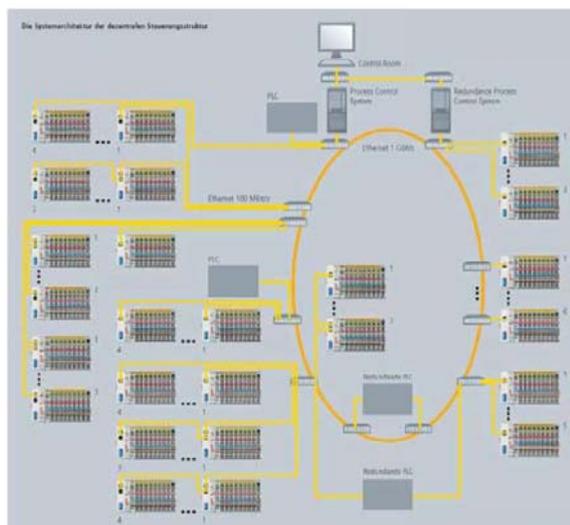
14.09.2014 3

Endanwender | Barcelona, Spanien

GTD Sistemas de información

**Europäischer Weltraumbahnhof Kourou:
Steuerungs- und Überwachungssystem für die Abschussrampe der Sojus-Trägerrakete**

Verarbeitung von über 30.000 Signalen
und Daten in einer Entfernung von ca. 10 km



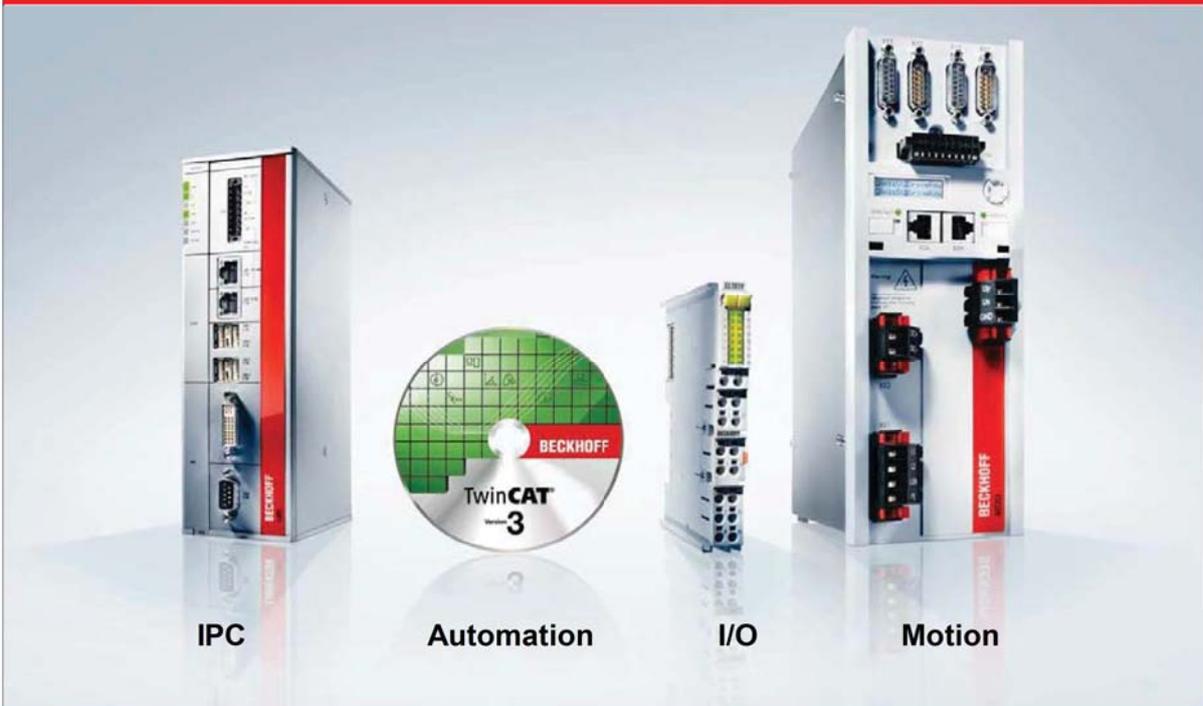
BECKHOFF New Automation Technology

Applikationen & Lösungen

4

New Automation Technology

PC-basierte Steuerungstechnik



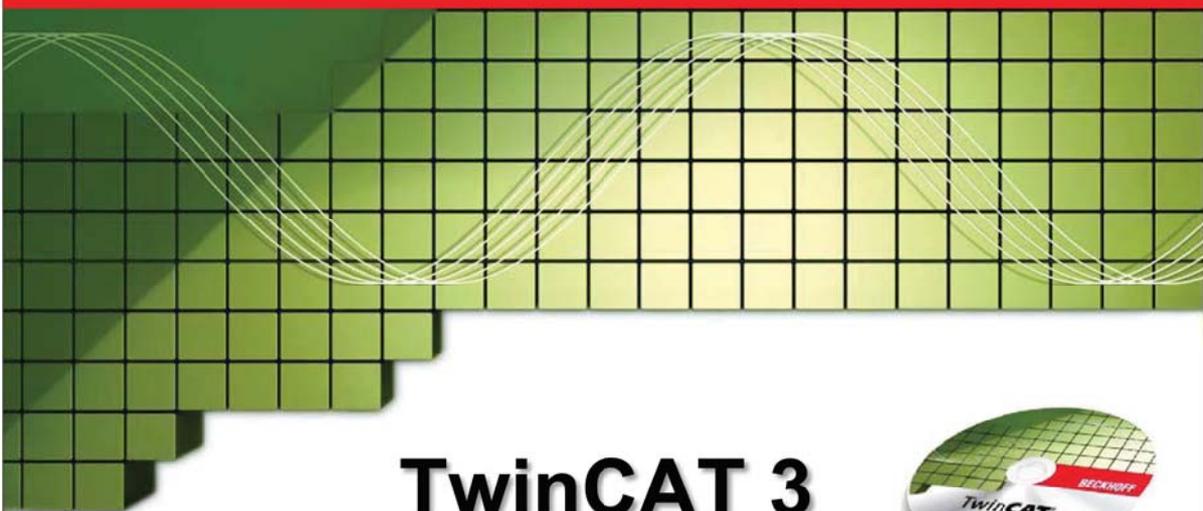
BECKHOFF New Automation Technology



TwinCAT 3 | eXtended Automation Technology 5

New Automation Technology

Automation with IEC 61131-3 and C++



The **Win**dows **C**ontrol **A**utomation **T**echnology

BECKHOFF New Automation Technology



14.09.2014 6

New Automation Technology

eXtended Automation with TwinCAT 3

One CPU
One software
All options

- **One** programming environment *integrates*
 - IEC 61131-3
 - Motion
 - Safety Engineering
 - C++ for Real-Time programming
 - Matlab®/Simulink®
- **One** debug environment
- **One** system manager



BECKHOFF New Automation Technology

TwinCAT 3 | eXtended Automation Technology 7

New Automation Technology

eXtended Automation with TwinCAT 3

One CPU
One software
All options

- **One** programming environment *integrates*
 - IEC 61131-3
 - Motion
 - Safety Engineering
 - C++ for Real-Time programming
 - Matlab®/Simulink®
- **One** debug environment
- **One** system manager

- Full **MS Visual Studio** integration
- **Object-oriented** programming
- **Source Code** Versioning
- **64 Bit** support
- **Multicore** support (incl. core isolation)
- **Real-time** kernel
- Fieldbus-independent **I/O Mapping**



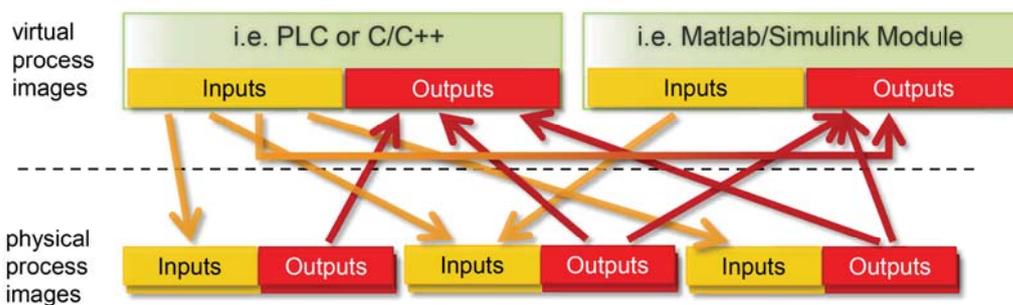
BECKHOFF New Automation Technology

TwinCAT 3 | eXtended Automation Technology 8

eXtended Automation Engineering

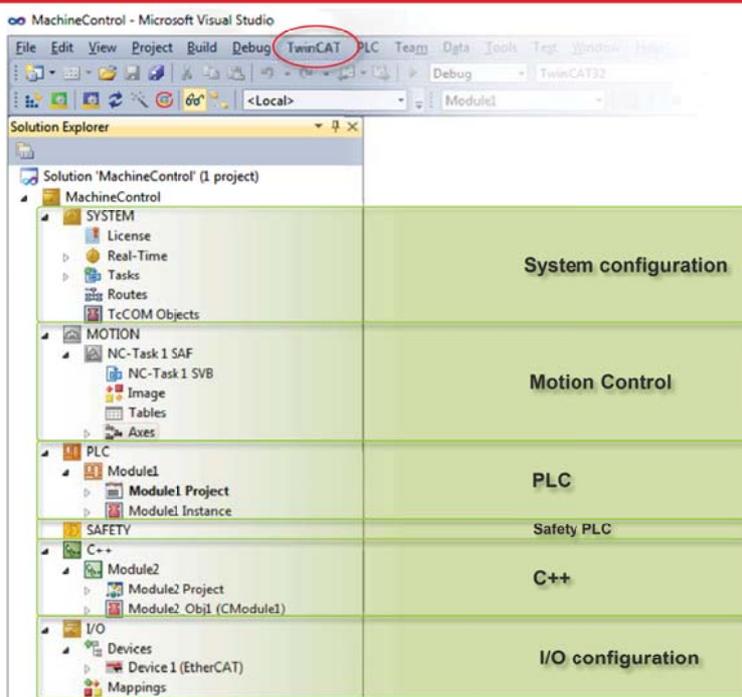
TwinCAT I/O – mapping of process images

- **Abstraction** as main philosophy
- **Open** for all common field busses
- Assignment of **logical** and **physical** process image
Change of bus system does **not** require **change of PLC code**

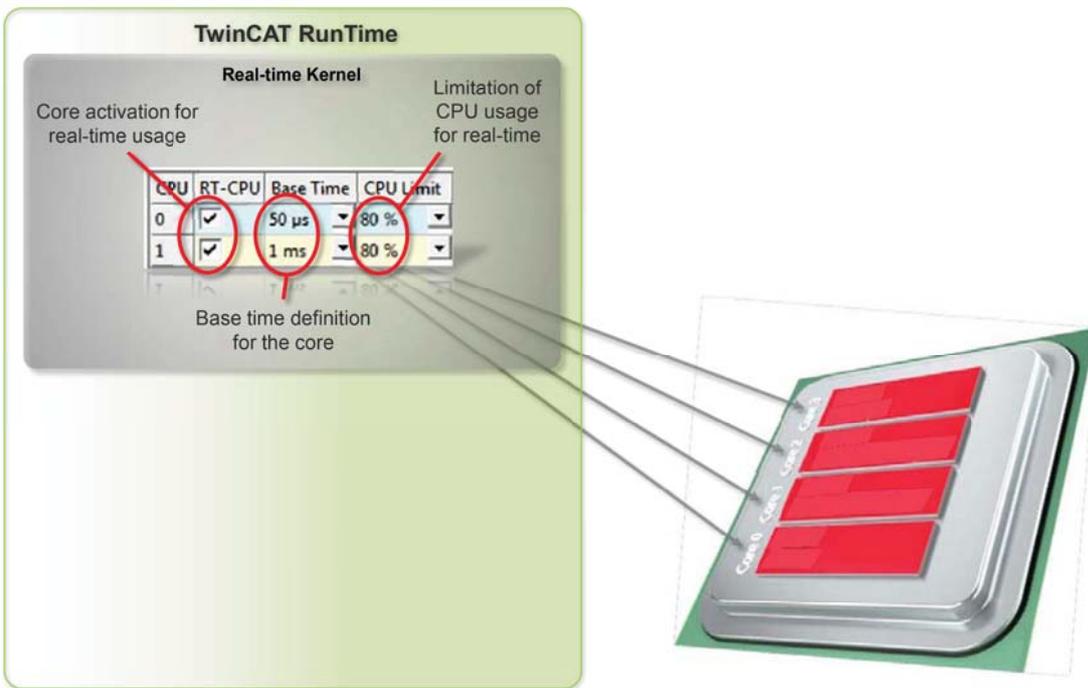


eXtended Automation Engineering

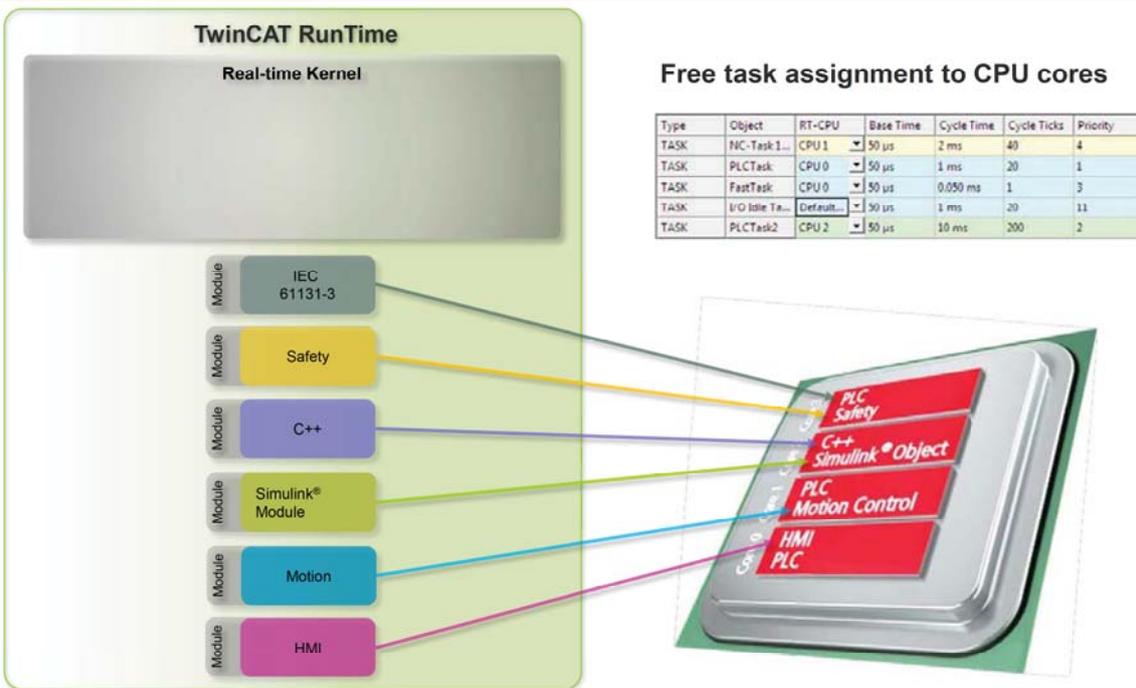
Integrated TwinCAT Engineering in Visual Studio Shell



eXtended Automation Engineering
Architecture Overview

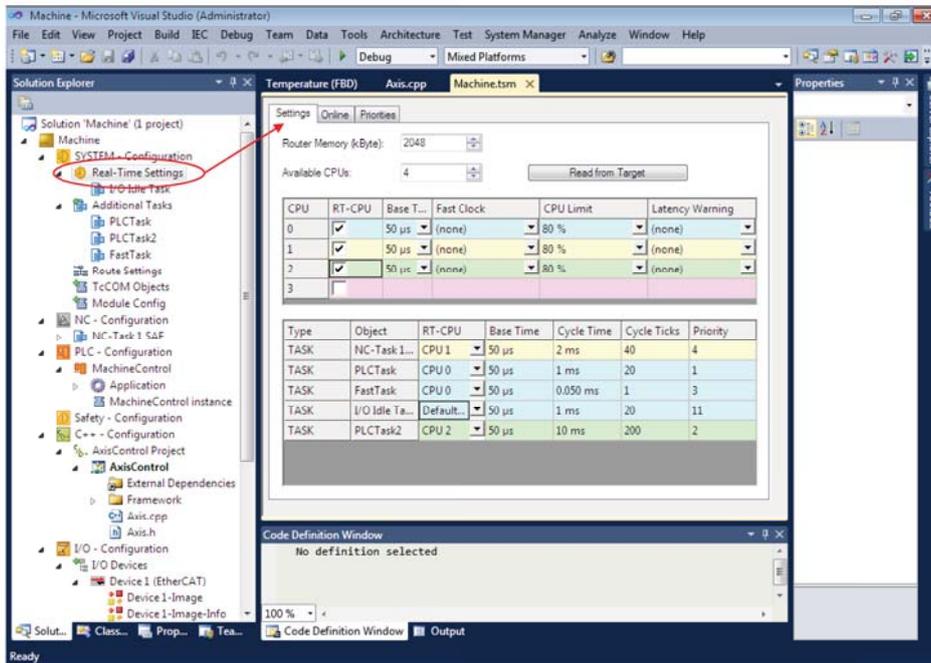


eXtended Automation Engineering
Architecture Overview



Beckhoff TwinCAT

Easy real-time configuration in TwinCAT



BECKHOFF New Automation Technology

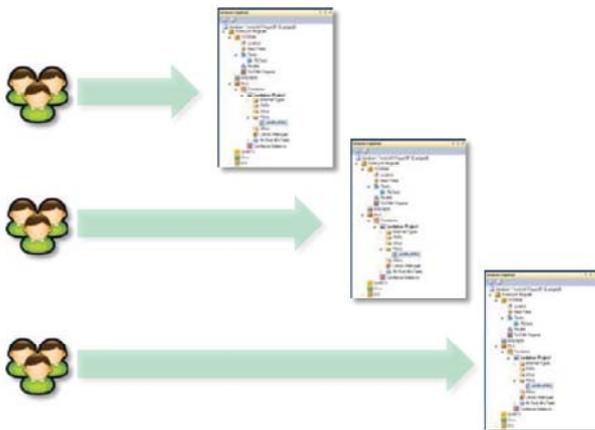
14.09.2014 13

New Automation Technology

Automation Interface: Efficient engineering with TwinCAT 3

Traditional engineering

- Build each configuration from scratch



Disadvantages

- Time-consuming
- Binding resources
- Error-prone (people make mistakes)

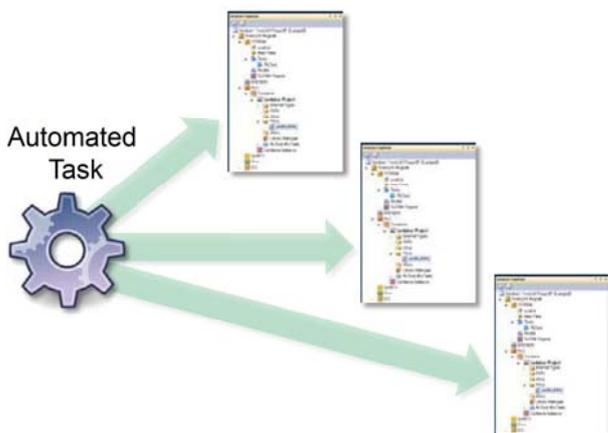
BECKHOFF New Automation Technology

14.09.2014 14

Automation Interface: Efficient engineering with TwinCAT 3

New Automation Engineering with TwinCAT 3

- Easily manage and create TwinCAT 3 configurations



Advantages

- Time-efficient
- Reduce engineering costs
- Minimize mistakes

Easily manage and create TwinCAT 3 configurations

How does it work?

- Configuration is stored in a tree structure
- Tree item provides
 - configuration settings
 - information about parent and child items

Syntax

“Navigate to a tree item and execute operations on it”

- “Navigate to *TwinCAT \ I/O* and create a new *EtherCAT Master*”
- “Navigate to *TwinCAT \ PLC* and create a new *PLC Project*”
- “Navigate to *TwinCAT \ SYSTEM \ Tasks \ PlcTask* and set cycle time to *10ms*”



- Supported programming languages: .Net, C++, Powershell

New Automation Technology

Automation Interface - Feature Overview

Verfügbar

Allgemeine Einstellungen

Konfigurationsvorlagen importieren
 TwinCAT System Service Handling (Run-/Config-Modus)
 Konfigurationen laden/speichern/erstellen/aktivieren
 Unterstützung für Remote TwinCAT-Ziele
 Tasks mit Prozessabbild konfigurieren
 Tasks ohne Prozessabbild konfigurieren
 Mehrkernunterstützung für Tasks

Route-Management

ADS-Routen hinzufügen/entfernen
 Broadcast-Suche

I/O

Nach Online-Geräten suchen
 Geräte, Boxen und Klemmen hinzufügen/entfernen
 Geräte, Boxen und Klemmen parametrisieren
 EtherCAT-Topologien
 Netzwerkvariablen

SPS

Variablen mappen, z.B. mit I/Os oder Achsen
 SPS-Projekte hinzufügen/entfernen
 SPS-POUs, DUTs, GVLs hinzufügen/entfernen
 SPS-Code von POU, DUTs, GVLs abrufen/setzen
 SPS-Bibliotheken hinzufügen/entfernen
 SPS-Platzhalter hinzufügen/entfernen
 SPS-Repositories hinzufügen/entfernen
 SPS-Bibliotheken in/aus Repositories hinzufügen/entfernen
 SPS-Projekte als SPS-Bibliothek speichern
 Compiler und Fehlerbehandlung
 PLCopen XML Import/Export
 Programmiersprache: Strukturierter Text (GT)
 Programmiersprache: Ablaufsprache (AS)

Motion

NC-Tasks hinzufügen/entfernen
 Achsen hinzufügen/entfernen
 Achseinstellungen parametrisieren
 Variablen mappen, z.B. mit SPS

Geplant

Allgemeine Einstellungen

Umgang mit TwinCAT-Lizenzen

C++

C++-Projektvorlagen hinzufügen/entfernen
 Compiler und Fehlerbehandlung

TcCOM-Module

TcCOM-Module parametrisieren

Measurement

Hinzufügen/Entfernen von Charts
 Hinzufügen/Entfernen von Axes
 Hinzufügen/Entfernen von Kanälen
 Parametrisierung von Charts, Axes und Kanälen
 Starten/Stoppen von Aufnahmen



New Automation Technology

Easily manage and create TwinCAT 3 configurations

In which scenarios does it make sense to use the Automation Interface?

- **Easy generation of automation variances**
 - Machines with only minor differences in TwinCAT configuration
- **Automatic test benches**
 - Test benches that use an automatic creation of the corresponding config
- **TwinCAT Add-Ins**
 - Writing Visual Studio Add-Ins to further enhance engineering experience
- **Customized engineering tool**
 - Implementing a customized engineering tool to completely hide TwinCAT XAE



New Automation Technology

Automation Interface – Jumpstart!

Available for free – integrated in free [TwinCAT Engineering \(XAE\) download](#)



Primary contact @ Beckhoff:

Sven Goldstein, s.goldstein@beckhoff.com



Documentation and samples

Google: "[Beckhoff Automation Interface](#)"

[Link zur Dokumentation](#)

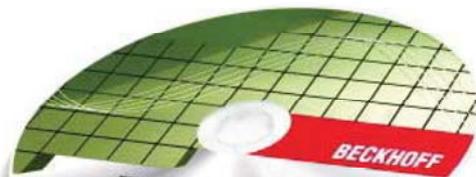
BECKHOFF New Automation Technology



New Automation Technology

Automation Interface – Jumpstart!

Available for free – integrated in free [TwinCAT Engineering \(XAE\) download](#)



Documentation and samples

Google: "[Beckhoff Automation Interface](#)"

[Link zur Dokumentation](#)

Primary contact @ Beckhoff:

Sven Goldstein, s.goldstein@beckhoff.com



BECKHOFF New Automation Technology



Oliver Schäfer, SEI-Tagung, Helmholtz-Zentrum Geesthacht, 2014

Ein Prototypexperiment am DESY Teststrahl mit dem Leitsystem DOOCS

1

Der Vortrag behandelt die Automatisierung eines Prototypexperimentes mit dem Leitsystem DOOCS.

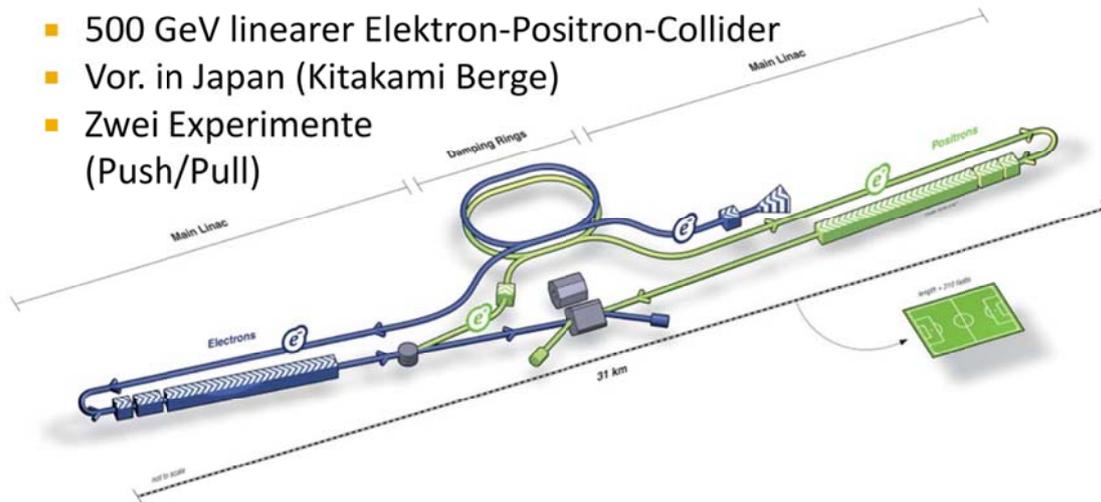
Überblick

- ILC und Zeitprojektionskammern
- DOOCS in verschiedenen Anwendungen
- Ausbaupläne

Dazu werde ich zunächst etwas über das Umfeld und das Experiment sagen, in dem diese Arbeiten stattfinden. Anschließend möchte ich auf die Möglichkeiten von DOOCS anhand verschiedener Anwendungen am Prototypexperiment eingehen und zum Schluss noch auf einige Pläne für die Zukunft zu sprechen kommen.

ILC – International Linear Collider

- 500 GeV linearer Elektron-Positron-Collider
- Vor. in Japan (Kitakami Berge)
- Zwei Experimente (Push/Pull)



12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

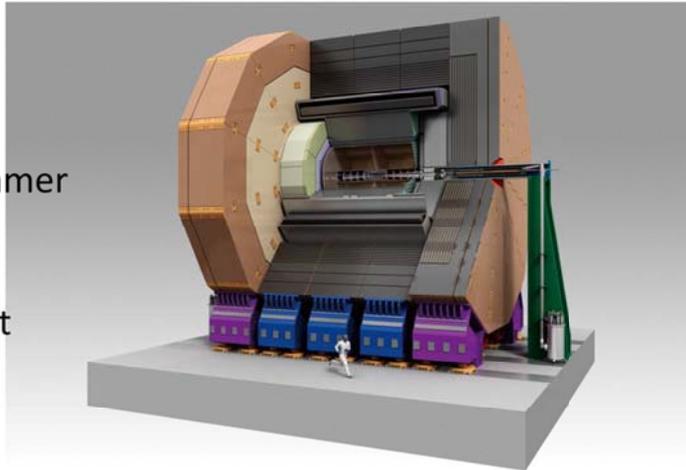
3

3

Unsere Arbeitsgruppe am DESY, FLC, beschäftigt sich mit Forschung und Entwicklung für den International Linear Collider. Dies ist ein zukünftiger linearer 500 GeV Elektron-Positron-Collider. Wie hier zu sehen ist, soll die Anlage etwa 30 km lang werden. Derzeit gibt es starke Bemühungen aus Japan das Projekt dort in den Kitakami-Bergen anzusiedeln. Im Kollisionspunkt sollen zwei Experimente im Push-Pull-Betrieb arbeiten.

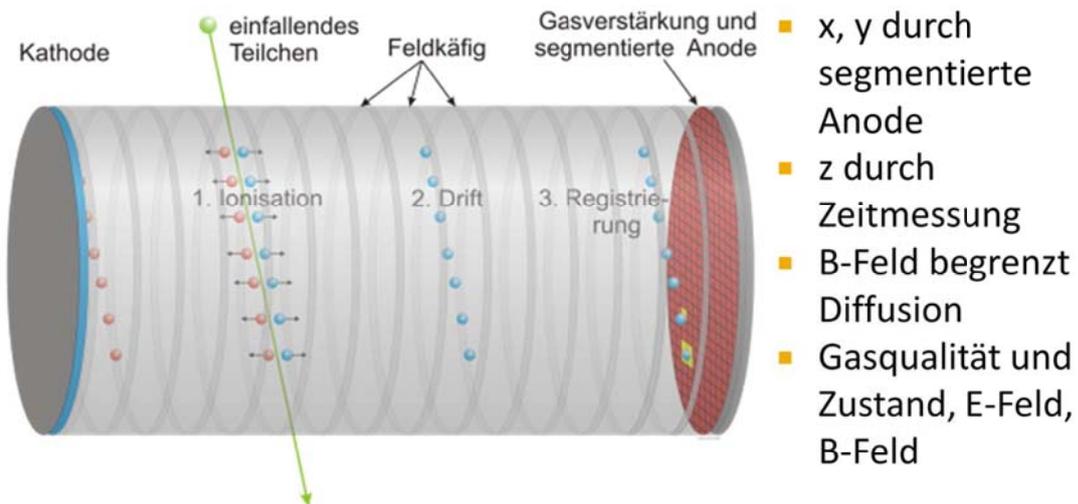
ILD – International Large Detector

- Länge 14 m
- Höhe 16 m
- 3,5 T Magnetfeld
- Zeitprojektionskammer (TPC) als Zentraler Spurdetektor
- 220 Spurpunkte mit 100 μm Auflösung



Eines dieser Experimente ist der sogenannte International Large Detector. Er ist ungefähr 14 m lang und 16 m hoch. Ganz klassisch sind Detektoren konzentrisch um die Strahlachse angeordnet. Als zentraler Spurdetektor ist eine Zeitprojektionskammer oder TPC vorgesehen. Sie bietet den Vorteil einer großen Anzahl von Spurpunkten, was für die Mustererkennung sehr vorteilhaft ist. Die transversale Auflösung ist mit 100 μm ausreichend.

Zeitprojektionskammer – TPC



12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

5

5

Zunächst kurz zum Funktionsprinzip einer TPC: sie besteht aus einem gasgefülltem Volumen, zwischen deren Endplatten ein elektrisches Feld angelegt wird. Dieses wird durch Äquipotenzialringe zusätzlich sehr gut homogen gehalten. Durchtritt nun ein Teilchen das Kammergas, ionisiert es dieses entlang seiner Trajektorie. Die entstehenden Ionen driften zur Kathode und die Elektronen unter Erhaltung der Spurform zur Anode. Letztere ist segmentiert gestaltet, so dass eine gerasterte Projektion der Spur auf die Endplatte erhalten wird. Die longitudinale Koordinate wird über eine einfache Zeitmessung erhalten, da die Driftgeschwindigkeit konstant ist. Um messbare Signale zu erhalten, werden vor der Anode sogenannte Gasverstärkungsstrukturen angeordnet (GEMs, MICROMEAS). Diese benötigen zusätzlich mehrere Hochspannungskanäle. Aus all dem Gesagten ergibt sich schon eine ganze Reihe zu überwachender Einflussgrößen: die Gasqualität und dessen physikalischer Zustand, das elektrische und magnetische Feld.

Die Large Prototype TPC

- Forschungsprototyp der LCTPC Kollaboration
- 60 cm × ø76 cm
- 7 Auslesemodule
- 1 Tesla Magnet „PCMAG“ mit Supportstruktur
- In drei Achsen positionierbar (Beckhoff Servoantrieb)
- DESY TB 24/1, 1-6 GeV Elektronen



12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

6

6

Neben Studien an vielen kleinen Prototypen weltweit entstand für die Studien für eine Linearcollider-TPC die LCTPC-Kollaboration. Sie betreibt einen größeren Forschungsprototyp, der in internationaler Zusammenarbeit gefertigt wurde. Hier ein Bild aus der Aufbauphase zu einem Experiment, in dem die verschiedenen Komponenten gut zu sehen sind. Der Feldkäfig ist 60 cm lang und hat 76 cm Durchmesser. Er kann 7 Auslesemodule aufnehmen, in denen unterschiedliche Ausleseverfahren erprobt werden können. Der Prototyp ist in einem 1-Tesla-Magneten mit Hilfe einer Supportstruktur aufgehängt. Der gesamte Magnet ist in drei Achsen positionierbar (horizontal, vertikal und Drehung um Hochachse). Der gesamte Aufbau befindet sich im DESY-Teststrahlgebiet 24/1, wo ein Elektronenstrahl von 1-6 GeV für Messungen genutzt werden kann. Die Strahlrichtung ist im Bild durch den blauen Pfeil markiert.

Auch hier gibt es also reichlich Gelegenheit zur Automatisierung.

DOOCS – Grundlagen

Distributed Object Oriented Control System

- Leitsystemsoftware entwickelt von DESY-MCS4 für Beschleuniger (FLASH, XFEL) seit 20 Jahren (GPL)
- Verteiltes System (dezentrale Recheneinheiten und Datenspeicherung → Leistung, Wartbarkeit)
- Objektorientiert bezüglich Systemkonzept und Programmiersprache (C++, Java für Clients)
- Server (sammeln Daten) und Clients (Datennutzer) benutzen die selbe Schnittstelle (DOOCS-API)
- Universeller Java Client (JDDD) um grafische Benutzerfenster zu erstellen und anzuzeigen

Zunächst sollen noch einige Grundlagen zu unserer gewählten Leitsystemsoftware, DOOCS, erläutert werden. Der Name ist ein Akronym für Distributed Object Oriented Control System. Das Leitsystem wird seit etwa 20 Jahren von der Gruppe MCS4 am DESY für die Beschleuniger FLASH und XFEL unter der GNU-Public License entwickelt. Wie der Name nahelegt, handelt es sich um ein verteiltes System mit dezentralen Recheneinheiten und auch dezentraler Datenspeicherung. Dies wirkt sich vorteilhaft auf die Leistung und Wartbarkeit des Systems aus. DOOCS ist objektorientiert sowohl bezüglich des Systemkonzepts als auch im Hinblick auf die Programmiersprache. Allgemein wird C++ verwendet, für Clients auch Java.

Das System setzt sich aus datensammelnden Serverprogrammen zusammen und Clients, um die Daten zu verwenden. Beide nutzen für ihre Zugriffe die selbe Schnittstelle. Aus praktischer Sicht ist erwähnenswert, dass ein universeller Java Client namens JDDD entwickelt wurde, um grafische Benutzeroberflächen sehr einfach mittels grafischem Editor zu erstellen und anzuzeigen.

DOOCS-Adressen

- Gestatten Zugriff auf Serverdaten via API (Server, Clients)
- Notation: FACILITY/DEVICE/LOCATION/PROPERTY

	FACILITY	DEVICE	LOCATION	PROPERTY
Steht für (typisch ...)	Anlage oder komplexe Maschine	Gerätetyp	Einzelnes Gerät oder spezieller Aspekt	Eigenschaft, Einstellung, Messwert von Gerät
Implement.	C++ Klasse erbt von DOOCS-Serverklasse (→ Programm)		Klasseninstanz	Klassendaten mit DOOCS-Datentypen
Laufzeit	Rechner und Prozess		Thread	Daten
Speicherort	In Equipment Name Servern, in API zwischengespeichert		<ul style="list-style-type: none"> • Config Datei • Dynamisch erzeugt 	<ul style="list-style-type: none"> • Dateien (config, hist, xml, txt) • Abschaltbar

12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

8

8

In DOOCS wird ein vierstelliges Adresssystem verwendet um auf Serverdaten zugreifen zu können. In der Tabelle sind einige Aspekte zusammengestellt. Die erste Stelle FACILITY steht in der Bedeutung für eine Anlage oder komplexe Maschine. DEVICE bezeichnet einen bestimmten Gerätetyp, der an mehreren Orten oder LOCATIONS in der Anlage vorkommen kann. Manchmal bezeichnet die LOCATION auch einen Teilaspekt des Gerätes. Die Eigenschaften, Einstellungen und Messdaten des Gerätes schließlich werden gleichermaßen als PROPERTY dargestellt.

Bezüglich der Implementierung, stehen die ersten beiden Stellen für eine spezielle C++ Klasse, die von einer DOOCS-Serverklasse abgeleitet ist. Sie repräsentieren das eigentliche Programm. Die LOCATIONS werden als Objekte der Klasse instanziiert mit ihren Daten, die mit Hilfe von speziellen DOOCS-Datentypen als Property über die DOOCS-API zugänglich gemacht werden können.

Zur Laufzeit werden FACILITY und DEVICE dem Rechner und auf ihm laufenden Prozess zugeordnet. Locations werden vom Prozess erzeugt (z. B. über Threads). Die Properties sind für die nach außen zugänglichen Daten zuständig.

Da die ersten beiden Angaben rechner-spezifisch sind, wird diese Information in Name Servern gespeichert, bei Inbetriebnahme abgefragt und anschließend von der API zwischengespeichert. LOCATION und PROPERTY dagegen sind programmspezifisch und werden vom Serverprogramm erzeugt und entweder lokal in Dateien abgespeichert oder sie werden im Arbeitsspeicher dynamisch erzeugt. Für die unterschiedlichen Property-Datenformate gibt es teilweise spezielle Speicherformate.

DOOCS in Anwendungen

Die Möglichkeiten des Leitsystems

12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

9

9

Mit diesen Grundlagen ausgestattet sollen nun einige Anwendungen und ihre Umsetzung mit DOOCS betrachtet werden.

Hierarchien: Das Gassystem

- Zwei ähnliche Racks zur Messung von Durchflussrate, Drücke, H₂O- und O₂-Gehalt, Gasflaschendruck
- Seit 2005 im Einsatz, mehrere Umbauten
- Signale per BC9000 SPS → Modbus/IP
- Standard DOOCS-Server für SPS gibt Integer-Werte aus
- DOOCS-Server für die Sensoren berechnen daraus die Messgrößen
- Geräteketten werden durch Server abgebildet und sind dadurch flexibel konfigurierbar (z.B. Kanalwechsel)



12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

10

10

Zunächst zum ältesten Gerät, dem Gassystem. Es gibt mittlerweile zwei ähnliche Racks zur Messung und Regelung von Durchflussrate, diversen Drücken, Wasser- und Sauerstoffgehalt sowie Gasflaschenfüllstand. Das System ist seit 2005 im Einsatz, wobei mehrere Umbauten erfolgten. Die von den Messgeräten erzeugten Normsignale werden mit einer SPS erfasst und im Modbus/IP-Format verbreitet. Es gibt einen generischen DOOCS-Server für solche Modbus-Prozessabbilder auf SPSen, der die ausgelesenen Werte als Integer-Properties anbietet. Weitere DOOCS-Server, die die jeweilige Gerätefunktionalität nachstellen, berechnen aus diesen Integer-Werten die Messgrößen. Auf diese Weise wird die Geräteketten durch mehrere Server abgebildet und ist dadurch flexibel konfigurierbar. Ohne Programmieraufwand können Kanäle und Geräte gewechselt werden.

Crates: Das Hochspannungsnetzteil

- CAEN SY(2)527 für die HV-Versorgung
- Anbindung per Ethernet oder CAENET (nur 32 Bit)
- Netzteil hat umfangreiches Management für HV-Module
- Dynamische Konfiguration des DOOCS-Servers entsprechend Gerätestatus (ähnliche Lösung für MTCA.4)
- JDDD-Bedienpanel konfiguriert sich dynamisch entsprechend Server
- Für Kathodenspannung SPS-Lösung mit speziellem Netzteil (>15 kV)



12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

11

11

Für die zahlreichen Hochspannungskanäle wird ein CAEN 2527 mit entsprechenden Modulen genutzt. Es existieren auch noch eine ganze Reihe älterer SY527 Netzteile, die aber bisher nicht unter einem 64-Bit-Rechner laufen. Die Netzteile haben umfangreiche Managementfunktionen für die Module und Kanäle. Um diese Funktionalität auch im DOOCS-Server verfügbar zu machen, konfiguriert sich der Server entsprechend den Netzteilinformationen dynamisch selbst. Eine ähnliche Lösung wird von den DOOCS-Entwicklern übrigens auch für MTCA- und MTCA.4-Crates eingesetzt. Auch das GUI-Werkzeug bietet die Möglichkeit sich selbst konfigurierende Panels zu erstellen, wie auf der nächsten Folie zu sehen. Für die Kathodenspannung von über 15kV gibt es ein spezielles Netzteil, das über eine SPS-Lösung angebunden werden soll.

Crates: Das Hochspannungspanel

12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

12

Hier ist nun das angesprochene HV-Panel dargestellt. Es gibt eine Tabelle mit den eingesteckten Modulen und den wichtigsten Bediengrößen ihrer Kanäle. Über Dialoge können weitere Konfigurationen erfolgen. Auch Gruppenoperationen sind möglich.

Weiterhin ist eine Grundfunktion von JDDD-Paneln dargestellt: Klickt man auf einen Wert, so kann er häufig in seinem zeitlichen Verlauf dargestellt werden, wobei das Diagramm eine ganze Reihe weiterer Funktionen bietet, inklusive Kommentarfunktion und einfachen statistischen Analysen.

Management: Die Hallsonden

- Ein bis vier Hallsonden, per 1Wire® und Mikroprozessor an CAN-Bus angeschlossen (BsCAN-System, CERN)
- Spezielle Bibliothek organisiert die Netzwerkfunktionalität (CAN-Bus gekapselt) und Kalibrierung der Sonden
- Bisher System mit nur einer Sonde in Betrieb (trivial), zweite Sonde derzeit nicht zugänglich
- Trigger und „Data Present“-Signal werden von Sonden gemeinsam verwendet → strikte Aufteilung in DOOCS-Locations für jede Sonde ist schwierig
 - Gemeinschaftliche Location für das SONDENSYSTEM?
 - Nachrichten zwischen den Locations?
- Lösung in Arbeit, zwei Stützstellen für B-Feldmodell

12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

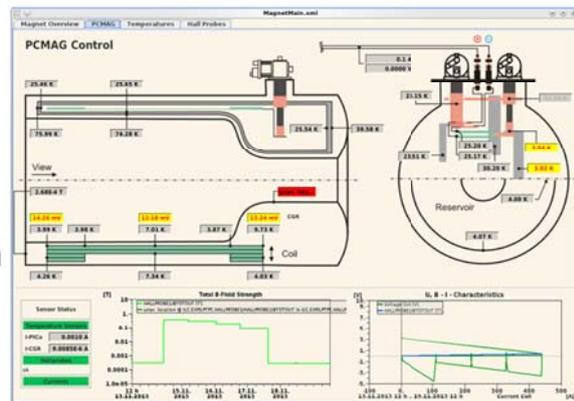
13

13

Ein weiteres Managementproblem stellte sich mit einem System von Hall-Sonden zur Überwachung des Magnetfeldes. Sie werden von je einem Mikroprozessor ausgelesen und an einen CAN-Bus angeschlossen. Das Ganze wurde als BsCAN-System für CERN entwickelt. Eine spezielle Bibliothek organisiert die Netzwerkfunktionalität und verwaltet auch die Kalibrierung der Sonden. Für den Nutzer ist der unterliegende CAN-Bus völlig gekapselt. Eine frühere Version des Systems verwendete LabView®, für das ebenfalls eine DOOCS-Schnittstelle existiert. Bisher ist nur eine Sonde in Betrieb, weil die zweite mechanisch nicht zugänglich ist. Im Fall mehrerer Sonden zeichnet sich aber schon ein Problem ab, da Trigger und „Data Present“ Signal von allen Sonden gemeinsam verwendet werden. Daher ist eine strikte Aufteilung in DOOCS-Locations für jede Sonde schwierig. Zwei Auswege werden derzeit erwogen: entweder alle Sonden zusammen werden als Gerät, als System aufgefasst mit entsprechend vielen Properties oder die einzelnen Locations müssen untereinander kommunizieren. Zur Skalierung eines präzisen B-Feldmodells sind zwei Stützmessungen erforderlich.

Schaubild: Der Magnet PCMAG

- 1Tesla, 80 cm \varnothing , ohne Joch, Supraleitend, Kälteköpfe
- 25 Temperatursensoren im PCMAG verteilt
- Auslese mit AGILENT DAQ/Switch Unit per RS232 und Lantronix Xport
- Im Panel wird Sensorposition in Schema dargestellt
- Derzeit manuell, 1-D Positionen können aber automatisch verarbeitet werden (Location Plot)



12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

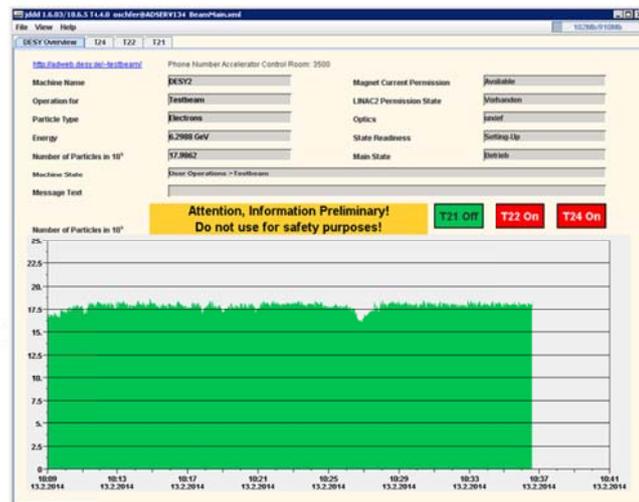
14

14

Hier einmal ein Schaubild des supraleitenden Magneten. 25 Temperatursensoren sind im PCMAG verteilt, die über ein Datenerfassungsgerät ausgelesen werden. In diesem GUI ist die Sensorposition dargestellt, was eine einfachere Beurteilung des Zustandes ermöglicht. In der unteren Bildhälfte sind die Sensorströme, das Magnetfeld und die Spannungs- bzw. Magnetfeld Strom-Kennlinien dargestellt.

Protokolle: Das Teststrahlpanel

- DOOCS-API hat einen Protokollswitch für DOOCS, EPICS, TINE, TANGO
- Nahtlose Integration verschiedener Leitsysteme
- Hier als Beispiel ein JDDD-Panel für DESY II (TINE) und DOOCS-Server kombiniert (History für TINE-Werte)
- Zukünftig mehr Daten aus den Teststrahlgebieten (Zählraten, Magnete, ...)



12. März 2014

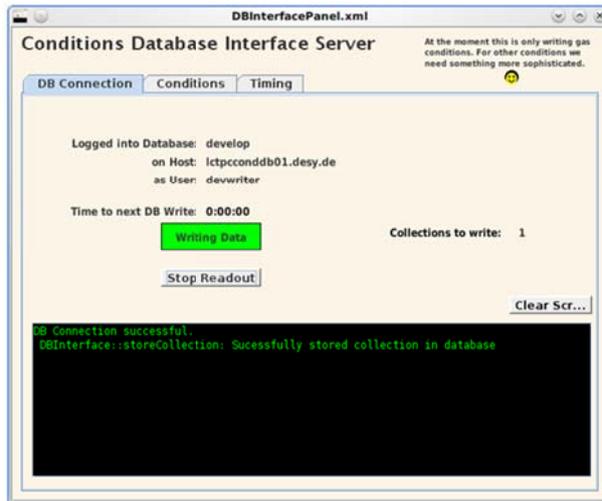
SEI Tagung 2014, Helmholtz Zentrum Geesthacht

15

15

Die DOOCS-Programmierschnittstelle besitzt als besonderes Merkmal noch einen Protokollswitch, so dass Server und Clients neben DOOCS auch das EPICS, TINE und TANGO Protokoll verarbeiten können. Hierdurch lassen sich diese Leitsysteme nahtlos integrieren. Hier habe ich als quasi akademisches Beispiel ein Panel für den Zustand des DESY II-Beschleunigers zusammengestellt, soweit er für den Teststrahlbetrieb interessant ist. DESY arbeitet mit dem Leitsystem TINE, aus dem einige Werte im Panel direkt angezeigt werden. Andere werden wegen der eleganten History-Funktionen zunächst in einem DOOCS-Server vorverarbeitet. Das Panel hat sich schon als recht nützlich für die Strahleinstellung erwiesen und die Testbeamorganisatoren arbeiten zurzeit daran weitere Systeme zu automatisieren.

ILC-Software: Datenbankschnittstelle



- ILC Rekonstruktions- und Analysesoftware benutzt Conditions-Daten über eine zentrale Datenbank
- DOOCS-Server beschreibt Datenbank mit Messwerten (konfigurierbar)
- Für viele Daten werden zusätzliche Parameter benötigt (Geometrie für Felder) → derzeit nur Gasdaten

Der Versuchsaufbau wird natürlich nicht zum Selbstzweck betrieben; einige der vom Leitsystem erfassten Daten sollen auch von der Rekonstruktions- und Analysesoftware genutzt werden. Diese Informationen werden für diesen Zweck über eine zentrale Datenbank vorgehalten. Ein DOOCS-Server beschreibt konfigurierbar die Datenbank mit den relevanten Messwerten. Für viele Werte werden aber zusätzliche Informationen benötigt – etwa Geometriedaten für die Feldberechnung, so dass zurzeit nur Gasdaten so gespeichert werden.

Pläne: Ausleseelektronik

- Im Prototyp bis 10000 Kanäle, ILD: einige Millionen
- Slow Control für Verstärkerkonfiguration, Betriebsspannungen, Temperaturen
- Ziel: Evaluierung und Konzept für Vielkanalsysteme
 - Hardware (PC, MTCA)
 - Management (Mapping Tool)
 - Visualisierung (Visual Analytics?)
 - Bedienung (Assistenzsysteme)
- Erstes kleines System für einige hundert Temperatursensoren und Spannungen in Planung

12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

17

17

Kommen wir nun zu einigen Zukunftsplänen. Ein großer Punkt ist die Ausleseelektronik. Im Prototyp werden bis zu 10000 Kanäle ausgelesen, in der späteren ILD-TPC einige Millionen. Auch die Elektronik benötigt Slow Control für Verstärkerkonfiguration, Betriebsspannungen und Temperaturen. Dazu soll ein Konzept für Vielkanalsysteme mit DOOCS entwickelt werden, wobei die Hardware, das Management der Kanäle, und auch spezielle Visualisierungs- und Bedienungsprobleme angesprochen werden sollen. Ein erstes kleines System für einige hundert Temperatursensoren und Spannungen ist derzeit in Planung.

Pläne: Systemserver, Assistenzsysteme

- Server für Gassystem, HV-System, TPC als Ganzes, d.h. Systemblickwinkel auf Geräte
- Kombination von verschiedenen Informationen in diesen speziellen Systemservern
- Zunehmende Abstraktion von Hardware, Informationsverdichtung zu Systemzuständen
- Automatische Systemanalyse (z.B. Lecksuche, Gasverbrauchsvorhersage)
- Bedienungsassistenz, z.B. Verwaltung und Kontrolle von Einstellungen (universell mit JDTool möglich)

12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

18

18

Es ist in der vorigen Folie schon etwas angeklungen: Assistenzsysteme werden für die Bedienung großer Systeme sehr wichtig sein. Aber auch andere Systeme können davon profitieren, etwa wenn Expertenwissen erforderlich ist. Daher ist in Planung, Systemserver für ganze Gerätegruppen zu entwickeln, die deren verschiedene Informationen kombinieren und zu Systemzuständen verdichten. Dadurch werden automatische Systemanalysen ermöglicht, etwa die Lecksuche oder die Analyse und Vorhersage des Gasverbrauchs. Auch die sinnvolle Konfiguration eines Systems kann von so einem Server erleichtert werden. Gruppenoperationen sind zwar auch mit dem JDTool Client möglich, allerdings ohne Gegenprüfung.

Eindrücke zum Schluss

- Zunehmende Automatisierung von TPC-Prototypexperimenten (DESY) mit dem freien Open-Source -Leitsystem DOOCS seit 2006
- Slow Controls arbeiten störungsarm und sind häufig nützlich für Fehlersuche im Experiment
- Sehr freundliche Unterstützung und zentrale Wartung der Rechner durch MCS4
- Immer wieder Anregungen aus unserem Umfeld für die Weiterentwicklung von DOOCS/JDDD
- Auch umgekehrt interessante Neuentwicklungen

12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

19

19

Zusammenfassend lässt sich sagen, dass wir unsere TPC-Prototypen seit 2006 zunehmend mit DOOCS automatisieren und auch ganz glücklich damit sind. Die Slow Controls arbeiten störungsarm und waren schon häufig nützlich für die Fehlersuche im Experiment. Wir genießen die sehr freundliche Unterstützung und die zentrale Wartung unserer Serverrechner durch die Gruppe MCS4 und es kommt immer wieder zu beiderseitigen Anregungen zur Weiterentwicklung von DOOCS und JDDD. Zum Schluss habe ich für Interessenten noch einige weiterführende Links zusammengestellt.

Weiterführende Links

- <http://doocs.desy.de>
- <http://jddd.desy.de>
- <http://www-flc.desy.de/tpc>
- <http://www.lctpc.org>
- <http://www.ilcild.org>
- <http://www.linearcollider.org> Hier gibt es einen wöchentlichen Newsletter zum ILC-Projektgeschehen.

DOOCS – Protocol Layers

OSI-Model	Internet Protocol Suite Model	„Internet“	DOOCS-API			
			DOOCS-Modus	EPICS-Modus	TINE-Modus	
Application Layer	Application Layer	HTTP, FTP, SSH, DHCP, ...	DOOCS-API, ENS	LDAP	Channel Access Network Protocol (CA)	TINE Protocol
Presentation Layer			XDR			
Session Layer			RPC			
Transport Layer	Transport Layer	TCP	TCP	TCP, UDP	TCP, UDP	
Network Layer	Internet Layer	IP	IP	IP	IP	
Data Link Layer	Link Layer	Ethernet	Ethernet	Ethernet	Ethernet	
Physical Layer	(Hardware)	„Cable Type“ and Signals	„Cable Type“ and Signals	„Cable Type“ and Signals	„Cable Type“ and Signals	

12. März 2014

SEI Tagung 2014, Helmholtz Zentrum Geesthacht

21

21

Ergänzende Folie zu einer Nachfrage: Vergleichende Übersicht verschiedener allgemeiner und Leitsystemprotokollstapel im OSI-Schichten Modell und Internet Protocol Suite Modell. Zukünftig soll LDAP als Protokoll für den Name Service eingesetzt werden.

SEI-Tagung 2014

Dynamische Oberflächengenerierung zur Anlagensteuerung mit LabVIEW

Oliver Frank, Helmholtz-Zentrum Geesthacht, Institut Technikum

12.03.2014 / Geesthacht

 **Helmholtz-Zentrum
Geesthacht**
Zentrum für Material- und Küstenforschung

Agenda

 **Helmholtz-Zentrum
Geesthacht**
Zentrum für Material- und Küstenforschung

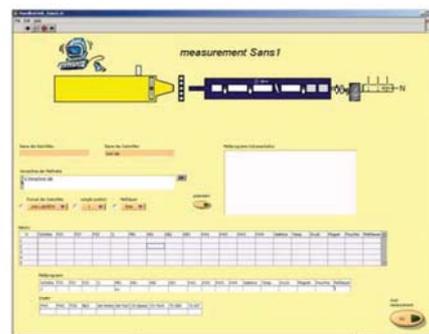
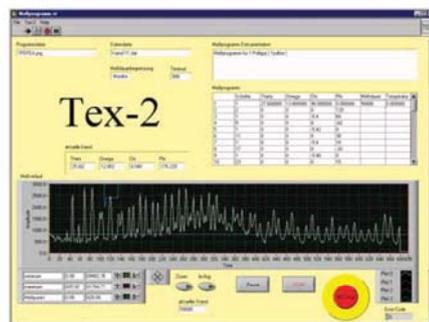
- **Vorstellung**
- **Evolution der Anlagensteuerungen bei HZG**
- **Interaktive grafische GUI's mit LabVIEW**
- **Realisierung von dynamischen GUI's in LabVIEW**
- **Konfigurationsmöglichkeiten von GUI's**
- **Zusammenfassung**

Vorstellung

- bei HZG seit Dez. 2000
- LabVIEW seit Version 5.1
- bis 2010 Betreuung der Instrumente am HZG
- seit 2007 involviert in den Aufbau von SANS-1 am FRM2
- von 2009 bis 2011 beteiligt am Aufbau von HEMS am Desy

Evolution der Anlagensteuerungen bei HZG

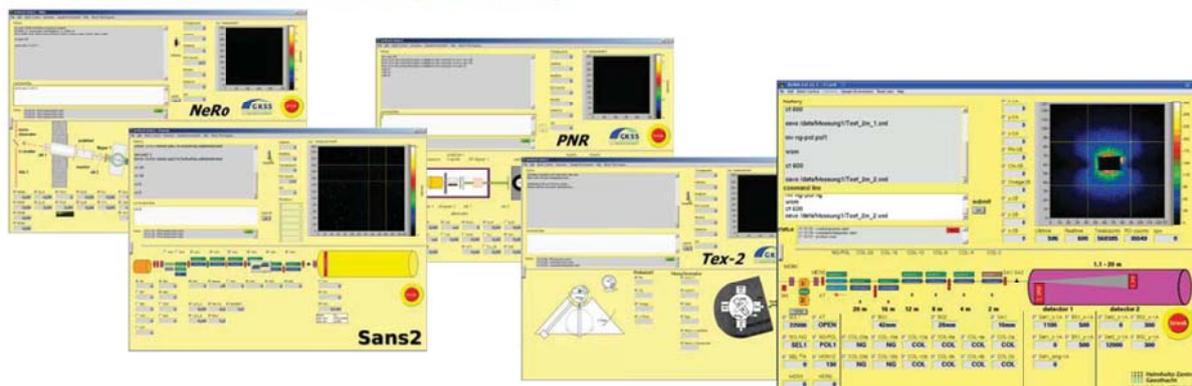
- bis ca. 2001 Pascal basierte Anlagensteuerung
- 2001 TEX-2 grafisch / tabellarischer Messablauf
- 2002 SANS1 (am HZG) interaktive Grafik / tabellarischer Messablauf



Evolution der Anlagensteuerungen bei HZG

bis 2005 Entwicklung einer scriptbasierten Anlagensteuerung (AnNA.tel)

- 2005 NeRo grafisch / Script-Steuerung (AnNA.tel)
- 2005 SANS-2 interaktive Grafik / Script-Steuerung (AnNA.tel)
- 2006 SANS-2 dynamische interaktive grafische Oberfläche
- seit 2008 SANS1 (am FRM2)



SEI-Tagung am HZG • Oliver Frank • 12.03.2014

5

Interaktive grafische GUI's mit LabVIEW

Definition:

Interaktivität (lat.: inter agere = „wechselseitig“ und „aufeinander bezogen“) weist allgemein auf eine Wechselbeziehung zwischen zwei oder mehreren beliebigen Größen hin, bei der implizit Informationen ausgetauscht werden.

Quelle: Wikipedia.de

Oft entscheidet die „Usability“ über den Erfolg oder Misserfolg bei der Einführung eines Systems.

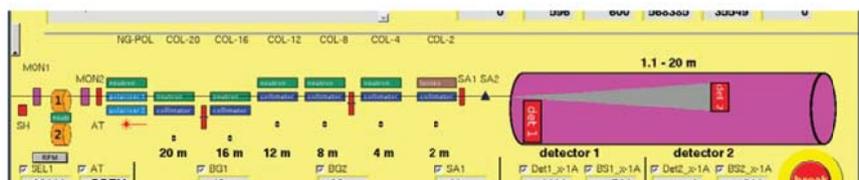
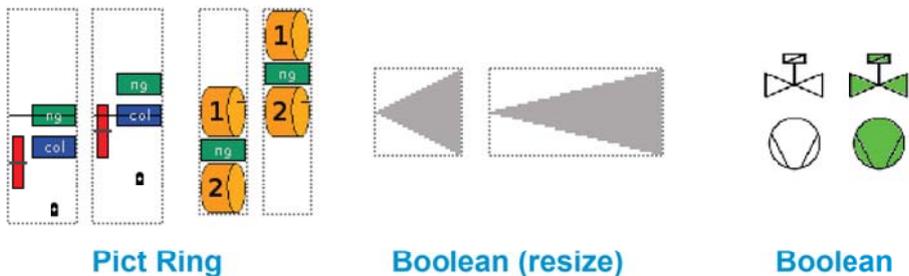
Quelle: Universität Stuttgart

SEI-Tagung am HZG • Oliver Frank • 12.03.2014

6

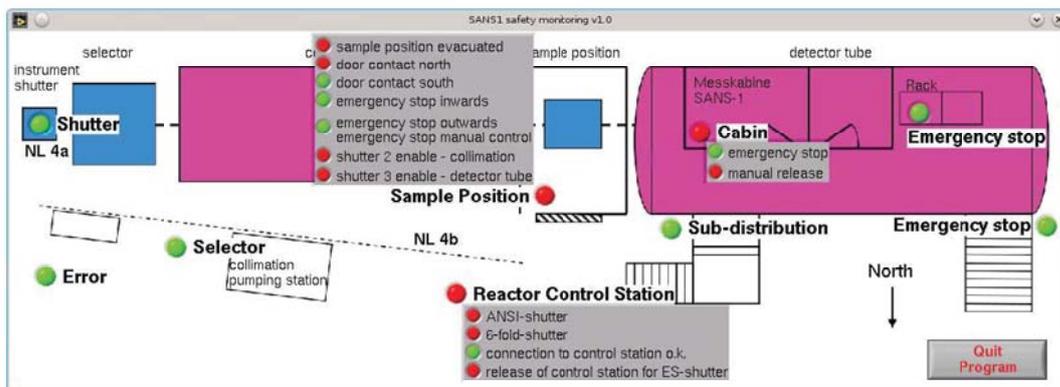
Interaktive grafische GUI's mit LabVIEW

Umsetzung in LabVIEW: Customize Controls



Interaktive grafische GUI's mit LabVIEW

Beispiel:



Realisierung von dynamischen GUI's in LabVIEW

Dynamische Oberflächen passen sich der Aufgabe an.

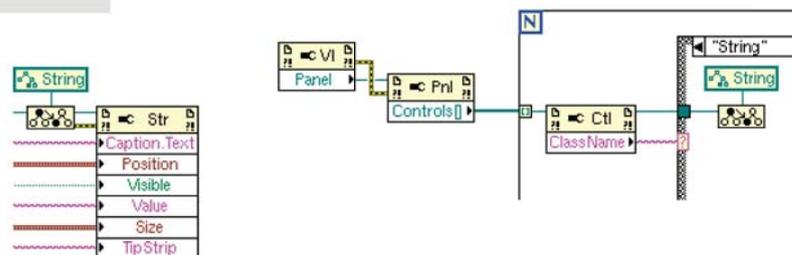
Dynamische Oberflächen lassen sich vom User verändern/konfigurieren.



Wunschmaschine vom Sams
Autor: Immanuel Giel
Lizenz: CC-BY-SA 3.0
Quelle: wikipedia.org

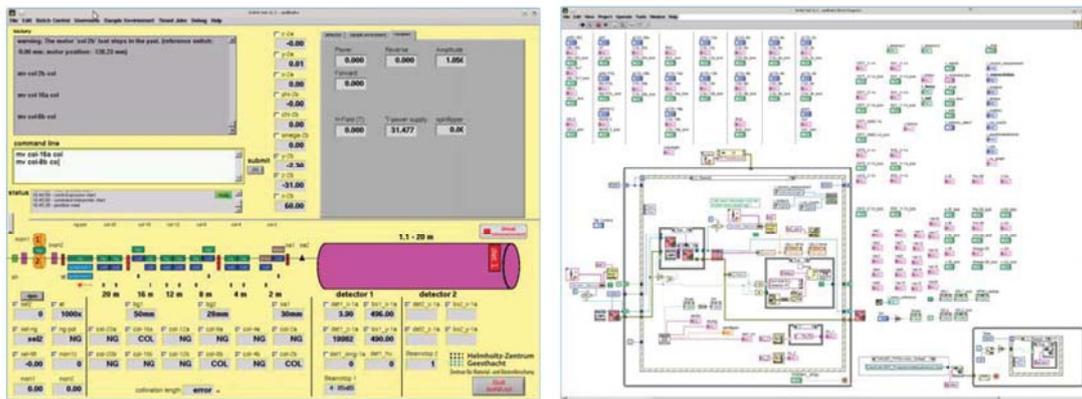
Realisierung von dynamischen GUI's in LabVIEW

- Alle Objekte auf dem Frontpanel sind skalierbar
- Alle Objekte können zur Laufzeit verändert werden
- Neue Objekte können vor dem Ausführen hinzugefügt werden

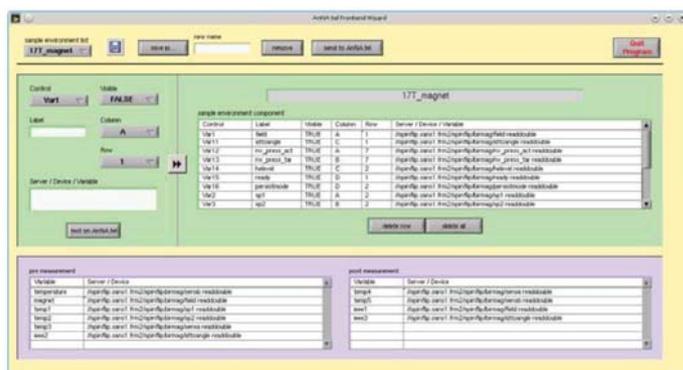


Realisierung von dynamischen GUI's in LabVIEW

Beispiel:



Konfigurationsmöglichkeiten von GUI's



```

- <init>
+ <anzigenliste>=<anzeigenliste>
+ <raaster>=<raaster>
+ <probenart>
+ <probenart id>=<open_sample_environment>=<probenart>
+ <probenartliste>
+ <array>
+ <element index>=<0>=<ST_Magnet_CCT><element>
+ <element index>=<1>=<ST_asymetric><element>
+ <element index>=<2>=<St_Magnet><element>
+ <element index>=<3>=<CCU><element>
+ <element index>=<4>=<HTT_D3><element>
+ <element index>=<5>=<Magnet_ST_feld_only><element>
+ <element index>=<6>=<backdoorpause><element>
+ <element index>=<7>=<Spin_Dipper_Test><element>
+ <element index>=<8>=<empty><element>
+ <element index>=<9>=<new><element>
+ <element index>=<10>=<newspinflipper><element>
+ <element index>=<11>=<open_sample_environment><element>
+ <element index>=<12>=<sample_changer_1><element>
+ <element index>=<13>=<test><element>
+ <array>
+ <probenartliste>
+ <probenart id>=<St_Magnet>=<probenart>
+ <probenart id>=<ST_asymetric>
+ <anzzeige id>=<spinflipper>
+ <caption>=<spinflipper/caption>
+ <visible>=<TRUE><visible>
+ <enabled_state>=<enable><enabled_state>
+ <position>
+ <palette A>=<palette>
+ <cell1>=<1><cell1>
+ <position>
+ <anzzeige>
+ <anzzeige id>=<Var1>
+ <caption>=<Field in T/caption>
+ <visible>=<TRUE><visible>
+ <enabled_state>=<enable><enabled_state>
+ <position>
+ <palette B>=<palette>
+ <cell1>=<1><cell1>
+ <position>
+ <anzzeige>
+ <pre>
+ <array>
+ <element index>=<0>=<ieee1>[[<ans1rv.sans1.frm2/sans1/tp1> readdouble<element>
+ <element index>=<1>=<ieee2>[[<ans1rv.sans1.frm2/sans1/tp2> readdouble<element>
+ <element index>=<2>
+ <ieee3>[[<ans1rv.sans1.frm2/sans1/oxford/magnet> readdouble
+ <element>
+ <element index>=<3>
+ <ieee4>[[<ccr12.sans1.frm2/ccr/h336/control1> setpoint
+ <element>
+ <element index>=<4>
+ <temp1>[[<ccr12.sans1.frm2/ccr/h336/sensora> readdouble
+ <element>
+ <element index>=<5>
+ <temp2>[[<ccr12.sans1.frm2/ccr/h336/sensorb> readdouble
+ <element>
+ <element index>=<6>
+ <magnet1>[[<ans1rv.sans1.frm2/sans1/oxford/magnet> readdouble
+ <element>
+ <element index>=<7>
    
```

Zusammenfassung

- Die Anforderungen an die Usability von Anlagensteuerungen wachsen mit der Zeit.
- Grafische Oberflächen lassen sich leicht und schnell durch Belegen von Controls mit Bildern in LabVIEW erzeugen.
- Alle Objekte auf einer GUI lassen sich erfassen und über Properties verändern, wodurch dynamische GUI's erst realisierbar werden.
- Dynamische GUI's bedeuten für den Entwickler weniger Anpassungen an die einzelnen Messungen.

Dynamische Oberflächengenerierung zur Anlagensteuerung mit LabVIEW

Vielen Dank für ihre Aufmerksamkeit...



SEI-Tagung

Steuerung einer Sputteranlage mit LabVIEW

Jürgen Buhrz

12.03.2014 / Geesthacht

Agenda

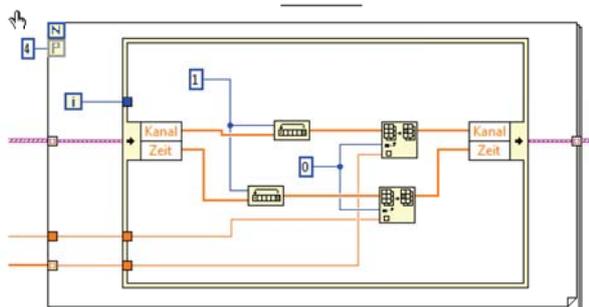
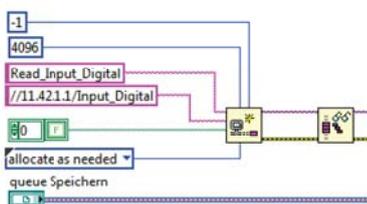
1. LabVIEW eine Programmiersprache ?
2. Sputtern was ist das
3. Die Anlage
4. Softwarekonzept
5. Verbaute Hardware
6. Ausblick

LabVIEW eine Programmiersprache ?

- Graphische Sprache
- Datenfluss orientiert
- Multiplattform-fähig
- objektorientiert
- Ereignisgesteuert
- Kompiliert
- Einbinden von externen Code

Linux, Mac-OSX, Windows, RT-Linux, Zynq, FPGA

C-Code, dll, textbasierte Mathematik, HDL-Code



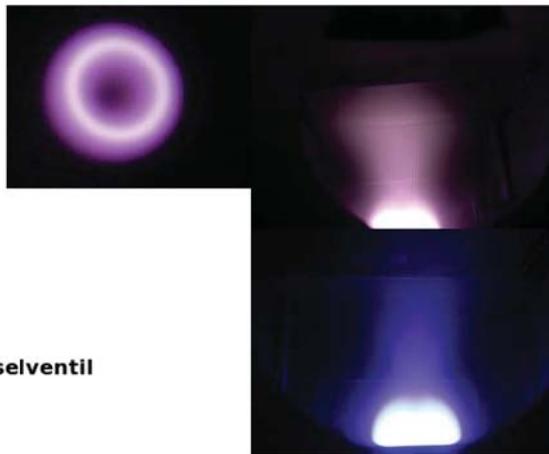
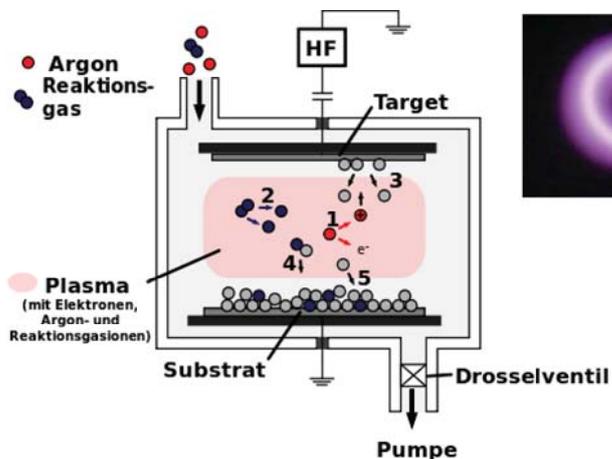
3

Was ist Sputtern ?

Sputtern = Kathodenstrahlzerstäuben

Es wird mit einer UHV Anlage die Sputterdeposition durchgeführt

Das Verfahren wird benutzt, um auf einem Substrat eine oder mehrere Schichten aufzubringen



4

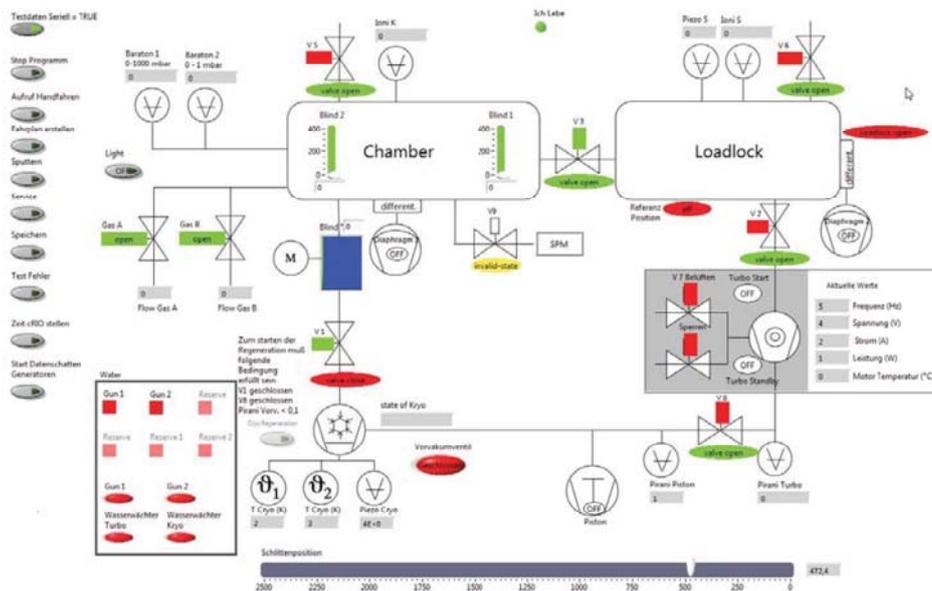
Die Anlage



- Gesamtlänge 4,5 m
- Spiegellänge bis zu 1,5 m
- Spiegellänge aktuell 0,82 m
- Schleuse
- sehr homogene Schichten
- Schichtdicke 50 nm +/- 5 nm
- Gradient
- elliptischer Gradient

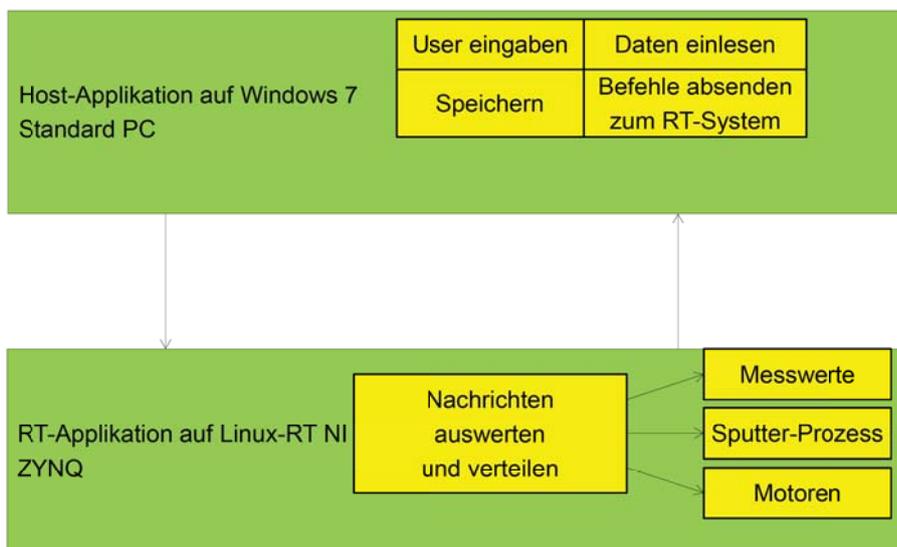
5

Bedienoberfläche der Anlage



6

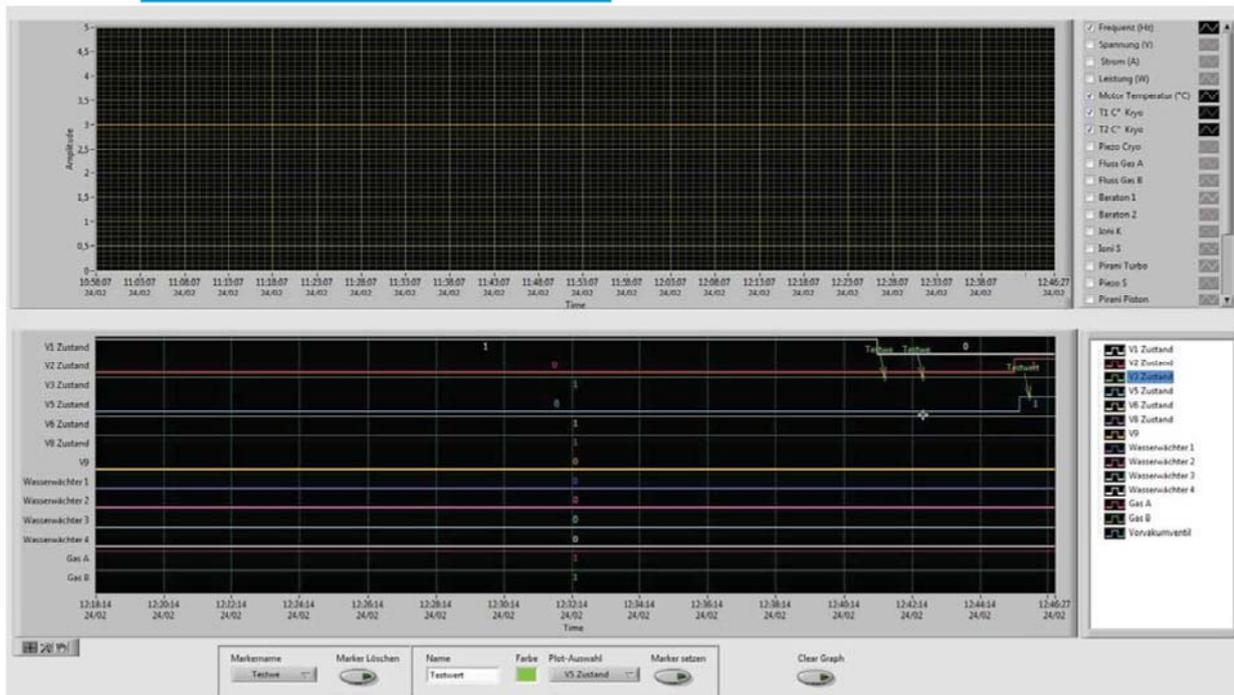
Software-Konzept



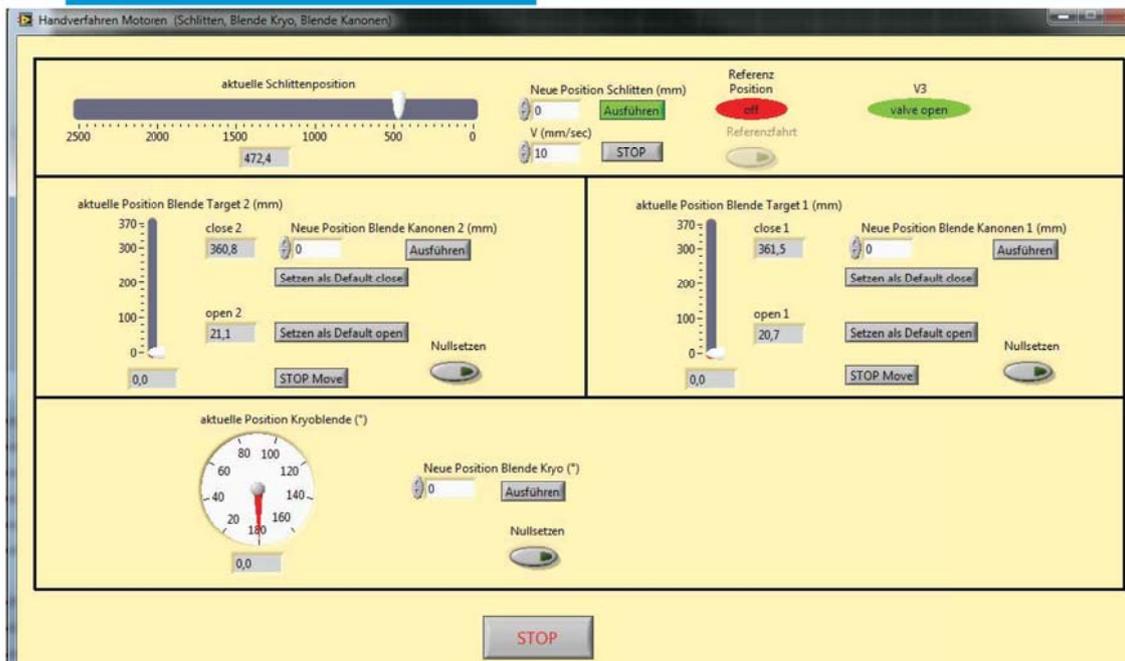
Fahrplan

The screenshot shows the 'Fahrplan' (Schedule) software interface. It features several input fields and a large data table. At the top, there are fields for **User** (Stoerner), **Comment**, **Path**, and two pairs of **open** and **close** time values. Below these are fields for **Start speed** (5 mm/sec), **Startposition** (300 mm), **Aktive_Endposition** (checkbox), **End speed** (10 mm/sec), and **Endposition** (0 mm). The **Gun** is set to Gun 1, with **Speed** (0.1000 mm/sec), **delta X** (2 mm), and **Wartezeit** (0.0 sec). The **Layer Type** is 'Schicht' and **Anzahl** is 1. The **Flow control** is set to 'Ohne'. The **Generatoren** section shows 'Pinnacle S + 5 KW' with **Leistung 1** (0), **Frequenz 1** (0), and **Revers time 1** (0.4). The **Schedule** table has columns for Gun, Speed, Position, Wartezeit, Layer, Anzahl, Flow control, Flow 1, Flow 2, Generator, Leistung 1, Frequenz 1, Revers time 1, Leistung 2, Frequenz 2, and Revers time 2. The **Row #** is 1 and the **Versuchszeit gesamt** is 00:01:00. Buttons for **Transfer Data**, **Insert Data behind**, **Delta Data**, **OK**, and **Cancel** are visible.

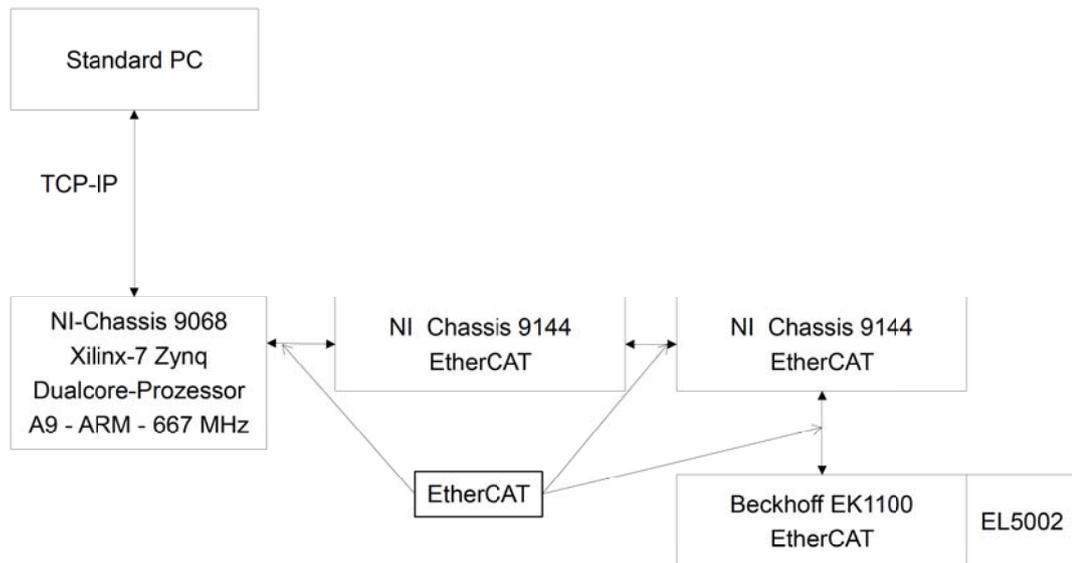
Datenschatten



Motoren verfahren



Verbaute Hardware



11

Ausblick

Nachregeln der Generatoren während des Sputterns

Auswertung der Messdaten

-> Ableiten einer Güte des Verfahrens

Erstes Projekt mit Xilinx-Zynq und RT-Linux von NI

heute Nachmittag im Workshop Embedded+FPGA-Projekte ohne LabVIEW

12

Henrik Tietze, Nicole Kretschmar
Zentralabteilung Forschungstechnik

Automatisierungslösung für Vakuumkammern realisiert mit LabVIEW und Simatic S7-300

SEI-Tagung am HZG - Frühjahr 2014



Henrik Tietze | Zentralabteilung Forschungstechnik | www.hzdr.de

Agenda

- Anlagenüberblick
- Prozesssteuerung (SPS)
 - Hardwareaufbau
 - Entwicklungsumgebung
 - Softwarestruktur
 - Funktionsbausteine/Funktionen
 - Datenbausteine/Datenmodell
- Bedienoberfläche (HMI)
 - LabVIEW Bedienkonzept
 - MultiClient-Architektur
 - Objektorientiertes Programmieren
- Zusammenfassung

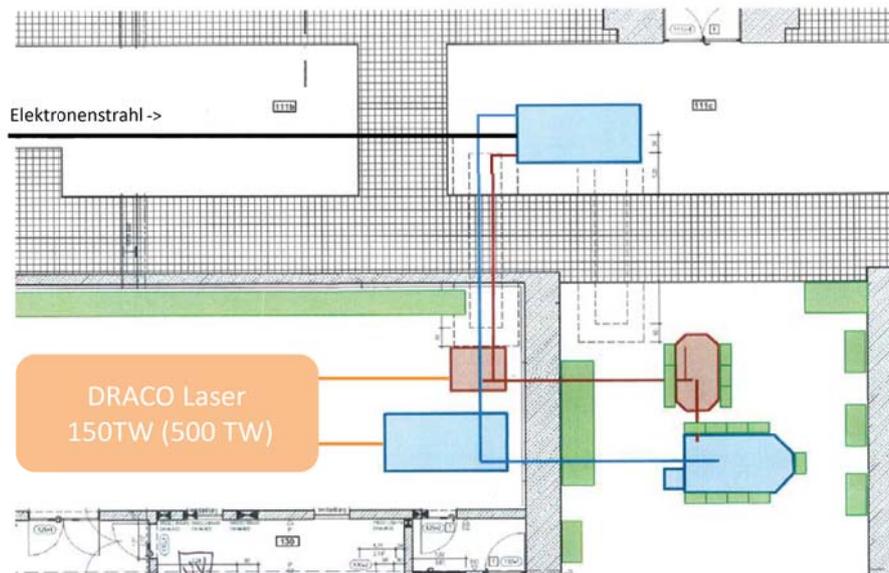


Anlagenüberblick

- Vakuummkammern sind Teil eines Hochleistungs-Lasersystems
- Teilbereich des „Zentrum für Hochleistungs-Strahlenquellen“
- Kernelement: Elektronen Linearbeschleuniger „ELBE“
- Experimente zur Kopplung von Hochleistungs-Laser und ELBE-Elektronenstrahl



Anlagenüberblick



SPS - Hardwareaufbau

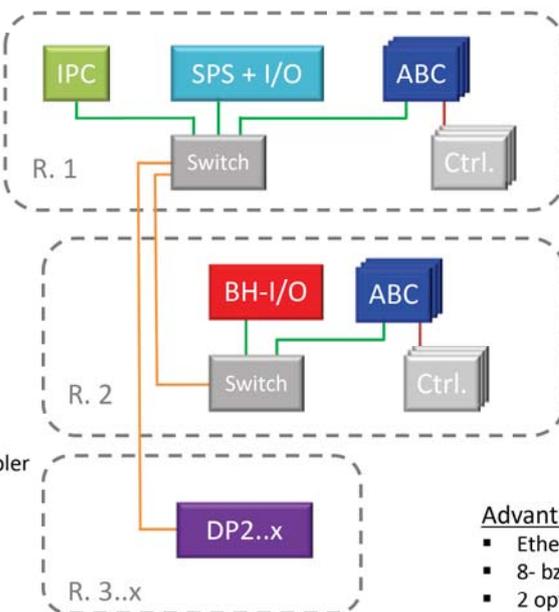
Anybus Communicator

- PROFINET <-> RS232
- Pro serielles Gerät (Controller) ein Protokoll-konverter



Beckhoff

- Pro Kammer ein PROFINET I/O-Buskoppler
- Dezentrale Peripherie (K-Bus Klemmen)



Siemens-SPS

- S7-317-2 PN/DP



Controller

- Ansteuerbar über Standardsignale (24V) oder seriell (RS232)
- Steuern Pumpen und Vakuummessröhren

Advantech

- Ethernet-Switch
- 8- bzw. 16-Port
- 2 optische Ports



DRESDEN
concept

HZDR

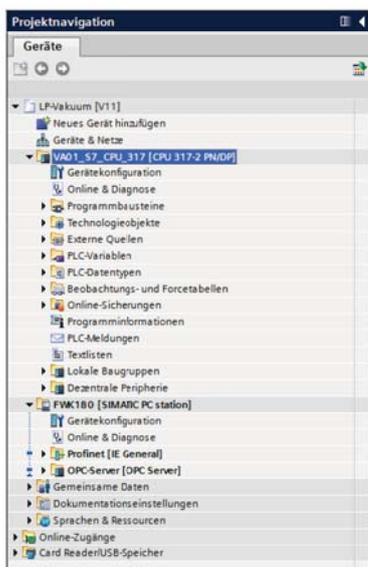
Seite 5

Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.hzdr.de

SPS - Entwicklungsumgebung

SIEMENS

- TIA - Totally Integrated Automation



- Alle notwendigen Editoren in einem Software-Framework
- Einheitliches Design
- Zentrale Datenverwaltung für gesamtes Projekt
- Intuitive Bedienung (Einarbeitungszeit gering)
- Bessere Diagnosemöglichkeiten als Vorgängerversionen

DRESDEN
concept

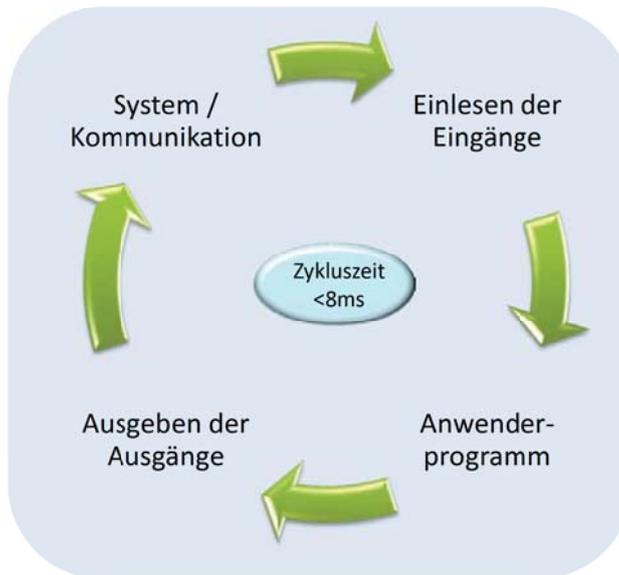
HZDR

Seite 6

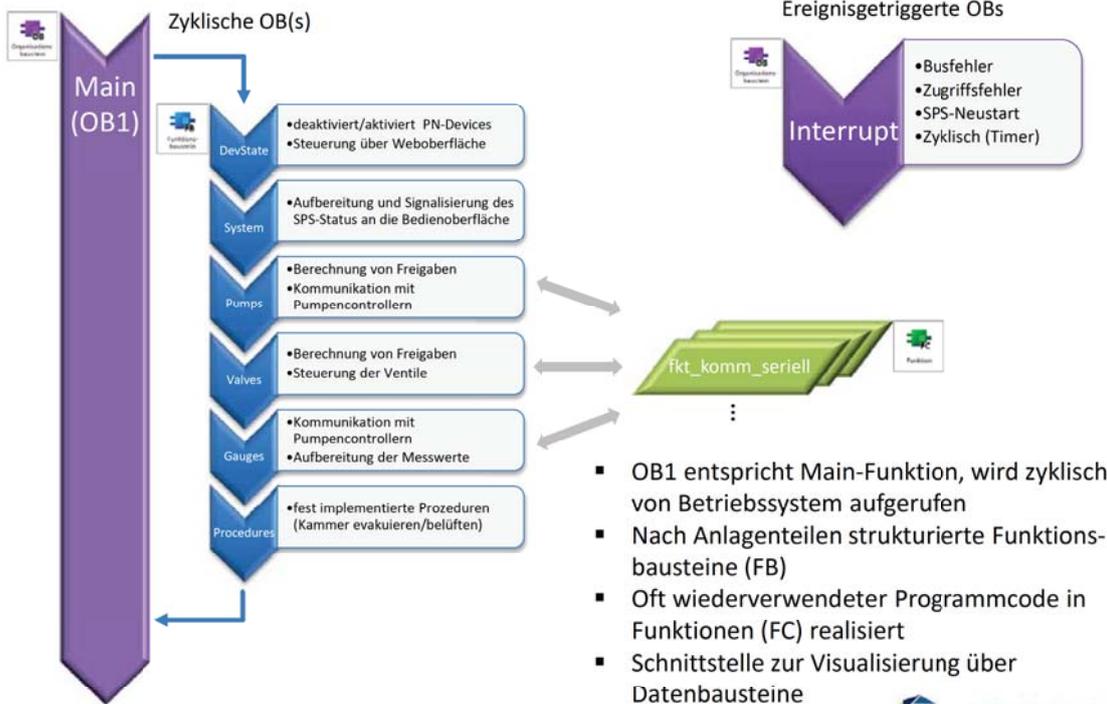
Mitglied der Helmholtz-Gemeinschaft
Henrik Tietze | Zentralabteilung Forschungstechnik | www.hzdr.de

SPS - Softwarestruktur

- SPS – Zyklus
 - läuft in Endlosschleife
- System und Kommunikation
 - wird auch im Zustand „STOP“ ausgeführt
- aktuelle Zykluszeit
 - von <1ms bis 8ms
 - abhängig von Programmabarbeitung



SPS - Softwarestruktur



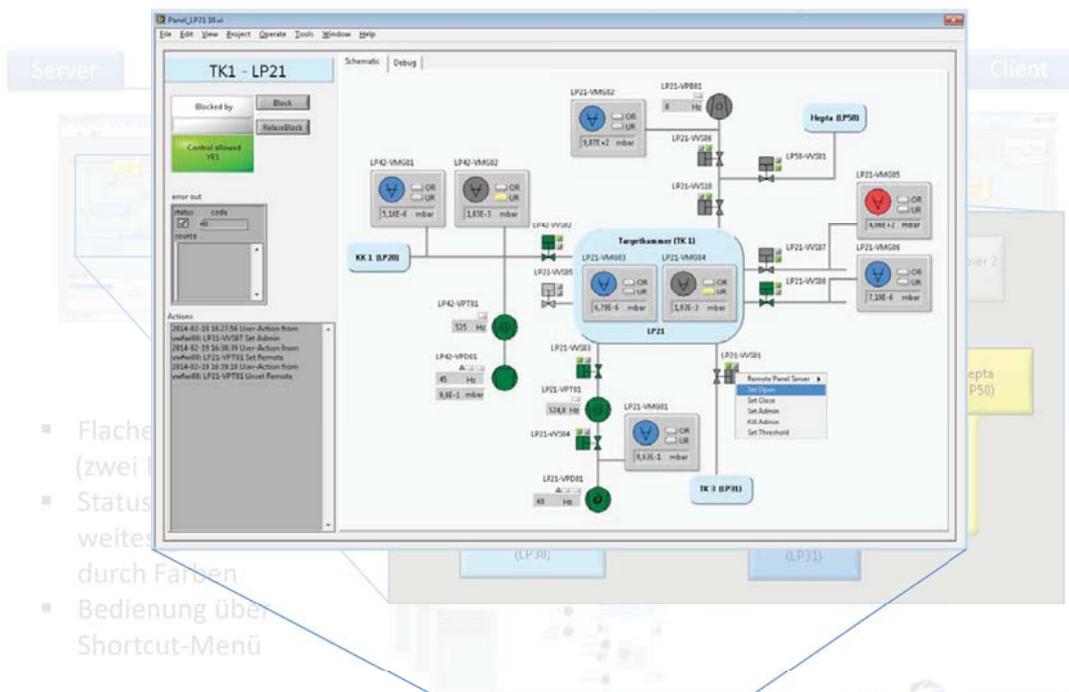
- OB1 entspricht Main-Funktion, wird zyklisch von Betriebssystem aufgerufen
- Nach Anlagenteilen strukturierte Funktionsbausteine (FB)
- Oft wiederverwendeter Programmcode in Funktionen (FC) realisiert
- Schnittstelle zur Visualisierung über Datenbausteine

LabVIEW - Bedienoberfläche

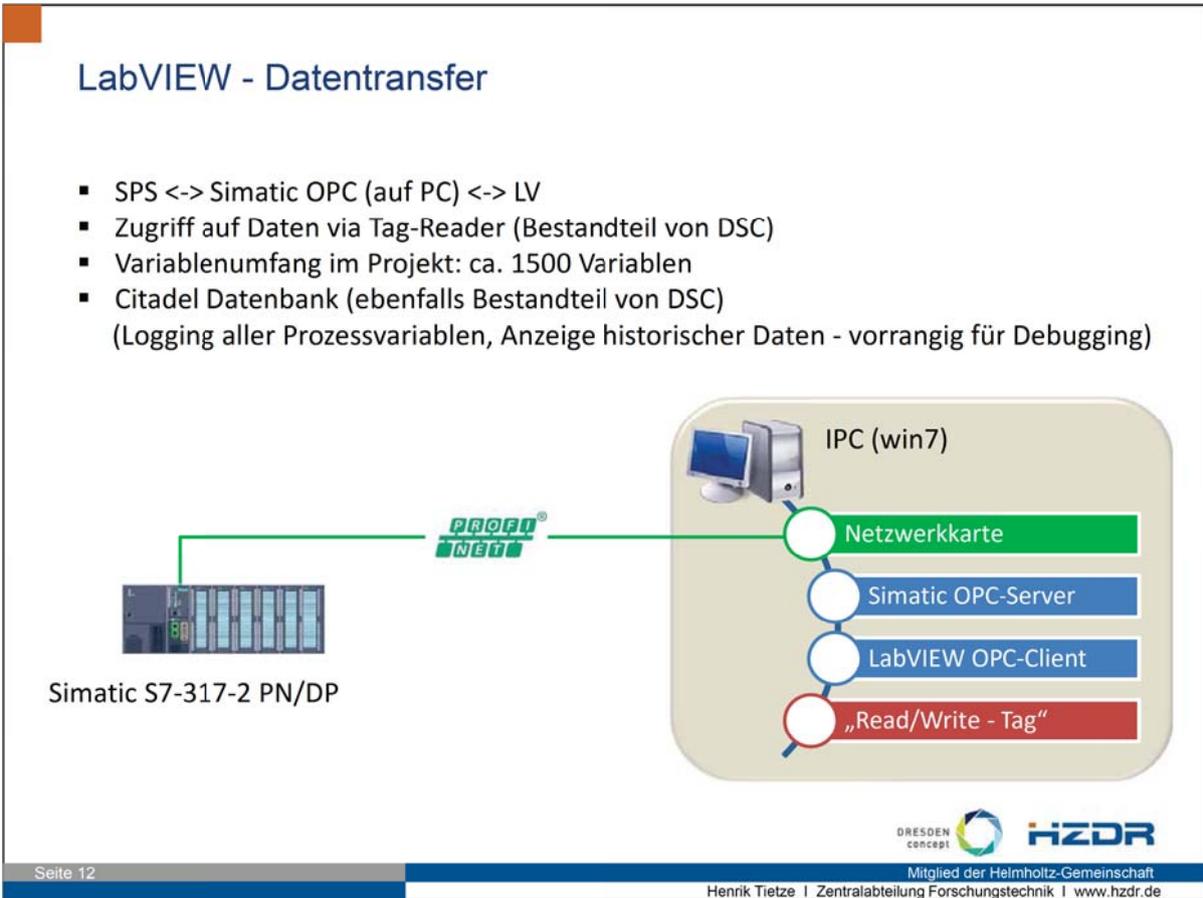
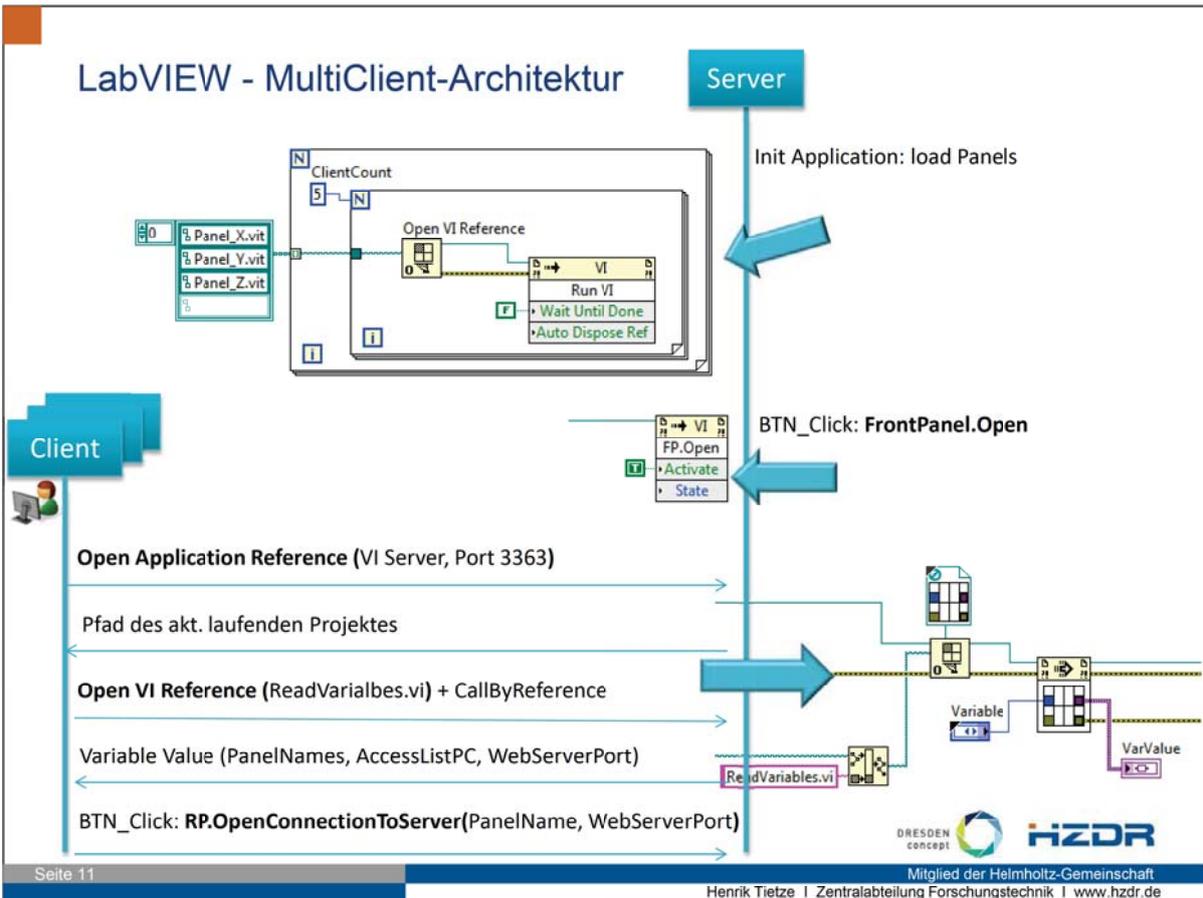
- National Instruments LabVIEW 2011 SP1 + DSC (Datalogging and Supervisory Control Modul)
- Industrie-PC mit Windows 7 Betriebssystem
 - CPU Intel-CORE-I7-860 (4x2,8GHz)
 - 4 GB DDR3-RAM-PC1333
- Wahl fiel auf LV aufgrund Nutzerwunsch
 - Ähnlichkeit der Bedienoberfläche zu Vorgängeranlage
 - Nutzer möchte selbst Änderungen vornehmen können



LabVIEW - Bedienoberfläche

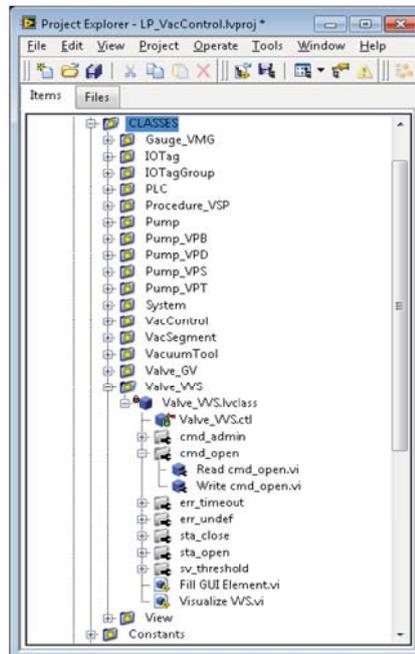


- Fläche (zwei...)
- Status...
- weiteres...
- durch Farben...
- Bedienung über...
- Shortcut-Menü

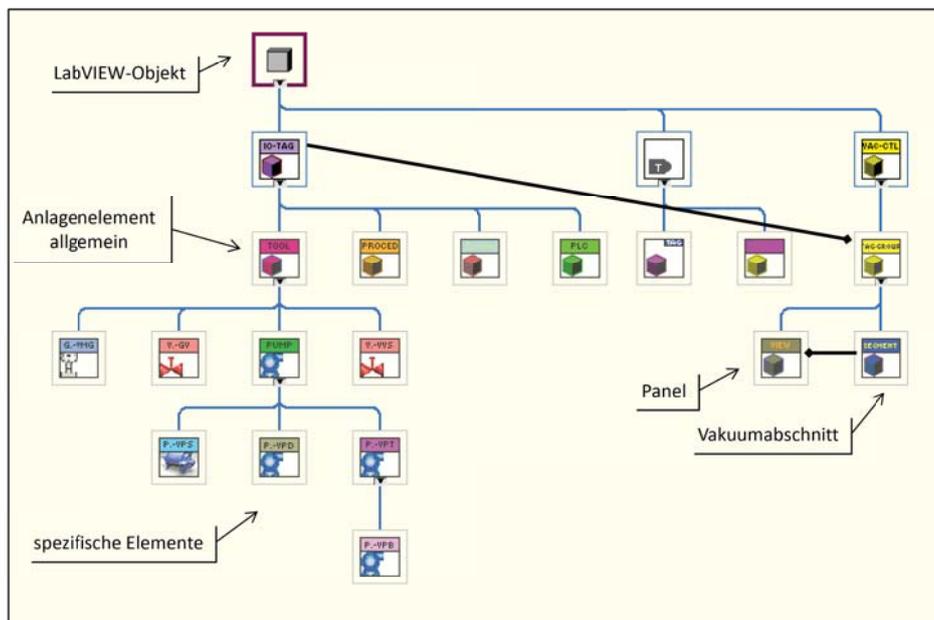


LabVIEW – objektorientiertes Programmieren (LVOOP)

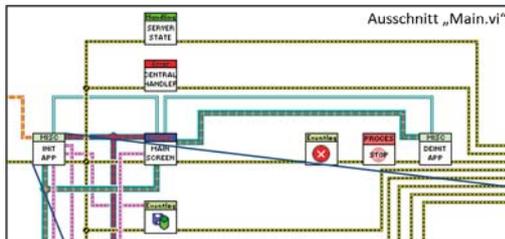
- Das Erstellen einer LabVIEW-Klasse ist die Definition eines neuen Nutzerdatentyps
- Beim Erstellen und Speichern einer LabVIEW-Klasse erstellt LabVIEW eine Klassenbibliotheksdatei (*.lvclass)
- Diese Datei protokolliert das Privatdatenelement und Informationen zu allen erstellten Member-VIs
- Daten (Eigenschaften/Attribute) in einer LabVIEW-Klasse sind immer privat
- Klassen können von anderen Klassen abgeleitet werden (Vererbung), jedoch nicht von mehreren möglich



LabVIEW – Klassenhierarchie Vac-Ctrl

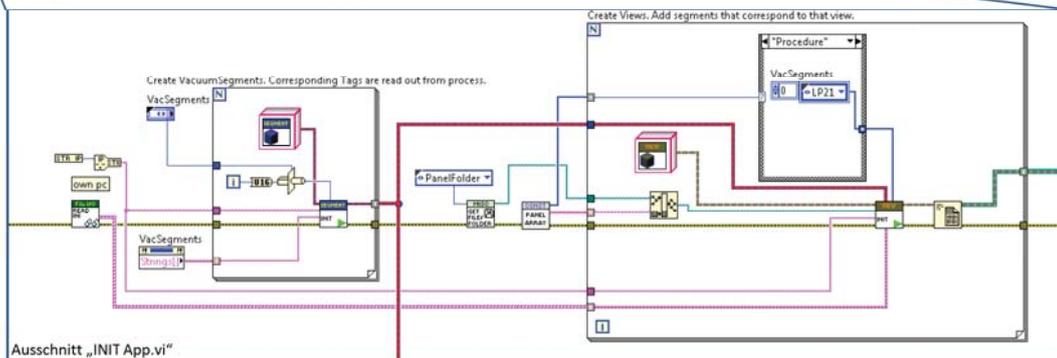


LabVIEW – Klassenhierarchie Vac-Ctrl



■ Initialisierung der Datenstruktur (Main.vi)

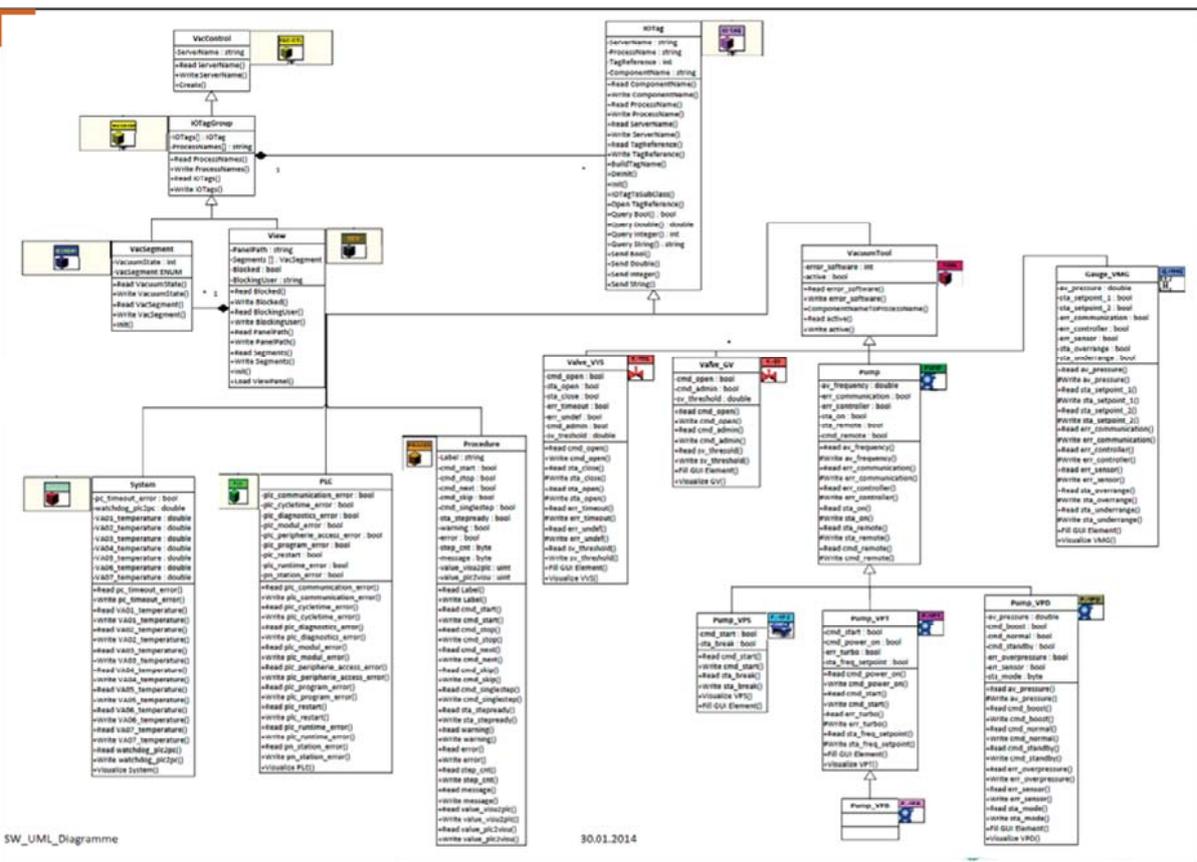
- Segment-Array wird dynamisch erstellt
- Anzahl der Segmente ist in Typdefinition hinterlegt
- Array aus Variablen des Typs „View“ werden dynamisch erstellt
- Anzahl der View richtet sich nach Anz. vorhandener Panels



Zusammenfassung

- Anlagensteuerung, die sich an verändernde Nutzeranforderungen anpassen kann
- LVOOP erlaubt schnelle Integration neuer Komponenten und Attribute
- Einfaches Hinzufügen von neuen Clients, auch zur Laufzeit
- Bestehende Panels können zur Laufzeit geändert werden (entladen/laden)
- Hohe Komplexität durch Nutzung der objektorientierten Programmierung

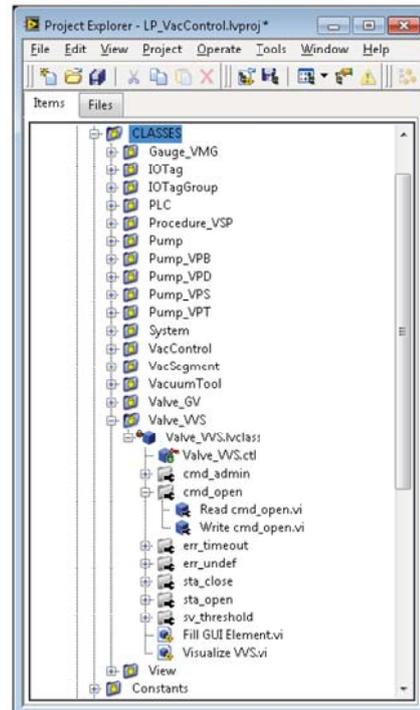
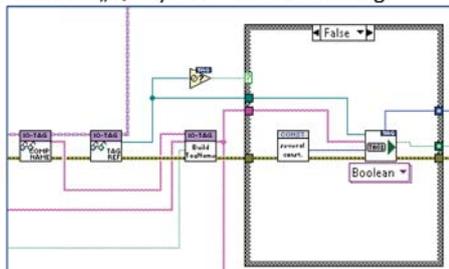
Danke für Ihre Aufmerksamkeit!



LabVIEW – Klassenhierarchie Vac-Ctrl

- Projekt Explorer – Vac-Ctrl
- Klassenattribute entsprechen dem Datenmodell der Komponente (vollständig oder nur teilweise → Vererbung)
- Methoden greifen auf Attribute zu oder nutzen weitere Methoden

Methode „Query Bool“ der Klasse IOTag



SPS - Softwarestruktur

- Beispiel Kommunikations-Funktion für eine Vorvakuumpumpe:
 - Aufruf aus FB „Pumpen“ durch CALL „fktName“
 - Bei einer Funktion müssen Aktualparameter vollständig bedient werden
 - Durch Übergabe von Pointern kann Anzahl an Parameter reduziert werden
 - Zugriff auf Eingänge/Ausgänge in FC durch indirekte Adressierung
 - Bausteine können in Bibliothek verwaltet werden (Versionierung ab TIA v12)

FB („Pumpen“)

```

AWL-Code
CALL "nXDS10_com"
cmd_start_plc :=#b_temp_1
cmd_stop_plc :=#b_temp_2
cmd_standby_plc :=#DB_LP31".VPD01.cmd_standby
ptr_input_ctrl :=P#"LP31_VPD01_inp_str"
av_frequency_plc :=#DB_LP31".VPD01.av_frequency
sta_on :=#DB_LP31".VPD01.sta_on
sta_sby :=#b_dummy
err_ctrl :=#DB_LP31".VPD01.err_controller
err_pump :=#b_dummy
err_com :=#DB_LP31".VPD01.err_communication
err_software_plc :=#DB_LP31".VPD01.error_software
ptr_output_ctrl :=P#"LP31_VPD01_out_str"
    
```

FC („nXDS10_com“)

```

AWL-Code
L P##ptr_input_ctrl
LAR1
...
L EB [ AR1 , P#30.0 ]
    
```

SPS - Softwarestruktur



Datenbausteine als Schnittstelle zur Visualisierung

- Datenmodell für Komponenten
- Durch eigene Typdefinitionen problemlose Änderung im Datenmodell möglich
- DB Laden ohne Neuinitialisierung ab TIA v12 (1200/1500)

LP-Vakuum [V11] ▶ VA01_S7_CPU_317 [CPU 317-2 PN/DP] ▶

DB_LP21

	Name	Datentyp	Offset	Sta
1	Static			
2	▶ VWS01	"Valve_fdbk_"	0.0	
3	▼ VWS02	"Valve_fdbk_"	6.0	
4	active	Bool	0.0	fa
5	cmd_open	Bool	0.1	fa
6	cmd_admin	Bool	0.2	fa
7	sta_open	Bool	0.3	fa
8	sta_close	Bool	0.4	fa
9	err_timeout	Bool	0.5	fa
10	err_undef	Bool	0.6	fa
11	error_software	Byte	1.0	1E
12	sv_threshold	Real	2.0	0.4
13	▶ VWS03	"Valve_fdbk_"	12.0	
14	▶ VWS04	"Valve_fdbk_"	18.0	

P. Göttlicher
DESY
20. September 2014

Kurze Zusammenfassung des Workshops Mikrocontroller, SPS und Kontrollsysteme

Der Workshop stand unter der Vorgabe mit kurzen Präsentationen ins Gespräch zu kommen. So sollte man gegenseitig lernen, was andere anwenden, wie sie Lösungen suchen und welche Produkte eingesetzt werden. Es galt auch, einen Blick darauf zu werfen, wo Synergien zwischen Zentren jetzt schon möglich sind oder wie diese gestaltet werden könnten.

Mit dieser Zielrichtung wurden keine ausgefeilten Vorträge erwartet, sondern nur unterstützende Transparente. So werden diese hier auch nicht veröffentlicht, sondern nur eine persönliche Zusammenfassung.

Im Bereich Feldbusse werden verschiedene angewendet: Profinet, Profibus., I²C, Ethernet der verschiedenen Geschwindigkeiten, RS232

Im Bereich SPS wurde dargestellt, dass erreicht werden soll, dass die Automatisierung dezentral in der Frontend erfolgen kann, und dass die übergeordneten Rechner konfigurierende und überwachende Aufgaben ausführen. Im Bereich SPS spielt auch die Sicherheitssteuerung bei einzelnen Anlagen eine Rolle. Dazu gibt es Produktlinien in Hardware und Programmierumgebung. Allerdings verlaufen Abkündigungen von Produktserien für Standardanwendungen und die Verfügbarkeit der sicherheitsrelevanten Produkte nicht synchron.

Bei den Mikrocontrollern werden in den Zentren verschiedene benutzt. In einigen Zentren wurde um einen Controller herum eine Hardware- und Programmierplattform entwickelt. Die Wahl des Controllers selbst ist stark durch die Anwenderumgebung mit seiner Vorgeschichte geprägt. Die Entscheidung im nächsten Projekt folgt auch immer der Weiterentwicklung der Prozessortechnologie. Damit erschien es in der Diskussion derzeit nicht realistisch zwischen den Helmholtz-Zentren sich auf einen Controller zu einigen und diese Entwicklung langfristig zu vereinheitlichen. Trotzdem sollte man sich anschauen, wie man von einander profitieren kann. Ein Trend ist hier auch SOM's (System on Module) zu verwenden, entweder das im Labor entwickelte oder kleine kommerzielle Aufsteckkarten.

Die Entscheidung, welches Kontrollsystem verwendet wird, ist geprägt durch den Laborstandard und dem Kontinent, auf dem die Anlage steht oder wo diese entwickelt wurde. Dieses erschwert für Institute, die an verschiedenen Projekten beteiligt sind, schon die Vereinheitlichung innerhalb des Labors.

DESY-PROC-2014-01

ISBN 978-3-935702-85-0

ISSN 1435-8077