

Interner Bericht
DESY F56-72/1
Oktober 1972

DESY-Bibliothek

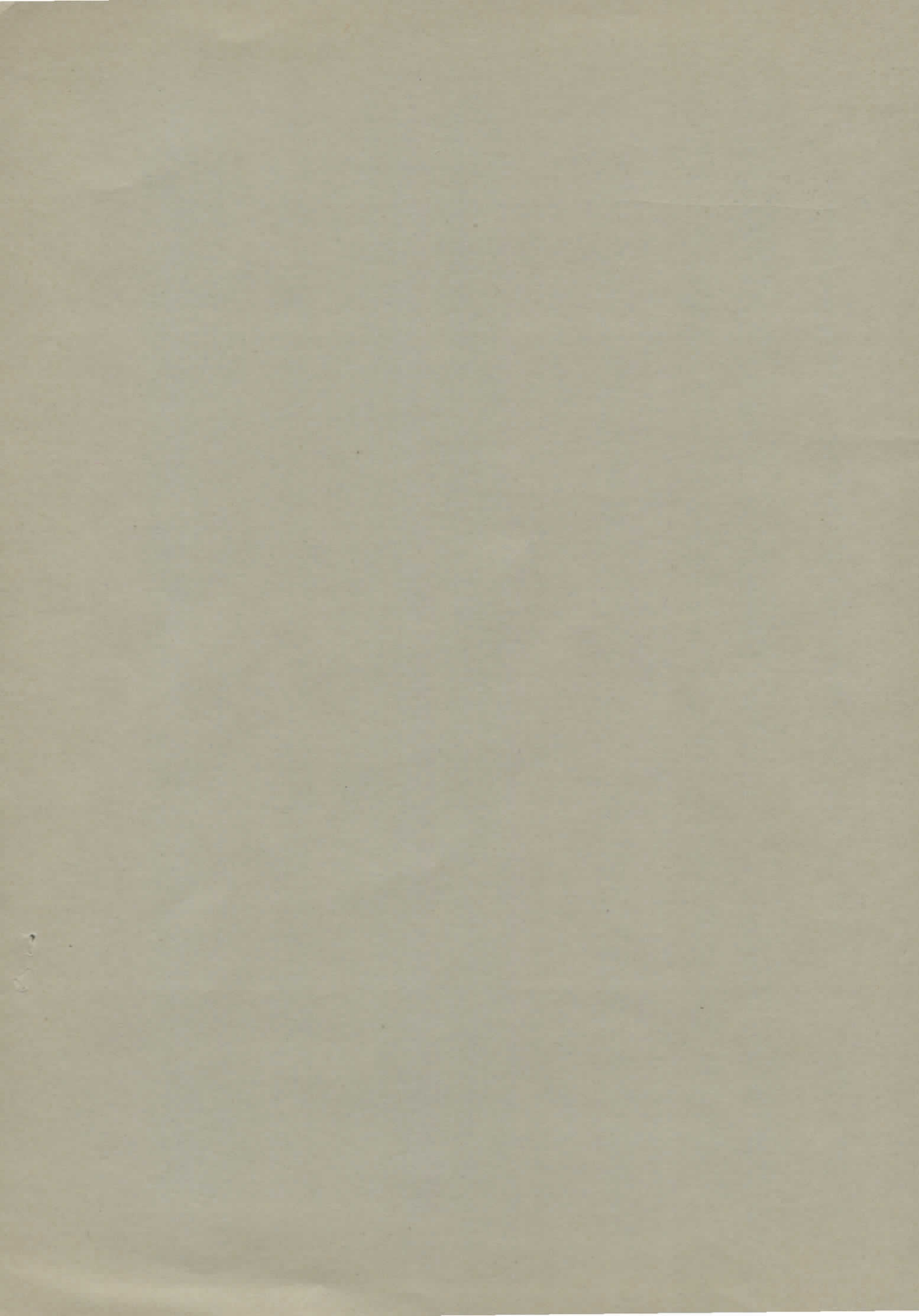
24. NOV. 1972

PERSEUS

Ein neues, sehr schnelles Auslesesystem
für Charpak-Kammern und Hodoskope

von

H. Brechtel
H. J. Stuckenberg



1. Einleitung

In der Hochenergiephysik werden vorwiegend Hodoskope und Charpak-Kammern als Großflächen-Detektoren benutzt.

Hat ein Szintillator des Hodoskops ein Teilchen registriert, wird sein Signal im angeschlossenen Fotomultiplier (PM) in einen Puls gewandelt, der über einen Diskriminator in eine Pattern-Unit (Bitbox) gegeben wird. Diese enthält für jeden Szintillator-PM-Kanal eine gestrobte Koinzidenz und einen Flip-Flop (FF), der gesetzt wird, wenn zu einer vom Experiment bestimmten Strobezeit ein Szintillations-Signal gekommen ist.

Hat ein Draht einer Charpak-Kammer den Durchgang eines Teilchens festgestellt, wird das an seinem Arbeitswiderstand entstehende Signal verstärkt, digitalisiert und mit dem Experiment-Strobe zur Koinzidenz gebracht. Liegt eine Koinzidenz vor, wird auch hier ein für jeden Draht vorhandener FF gesetzt.

Wird ein Event registriert, wird z.B. durch eine Master-Koinzidenz der Experiment-Strobe erzeugt. Nach Ablauf des Strobepulses steht dann auf allen FF, d.h. auf denen in der Pattern-Unit und auf denen der Charpak-Elektronik das gesamte Bitmuster des Events.

Alle Auslesesysteme haben die Aufgabe, möglichst schnell den Inhalt der FF auszulesen, d.h. die Adresse der FF festzustellen, die gesetzt wurden. Nach Ablauf der Auslese wird die Experiment-Elektronik wieder freigegeben, so daß ein neues Event gesucht werden kann.

Bisherige Auslesesysteme suchten diese FF, indem sie durch Taktoszillatoren alle FF nach ihrem Status befragten. Die Anzahl der Takte und damit die Auslesezeit ist durch die Anzahl der FF bestimmt. Da besonders bei Charpak-Auslesen einige Tausend FF abzufragen sind, andererseits Taktabstände von $0.1 \mu\text{sec}$ in typischen Systemen erreichbar sind, ergeben sich Auslesezeiten von einigen Hundert μsec ; es sei denn, man taktet mehrere Untereinheiten parallel, was sich logischerweise im Preis niederschlägt.

Die bisherigen Systeme arbeiten nach

- dem Schieberegister-Verfahren [1], wo der Inhalt der FF durchgeschoben wird und zu jeder am Ende des Registers ankommenden "1" die Taktzahl als Adresse benutzt wird,

- dem Multiplex-Verfahren [2], wo die Ausgänge der FF an Eingängen von Multiplexen (MPX) liegen. Durch Takten wird ein MPX-Eingang nach dem anderen auf den Ausgang durchgeschaltet; wird dort eine "1" festgestellt, ist die anstehende Taktzahl die zugehörige Adresse.

Das neue, hier beschriebene Verfahren fragt nicht den Status aller FF ab, sondern die FF melden sich selbst in der Auslese-Einheit, deren Kern ein Prioritäts-Encoder ist. Dort werden die Adressen der "Einsen" durch die Prioritäts-Reihenfolge gebildet. Voraussetzung für die Bearbeitung mehrerer "Einsen" ist, daß nach Bildung der Adresse der zugehörige FF wieder gecleart wird.

Die Zeitdauer, um die Adresse eines FF zu bilden, liegt auch im ungünstigsten Fall bei weniger als 200 nsec, so daß die Adressierung von z.B. 100 Charpak-Drähten nur 20 µsec dauert, im Gegensatz zu den mehr als 100 µsec in das bisher benutzten Verfahren.

2. Prioritäts-Encoder

Der Prioritäts-Encoder besteht aus zwei Baugruppen

- dem Prioritäts-Netzwerk, das nach einer festgesetzten Reihenfolge entscheidet, welche von den anstehenden Anforderungen abgearbeitet wird
- der Codierschaltung, die die Adresse der Leitung, die z.Zt. bearbeitet wird, binär verschlüsselt.

Das Prioritäts-Netzwerk, das z.B. in [3] beschrieben ist, enthält Gates, die sich gegenseitig so blockieren können, daß, von höchster Priorität gesehen, diese immer durchkommt, falls sie vorhanden ist und die nachfolgenden durchkommen, falls keine Anforderungen mit höherer Priorität vorhanden sind.

Bild 1a zeigt das Prinzip für vier Eingangs-Leitungen, von denen 3 die höchste, 0 die niedrigste Priorität haben soll.

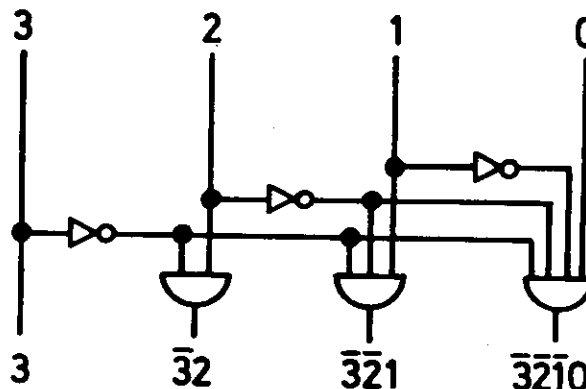


BILD 1a

Die Wahrheitstabelle ergibt sich aus den vier Eingangsleitungen mit den durchgeschalteten Ausgangsleitungen:

Eing. Leitungen				Ausg. Leitungen
0	1	2	3	
x	x	x	1	3
x	x	1	0	$\bar{3}$ 2
x	1	0	0	$\bar{3}$ $\bar{2}$ 1
1	0	0	0	$\bar{3}$ $\bar{2}$ $\bar{1}$ 0

Das x-Zeichen bedeutet, daß der Wert der Leitung beliebig, d.h. 0 oder 1 sein darf.

Nachdem die Leitung mit der höchsten Priorität durchgeschaltet ist, wird sie als Adresse binär codiert. Dafür lautet die Wertetabelle

Eing. Leitungen	Ausg. Leitungen	
	x_1	x_0
3	0	0
$\bar{3}$ 2	0	1
$\bar{3}$ $\bar{2}$ 1	1	0
$\bar{3}$ $\bar{2}$ $\bar{1}$ 0	1	1

und die Schaltung zeigt Bild 1b:

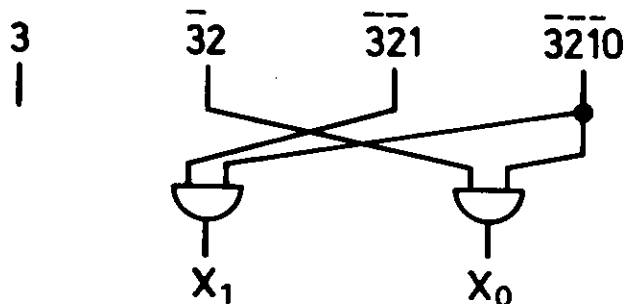


BILD 1b

Diese beiden Schaltungsteile sind im integrierten Prioritäts-Encoder, z.B. in dem von uns benutzten Fairchild 9318, bereits enthalten. Dieser Encoder, dessen Blockbild im nächsten Bild 2 gezeigt ist,

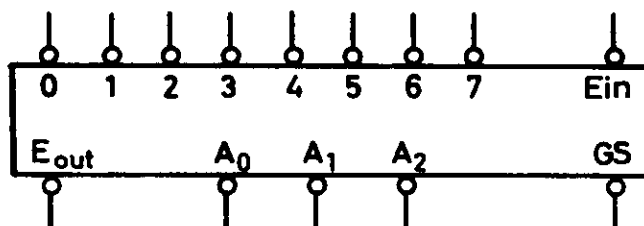


BILD 2

arbeitet in negativer Logik, daher sind die Ein- bzw. Ausgänge invertiert gezeichnet. Er hat acht Eingänge (active low), von denen der siebte die höchste Priorität hat, und drei Ausgänge (active low), an denen die codierte 3Bit-Adresse erscheint.

Ein Input-Enable E_{in} sorgt dafür, daß, wenn er auf hohem Potential ist, alle Ausgänge ebenfalls active high sind, so daß neue Daten an die Eingänge geschaltet werden können, ohne daß während dieser Zeit fehlerhafte Ausgangspotentiale entstehen.

Zwei zusätzliche Ausgangssignale sind

- der Gruppen-Ausgang GS , der low ist, wenn irgendein Eingang low (d.h. active) ist,
- der Output-Enable E_{out} , der low ist, wenn alle Eingänge high sind. Er kann zum Verketteten mehrerer Prioritäts-Encoder benutzt werden.

Die Wahrheitstabelle, in der wegen der negativen Logik

- x beliebig
 - L der low voltage level
 - H der high voltage level
- bedeutet, lautet:

Ein	0	1	2	3	4	5	6	7	A_2	A_1	A_0	GS	E_{out}
H	x	x	x	x	x	x	x	x	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	x	x	x	x	x	x	x	L	L	L	L	L	H
L	x	x	x	x	x	x	L	H	L	L	H	L	H
L	x	x	x	x	x	L	H	H	L	H	L	L	H
L	x	x	x	L	H	H	H	H	H	L	L	L	H
L	x	x	L	H	H	H	H	H	H	L	H	L	H
L	x	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Dieser Baustein ist in TTL-Technik aufgebaut, seine ungünstigste Durchlaufzeit beträgt 45 nsec.

3. Beschreibung einer Auslese für 16FF

In Bild 3 ist eine Gruppe von 16FF gezeichnet, die, wie in Abschnitt 1 beschrieben, das Event-Bitmuster in einer Pattern-Unit oder Charpak-Elektronik enthalten. Zur Auslese werden zwei Prioritäts-Encoder mit je acht Eingangsleitungen benutzt, die, wie in Abschnitt 2 dargestellt, über E_{out2} und E_{in1} miteinander verkettet sind.

FF 15 hat die höchste, FF 0 die niedrigste Priorität. Die Ausgänge A_0 bis A_2 beider Encoder sind geodert, sie geben die drei letzten Stellen der Adresse, der Ausgang GS liefert die erste Stelle, da er immer dann active low ist, wenn der im Bild rechte Prioritäts-Encoder überhaupt eine Anforderung hat.

Ist die Adresse der höchsten Anforderung gefunden, kann der zugehörige FF über den 1 aus 16-Decoder gecleart werden, vorausgesetzt, die Decoder-Enable-Leitung wird mit einem zusätzlichen Strobepuls freigegeben, der von dem Speicher kommt, in dem die Adresse registriert wurde. Dadurch wird je nach Speicherzugriffszeit eine Begrenzung der Auslesegeschwindigkeit festgelegt. Erst nach dem Clearen kann die nächste Anforderung abgearbeitet werden.

Zusätzlich wird ein Priority-Flag-Signal, geodert aus den beiden GS-Signalen, herausgegeben, das anzeigt, daß überhaupt eine Anforderung in der Gruppe vorliegt und das erst dann verschwindet, wenn die letzte Anforderung abgearbeitet ist. Es entspricht damit einem BUSY-Signal.

4. Beschreibung einer Auslese für 512-Charpak-Drähte

Benutzt man für die Charpak-Elektronik die CAMAC-Mechanik-Norm, d.h. die Kartengröße, Stecker und Crates, kann man auf einer Karte 32 Kanäle (1 Kanal = Verstärker, Schmitt-Trigger, Delay-Oneshot, gestrobte Koinzidenz, Speicher-FF) unterbringen. Diese Karte wird in [4] eingehend beschrieben. Ein CAMAC-Crate enthält dann 16 Karten, d.h. 512 Charpak-Kanäle sowie die zugehörige Auslese. Die für die Ausleseeinheit wesentlichen logischen Teile einer Karte sind

- ein Signaleingang, um alle FF vor der Registrierung eines neuen Events zu clearen (General-Clear)
- 32 Ausgänge der Speicher-FF
- ein Signaleingang, der, von der Ausleseeinheit gesteuert, den Inhalt der 32 Speicher FF der Karte in den 32 Bit-Latch der Auslese überträgt

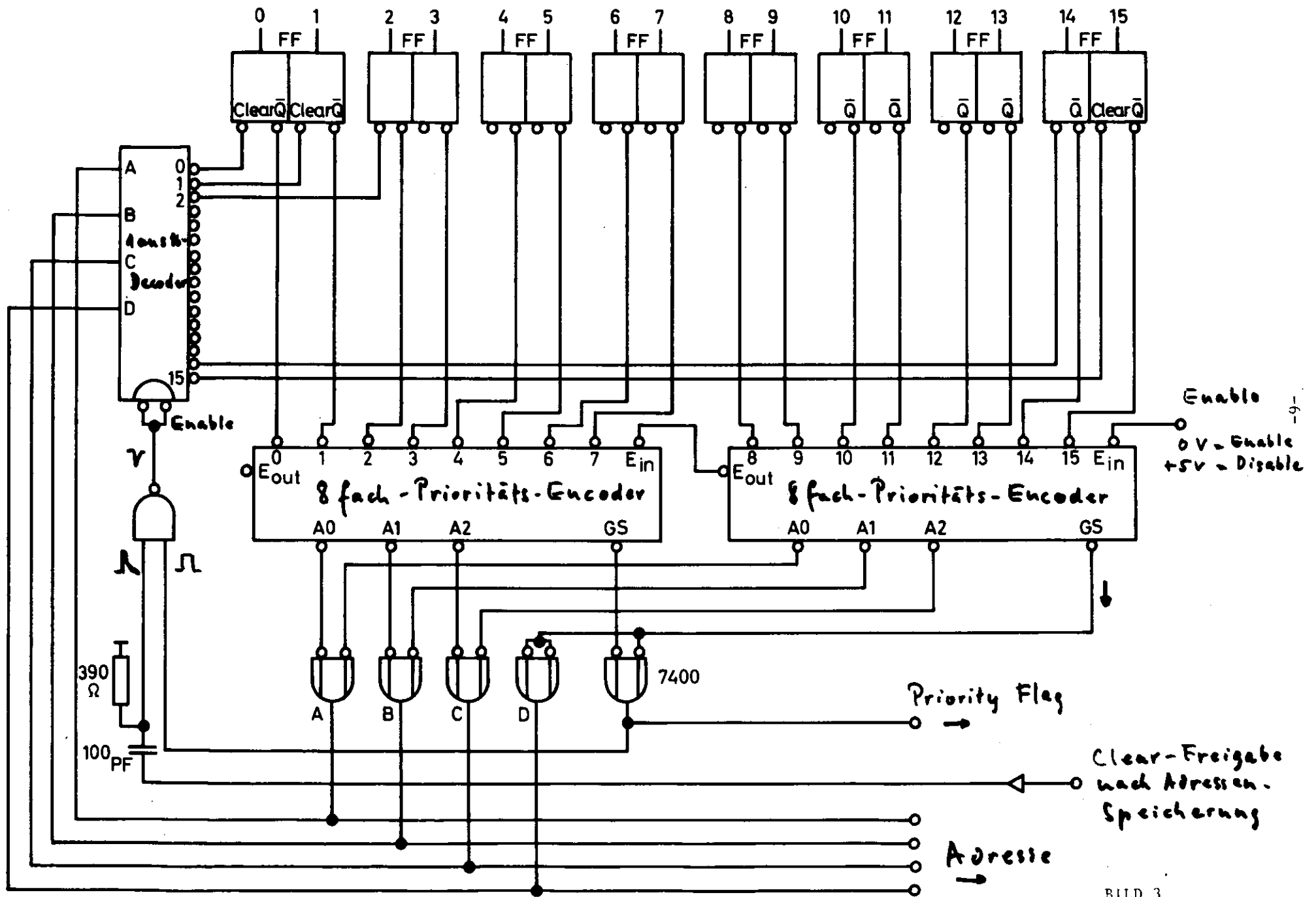


BILD 3

- ein 32fach Daten-ODER, dessen Ausgang auf "1" liegt, wenn irgendeiner der FF auf der Karte gesetzt wurde; der Ausgang wird im folgenden als $\overline{\text{ZERO}}$ bezeichnet. Die $\overline{\text{ZERO}}$ -Signale der 16 Karten im Crate liegen statisch an den Eingängen eines 16 Bit-Latch der Auslese.

Das sich hieraus ergebende Schaltbild der Crate-Auslese für 512 Charpak-Kanäle ist in den beiden Bildern 4 und 5 auf der Doppelseite gezeigt. Bild 4 enthält die 16 Karten, die je 32 Signaleingangsleitungen von den Charpak-Kammern enthalten sowie die oben beschriebene Logik. Die 16 $\overline{\text{ZERO}}$ -Leistungen werden als Stichleitungen zum Latch in der Auslese geführt, ebenso kommen die Transfer-signale von der Auslese auf einzelnen Stichleitungen an die jeweilige Karte. Die 32 Ausgänge der Speicher-FF sind als 32 Busleitungen ausgeführt, d.h. alle FF 0 der 16 Karten sind ebenso geodert wie z.B. alle FF 31. Bild 5 zeigt die eigentliche Auslese, deren zeitlicher Ablauf im folgenden beschrieben wird.

Das Startsignal gibt die Enable-Eingänge des $\overline{\text{ZERO}}$ -Prioritäts-Encoders und des Transfer-Decoders frei. Damit wird von den Karten, die $\overline{\text{ZERO}}=1$ haben, d.h. auf denen irgendwelche FF gesetzt sind, die mit der höchsten Priorität über den Decoder aufgerufen, ihre 32 Datenbits in den Datenlatch zu übertragen. Dann werden die Anforderungen des Datenlatch in der vorgegebenen Reihenfolge abgearbeitet, die 5 Bit-Adresse gebildet, mit den 4 Bit des $\overline{\text{ZERO}}$ -Encoders zu einer 9 Bit-Adresse zusammengesetzt und an einen Pufferspeicher ausgegeben. Nach der Speicherung wird der bearbeitete FF im Datenlatch gecleart und die nächste Adresse gebildet.

Enthält der Datenlatch keine Anforderung mehr, wird über seine GS(Daten)-Leitung der Karten-FF im $\overline{\text{ZERO}}$ -Latch gecleart.

Sind weitere $\overline{\text{ZERO}}$ -Anforderungen vorhanden, wird der Inhalt der Speicher-FF der nächsten Karte mit $\overline{\text{ZERO}}=1$ in den Datenlatch geholt und wie oben beschrieben, abgearbeitet. Sind im $\overline{\text{ZERO}}$ -Latch keine Anforderungen mehr, ist die Auslese beendet. Während der Dauer der Auslese wird durch $\overline{\text{GS}}(\overline{\text{ZERO}})=1$ ein Flagsignal ausgegeben.

5. Zusammenfassung

Im Gegensatz zu den bisherigen Auslesesystemen, in denen durch zeitraubende Taktauszählung die vom Experiment gesetzten FF gesucht und ausgelesen werden, wird in dem hier beschriebenen neuen Auslesesystem durch "Selbstmelden" der FF und Adressierung nach dem Prioritäts-Verfahren eine wesentliche Zeiter-

-8-
Charpak - Drähte 1N

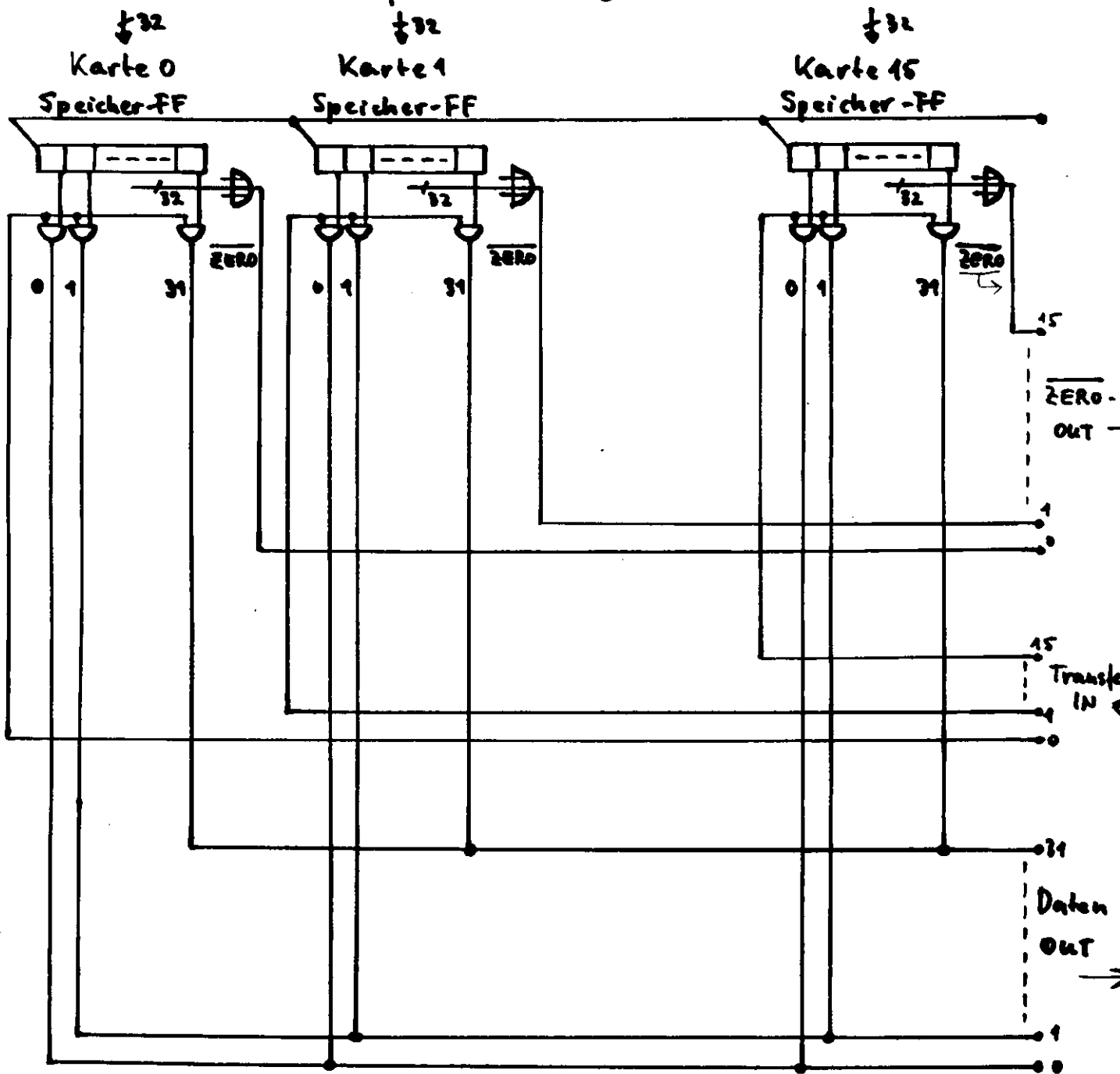


BILD 4

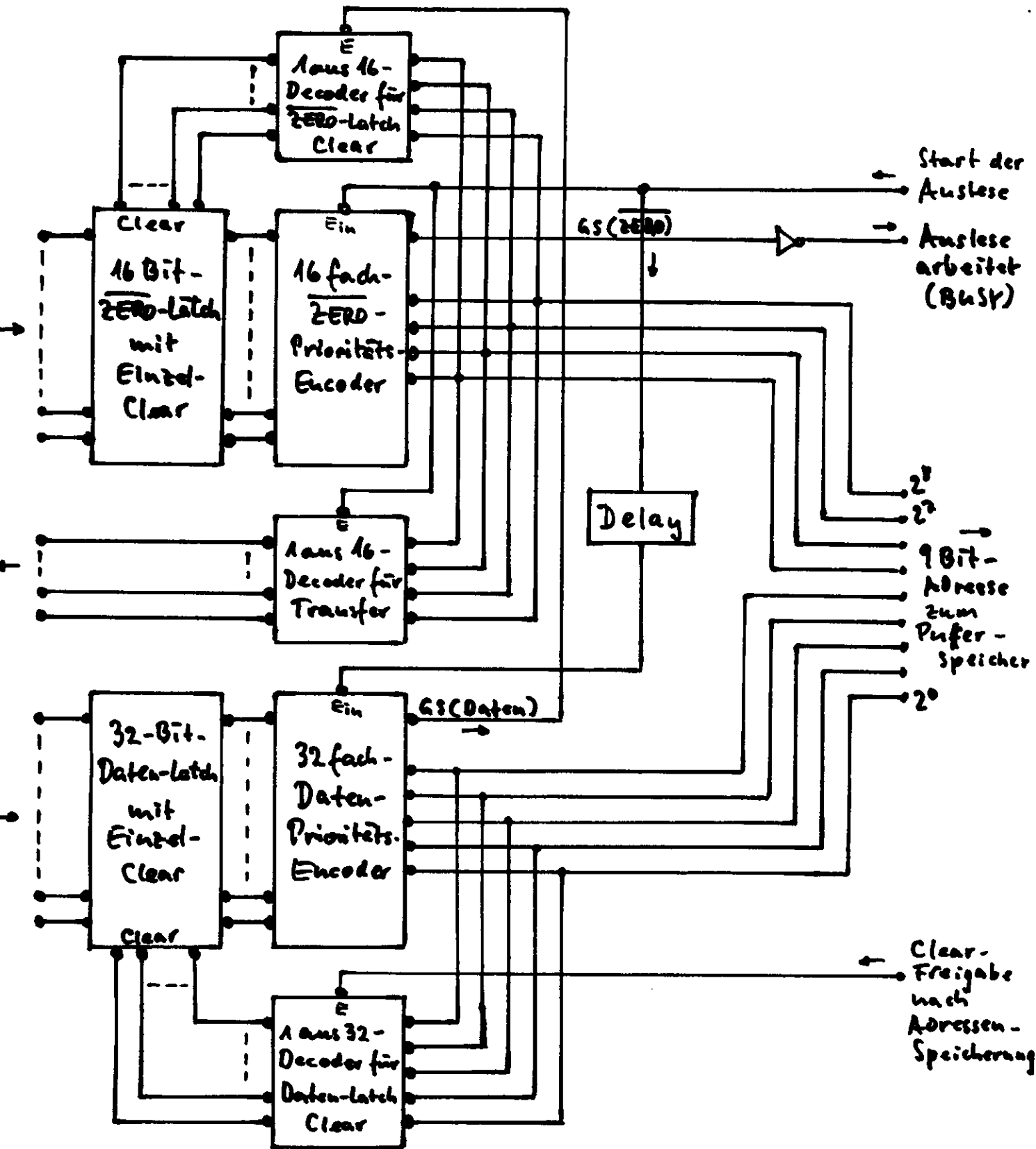


BILD 5

sparnis (etwa 5 bis 10fach) erreicht. Aus diesen Gründen wurde der Name PERSEUS gewählt:

Priority

Encoding

Readout

System

Economical and with

Ultrahigh

Speed

PERSEUS wird von uns nicht nur für die Charpak-Auslese eingesetzt, sondern ebenfalls für die 16 Bit-Pattern-Unit, die z.Zt. von F56 entwickelt wird. PERSEUS ist auch an bestehende Systeme mit Bitbreiten bis zu 32 anschließbar.

Für anregende Diskussionen danken die Verfasser den Herren Freese (F34), Neff und Bösch (F56).

Literatur

- [1] J. R. Simanton, K. R. Bourkland, R. F. Marquadt, J. Lales;
A Facility for Computer Evaluation of Proportional Wire Chamber Design,
Nucl. Inst. 83, 165 (1970)
- [2] H. J. Stuckenberg; Auslesesystem für Proportional-Kammern und Hodoskope,
Int. Bericht DESY F56-70/10, Dezember 1970
- [3] H. J. Stuckenberg; Elemente der Computer-Hardware, Band 5 - Kontrollfunktionen,
Coder, Decoder, Int. Bericht DESY F56-71/5, Dezember 1971
- [4] W. Neff, H. J. Stuckenberg, G. Will; CATO Ein Verstärker-Logik-System
für Charpak-Kammern mit 32 Kanälen auf einer CAMAC-Karte, Int. Bericht
DESY F56-72/2, November 1972.

